

UNIVERSITÄT DER BUNDESWEHR MÜNCHEN  
Fakultät für Elektrotechnik und Informationstechnik

# Optimierte Dimensionierung von MMC- Submodulen mit Si- und SiC-Halbleitern mittels analytischer Methoden

M. Eng. Christopher Dahmen

Vollständiger Abdruck der von der Fakultät für  
Elektrotechnik und Informationstechnik der Universität der Bundeswehr München  
zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs  
(Dr.-Ing.)

genehmigten Dissertation.

Gutachter:

1. Prof. Dr.-Ing. Rainer Marquardt
2. Prof. Dr.-Ing. Steffen Bernet

Die Dissertation wurde am 09.02.2022 bei der  
Universität der Bundeswehr München eingereicht und durch die Fakultät für  
Elektrotechnik und Informationstechnik am 09.06.2022 angenommen.  
Die mündliche Prüfung fand am 26.07.2022 statt.



075 121 114 101 098 032  
112 102 108 032 119 102  
105 032 115 118 122 101  
120 032 107 121 118 032  
120 122 105 099 032 102  
119 032 100 112 032 117  
105 118 114 100 106 046  
032 090 032 099 102 109  
118 032 112 102 108 044  
032 086 115 105 108 033

084 032 043 032 086  
032 061 061 032 111  
094 040 050 047 051  
041 032 043 032 048  
046 057 042 040 051  
046 051 045 111 094  
050 041 094 040 049  
047 050 041 042 106  
122 101 040 114 042  
103 122 042 111 041



090 032 078 114 106 032 068 114 117 118 032 087 102  
105 032 067 102 109 122 101 039 032 080 102 108 033



## Danksagung

Die vorliegende Arbeit entstand in den Jahren 2014 bis 2022 während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Lehrstuhl für Leistungselektronik und Steuerungen an der Fakultät der Elektro- und Informationstechnik an der Universität der Bundeswehr München.

An dieser Stelle möchte ich mich ganz herzlich bei meinem Doktorvater, Herrn Prof. Dr.-Ing. Rainer Marquardt, für die Betreuung dieser Dissertation bedanken. Ohne seine umfassende Erfahrung auf dem gesamten Gebiet der Elektrotechnik sowie den vielen wertvollen Diskussionen wäre diese Arbeit nicht möglich gewesen. Er vermittelte u. a., dass die meisten komplexen Fragestellungen nicht unmittelbar, nur mit viel Geduld und einer ausreichenden Anzahl von Iterationen gelöst werden können.

Ein großer Dank gilt auch Herrn Prof. Dr.-Ing. Steffen Bernet für die Übernahme des Korreferats und das große Interesse an meiner Arbeit. Prof. Dr.-Ing. Thomas Brückner danke ich sehr für das sympathische Arbeitsumfeld am Lehrstuhl, die Freiheiten bei der Fertigstellung der Dissertation sowie der angenehmen Leitung des Prüfungsausschusses.

Bedanken möchte ich mich auch bei meinen ehemaligen und aktuellen Kollegen. In den frühen Jahren am Institut war Herr Dr.-Ing. Yeqi Wang stets ein toller Gesprächspartner – nicht nur in fachlichen Belangen, sondern auch auf zwischenmenschlicher Ebene. In dem neuen Institutsteam – was mir schon jetzt sehr ans Herz gewachsen ist – danke ich besonders Herrn Ali Sharaf Addin sowie Herrn Felix Gesele für die hilfreichen Anmerkungen zu dieser Arbeit. Ein besonderer Dank gilt meinem geschätzten Freund Herrn Stefan Brüggemann – auch für die Kommentare bezüglich der Dissertation.

Ich danke von ganzem Herzen meiner Familie – insbesondere meinen Eltern und meiner Oma. Ihr habt mich während meiner gesamten Ausbildung stets bestmöglich unterstützt und schenkt mir immer ein offenes Ohr. Pele und Olli, ihr beide seid bedauerlicherweise viel zu früh von uns gegangen. Abschließend möchte ich meiner Lebensgefährtin Ebru danken, dass sie mir immer zur Seite steht und es mit ihrem positiven Wesen immer schafft, meinen Tag zu verschönern.



## Kurzfassung

Durch den notwendigen Ersatz fossiler Energieträger durch regenerative, elektrische Energie gewinnt die Leistungselektronik für die Energienetze zunehmend an Bedeutung. Essenzielle, künftige Anforderungen sind die flexible Steuerung der Energieverteilung und Stabilisierung der AC-Netze durch elektronisch steuerbare DC-Netze. Wesentliche Fortschritte sind diesbezüglich durch die Erfindung und industrielle Einführung der Modular Multilevel Converter (MMC) erzielt worden.

In der vorliegenden Arbeit werden grundlegende, weitere Fortschritte der MMC untersucht, welche durch neuartige Submodul-Topologien in Kombination mit Siliziumkarbid-Leistungshalbleitern ermöglicht werden. Die mittels allgemeingültiger, analytischer Methoden erarbeiteten Ergebnisse zeigen, dass bzgl. aller zukünftig bedeutenden Punkte – funktionale Sicherheit, Explosionsschutz, elektronische Begrenzung von Überströmen und Kurzschlussströmen sowie reduzierte Energieverluste – wesentliche Fortschritte erreicht werden. Mittels der erarbeiteten, analytischen Methodik wird aufgezeigt, dass – gegenüber dem Stand der Technik – sowohl eine Halbierung der Energiespeicher als auch der Energieverluste ermöglicht werden.

## Abstract

As a result of the need to replace fossil fuels with regenerative, electrical energy, power electronics is becoming increasingly important for energy grids. The main future requirements are the flexible control of energy distribution and the stabilization of AC-grids by electronically controllable DC-grids. Significant progress has been made in this respect by the invention and industrial introduction of Modular Multilevel Converters (MMC).

In this work, fundamental advances of MMC are investigated, which are made possible by novel submodule topologies in combination with silicon carbide power semiconductors. The results obtained by means of general analytical methods show that, with regard to all points of future importance – functional safety, explosion protection, electronic limitation of overcurrents/short-circuit currents and reduced energy losses – significant progress has been achieved. Using the analytical methods developed, it is shown that – compared to the state of the art – both the energy storage and the energy losses can be bisected.







<b>5. Optimierte Dimensionierung des MMC mittels normierter Halbleiterparameter</b>	<b>67</b>
5.1. Halbleiter-Bestückungsvarianten innerhalb der Submodule . . . . .	69
5.1.1. Grundlegende Ursachen für die Reduktion der Durchlassverluste . .	85
5.1.1.1. Verbesserung der Durchlassverluste vom FB-SM zum DZ-SM	85
5.1.1.2. Verbesserung der Durchlassverluste vom DZ-SM zum DZ-DC-SM . . . . .	86
5.1.2. Grundlegende Ursachen für die Reduktion der Schaltverluste . . . .	88
5.2. Optimierung der Halbleiter-Chipfläche und Leistungsverluste . . . . .	89
<b>6. Ansteuerung und Kondensator-Balancing des Double-Zero-Submoduls in Double-Connection</b>	<b>95</b>
6.1. Ansteuerung des DZ-DC-SM . . . . .	95
6.2. Energiepulsation und Submodul-Kondensatorkapazität im DZ-DC-SM . . .	102
6.3. Kondensator-Balancing-Sequenz im DZ-DC-SM . . . . .	112
<b>7. Konzept einer neuartigen Super-Kaskode mit SiC-JFET</b>	<b>123</b>
7.1. Grundlagen der Kaskode . . . . .	125
7.2. Stand der Technik zur Super-Kaskode . . . . .	127
7.3. Neuartige JFET-Super-Kaskodenschaltung . . . . .	132
7.3.1. Grundsätzliche Funktion . . . . .	132
7.3.2. Dimensionierung . . . . .	145
7.3.3. Experimenteller Aufbau und Messergebnisse . . . . .	153
<b>8. Zusammenfassung</b>	<b>165</b>
<b>A. DC-seitiger Fehler des MMC</b>	<b>169</b>
<b>B. Parametrisierung der Halbleiterbauelemente</b>	<b>173</b>
<b>C. Schaltverluste für den reinen Wirkleistungsbetrieb</b>	<b>179</b>
Literaturverzeichnis	181
Abbildungsverzeichnis	197
Tabellenverzeichnis	200
Symbolverzeichnis	201
Akronyme	207

# 1. Einleitung

Der notwendige Ersatz von fossilen Energieträgern durch regenerativ erzeugte elektrische Energie erfordert grundlegende technische Anpassungen der Energie-Infrastruktur. An die leistungselektronischen Umrichter werden dadurch in Zukunft neuartige, technisch anspruchsvolle Anforderungen gestellt, die weit über Verbesserungen des Wirkungsgrades, der Kosten und der Zuverlässigkeit hinausgehen. Wesentliche, neue Anforderungen resultieren aus der Tatsache, dass die bestehenden Drehstromnetze nicht für die Integration großer Anteile regenerativ erzeugter Energie konzipiert sind. In der Fachwelt wurde daher frühzeitig die Einführung zusätzlicher, elektronisch steuerbarer Gleichspannungsnetze (DC) vorgeschlagen und empfohlen, welche zudem die bestehenden Drehstromnetze (AC) entlasten und stabilisieren können. Die Kernkomponenten derartiger DC-Netze stellen die Modular Multilevel Converter (MMC) dar, welche an ausgewählten Netzknoten die DC-Netze mit den AC-Netzen verbinden. Die wesentlichen Faktoren für weitere Fortschritte der Entwicklung sind verbesserte Leistungshalbleiter, neuartige Submodul-Topologien und Konzepte der MMC-Regelung. Der erstgenannte Faktor beinhaltet die Fragestellung, unter welchen Randbedingungen die aktuellen Siliziumkarbid-Leistungshalbleiter in Hochleistungsanwendungen der MMC vorteilhaft eingesetzt werden können. Die Untersuchung der beiden letztgenannten Faktoren ist von Bedeutung, um die künftigen Anforderungen zur Fehlertoleranz und Sicherheit in den Energienetzen zu erfüllen. Sowohl bei internen Defekten in den MMC und in den Konverterstationen als auch bei externen Fehlern in den angeschlossenen Netzen ist es sehr erstrebenswert, den weiteren Betrieb ohne längere Unterbrechungen zu ermöglichen. Es sind daher Konzepte zu entwickeln, welche derartige Fehler ohne Zuhilfenahme mechanischer Schaltgeräte sicher beherrschen.

Die vorliegende Arbeit konzentriert sich auf neuartige Submodul-Topologien, welche für diese Anforderungen besonders geeignet sind. Wesentliche Punkte sind der Explosionsschutz bei Halbleiterdefekten, ein elektronisch ansteuerbarer Bypass-Zustand (Redundanz) sowie die elektronische Begrenzung von Kurzschlussströmen in den Energienetzen. Ein Schwerpunkt der vorliegenden Arbeit liegt auf einer allgemeingültigen Dimensionierung und Optimierung der neuartigen Submodule, welche insbesondere die Minimierung der Verluste und der Energiespeicher berücksichtigt. Die große Zahl von Eingangsparametern – wie u. a. die Kenndaten der Si<sup>1</sup>- und SiC<sup>2</sup>-Halbleiter – in Kombination mit den

---

<sup>1</sup>Silizium

<sup>2</sup>Siliziumkarbid

verschiedenen Submodul-Topologien erfordert eine sinnvolle Zusammenfassung und Reduktion durch die Einführung normierter Größen. Auf Basis dieses Ansatzes gelingt es, dass die Untersuchungsergebnisse einen Einblick in die grundsätzlichen Zusammenhänge im MMC ermöglichen und dass sie in Form von geschlossenen Gleichungen dargestellt werden können.

---

## 2. Stand der Technik

Auf dem Gebiet der elektrischen Energieversorgung, der elektrischen Netze und der Energieverteilung wird die Leistungselektronik in Zukunft als Schlüsseltechnologie benötigt werden. Die notwendige Umstellung der Energiebasis auf regenerativ gewonnene, elektrische Energie erfordert die Nutzung aller technisch und wirtschaftlich verfügbaren Technologien. Die bestehenden Drehstromnetze in den Industrieländern erweisen sich jedoch als unzureichend geeignet für die zukünftigen Anforderungen – auch wenn sie durch elektronisch schnell steuerbare Kompensatoren (SVC<sup>1</sup>) sowie Batteriespeicher besser stabilisiert und entlastet werden können [PRL<sup>+</sup>11, LGH<sup>+</sup>18]. Wesentlich leistungsfähigere und elektronisch steuerbare Netze zur gezielten, großräumigen Energieverteilung werden in den Industrieländern zusätzlich erforderlich werden, wenn die bisher eingesetzten großen Mengen der fossilen Energieträger durch elektrische Energie ersetzt werden sollen. Durch die großen Fortschritte der Leistungselektronik und digitalen Steuerungen sind Gleichspannungsnetze (DC-Netze) technisch realisierbar geworden, die prinzipiell wesentlich besser geeignet sind, diese zukünftigen Anforderungen zu erfüllen [KPB15a, KPB15b, ACML<sup>+</sup>15]. Ein großer Vorteil ist auch, dass die neuen DC-Netze – als Ergänzung zum bestehenden Drehstromnetz – schrittweise realisiert werden können (DC-Overlay-Netz). Entsprechende Vorschläge sind in der Vergangenheit von namhaften, internationalen Fachleuten bereits mehrfach erläutert worden [AJBL10, EBH12]. Den größten Nutzen würden derartige DC-Netze im Hochspannungsbereich und fallweise auch im Mittelspannungsbereich bringen [SSF<sup>+</sup>16, CSD16, CSD17]. Da die benötigten Umrichter am frei wählbaren Netzknoten eine steuerbare Verbindung zum Drehstromnetz bilden, tragen sie zusätzlich zur Stabilisierung dieser Netze bei [LMC17]. Die technischen Anforderungen an die Umrichter sind jedoch sehr hoch und vielfältig, sodass sie weder mit konventionellen Stromzwischenkreisumrichtern (CSC<sup>2</sup>, Abb. 2.1a) noch mit konventionellen Spannungszwischenkreisumrichtern (VSC<sup>3</sup>, Abb. 2.1b) erfüllbar sind. Wesentliche Anforderungen sind:

- a) Skalierbarkeit bis zu höchsten Spannungen und Leistungen
- b) Modulare Bauweise, um große Umrichter industriell und wirtschaftlich realisieren zu können
- c) Funktionssicherheit durch strukturelle Redundanz bei internen Elektronik-Defekten

---

<sup>1</sup>Static VAR Compensator

<sup>2</sup>Current Source Converter

<sup>3</sup>Voltage Source Converter

- d) Geringe Oberschwingungen der Netzgrößen, weil entsprechende Filter in diesen Anwendungen technisch und wirtschaftlich kaum realisierbar sowie sehr nachteilig sind
- e) Funktion in einem großen Toleranzbereich beider Netze (AC-Spannung und DC-Spannung), um Betriebsunterbrechungen zu vermeiden
- f) Eigensichere, elektronische Strombegrenzung (AC- und DC-seitig), um die Umrichter und Netze zu schützen sowie Notabschaltungen durch mechanische Schalter zu vermeiden
- g) Dynamisch einstellbare Blindleistung, um die angeschlossenen Drehstromnetze elektronisch zu stabilisieren.

Erste Entwicklungsanstrengungen wurden in den 80er Jahren insbesondere von der ABB unternommen [KHCB22, Asp00]. Es wurde damals frühzeitig erkannt, dass die in der Hochspannungs-Gleichstrom-Übertragung (HVDC<sup>4</sup>) bewährten CSC für diese zukünftigen Anwendungen nicht geeignet sind. Darüber hinaus war die grundsätzliche Überlegenheit der VSC in diesen Anwendungen ebenfalls bekannt. Weitergehende Forderungen – wie in den Punkten a) bis f) beschrieben wurde – erschienen zu dieser Zeit jedoch als nicht erreichbar. Man beschränkte sich daher zunächst auf [SHC00]:

- Einzelne AC/DC-Netzverbindungen (Abb. 2.2), welche nur über das AC-Netz vermascht sind
- Einsatz von (exklusiven) Kabeln an der DC-Seite, um dort nicht beherrschbare Kurzschlüsse möglichst auszuschließen.

Unter diesen Randbedingungen war die Topologie der konventionellen 2-Level VSC (mit direkter IGBT-Reihenschaltung, Abb. 2.1b) verfügbar [AES97, AET98, SHC00]. Seit der Erfindung und industriellen Einführung des Modular Multilevel Converters (MMC, Abb. 2.1c) sind auch die weiteren, sehr bedeutenden Anforderungen a) bis g) realisierbar geworden [Mar01, MLH02, DGSW12]. Einer der wesentlichen Vorteile ist u. a., dass nun auch die DC-seitigen Größen freizügig und hochdynamisch gesteuert werden können. Dadurch kann – speziell bei Netzfehlern – den Anforderungen des AC- und des DC-Netzes entsprochen werden. Der Entfall des großen, nicht direkt steuerbaren, DC-Kondensators ermöglicht es erstmals auch DC-Netzfehler bis hin zum DC-Kurzschluss elektronisch zu beherrschen [Mar11, NLDL15, SJR<sup>+</sup>15, DHM18].

Ähnlich wie bei den ersten VSC-Anwendungen, wurden auch bei den ersten MMC-Anwendungen Einschränkungen hingenommen. Insbesondere die neuartige Steuerung und Regelung des MMC und dessen höhere Komplexität sowie der höhere Halbleitaraufwand führten dazu, dass die (einfacheren) Halbbrücken als Submodule für den MMC bevorzugt

---

<sup>4</sup>High Voltage Direct Current

<sup>5</sup>Im Allgemeinen werden CSC in HVDC-Anwendungen nur für eine unidirektionale Stromrichtung konzipiert. Der hier gezeigte CSC ist – für eine bessere Vergleichbarkeit mit den (bidirektionalen) Umrichter-Topologien aus Abb. 2.1b und 2.1c – jedoch mit Thyristoren für beide Stromrichtungen dargestellt.

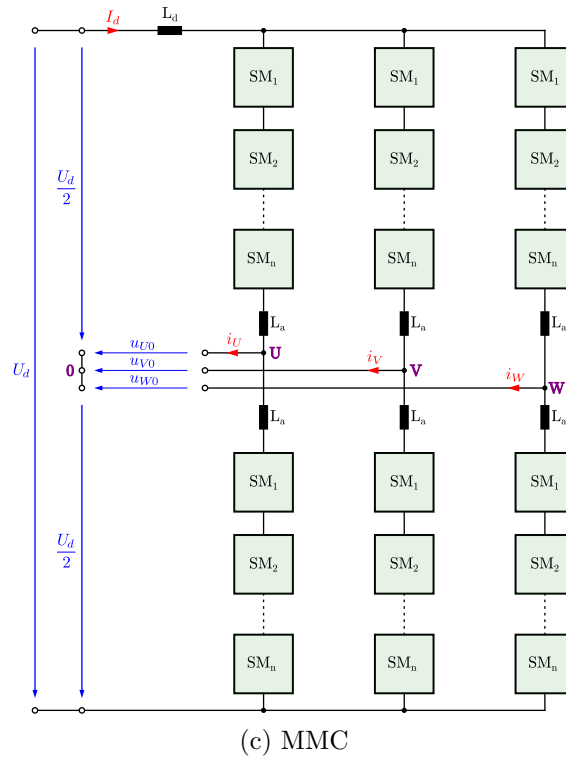
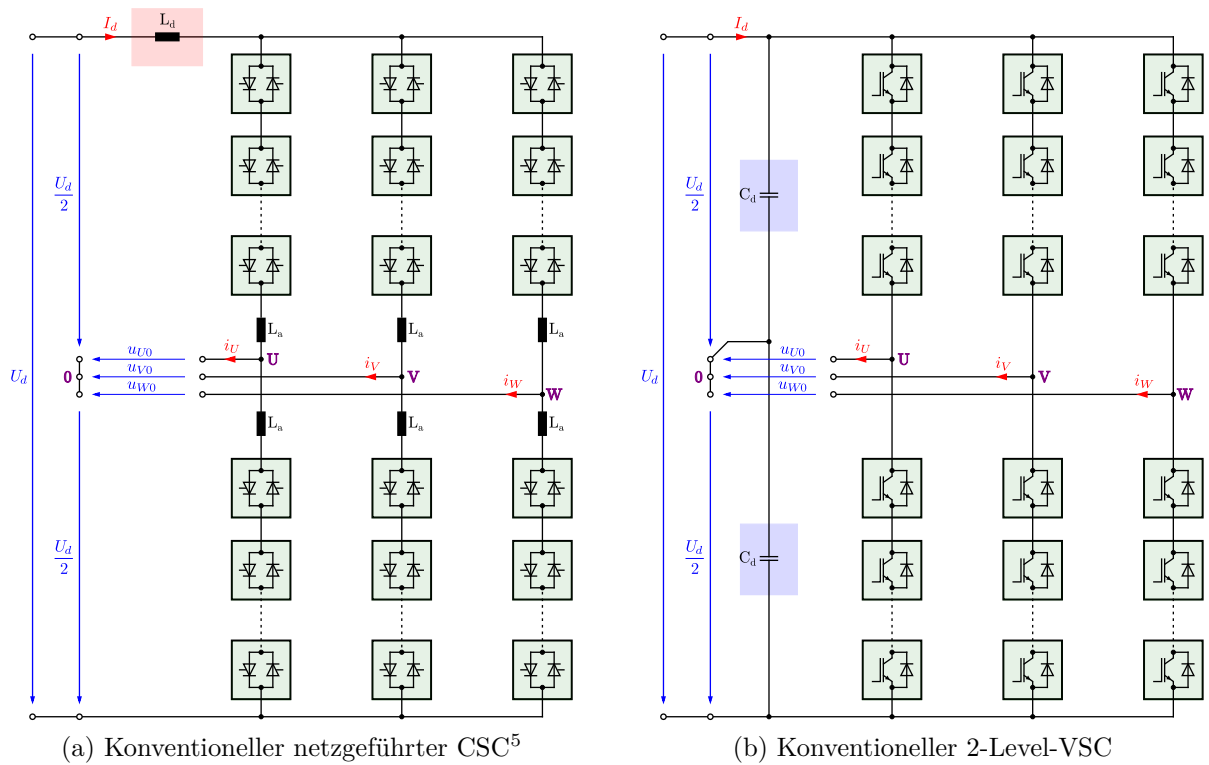


Abb. 2.1.: Umrichter-Topologien für die Anwendung in HVDC-Übertragungen

wurden [DHR07]. Durch diese Wahl wird jedoch auf die Optionen e) und f) verzichtet. Eine genauere Untersuchung ergibt des Weiteren, dass auch die notwendige Größe der installierten Kondensatoren in den Submodulen sehr ungünstig beeinflusst wird [AAN09]. Gemäß dem Stand der Technik werden Halbbrücken-Submodule jedoch noch häufig eingesetzt, wenn die Anforderung auf eine einzelne AC/DC-Verbindung (Abb. 2.2) und auf DC-seitige Kabel eingeschränkt wird [DGSW12]. Für die zukünftigen Anforderungen in industrialisierten Ländern werden jedoch ausbaufähige und zunehmend vermaschte (Multi-Terminal-) DC-Netze (Abb. 2.3) eine Schlüsselrolle einnehmen [KCS14, FRG<sup>+</sup>16]. Die Anforderungen an die Zuverlässigkeit und Betriebssicherheit dieser Netze werden in Zukunft weiter steigen, da sie einen wesentlichen Anteil zur Wirk- und Blindleistungssteuerung sowie zur Netzstabilität beitragen müssen [SWWM12, KCS14].

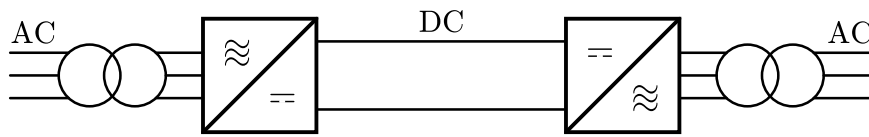


Abb. 2.2.: Punkt-zu-Punkt-HVDC-Übertragung

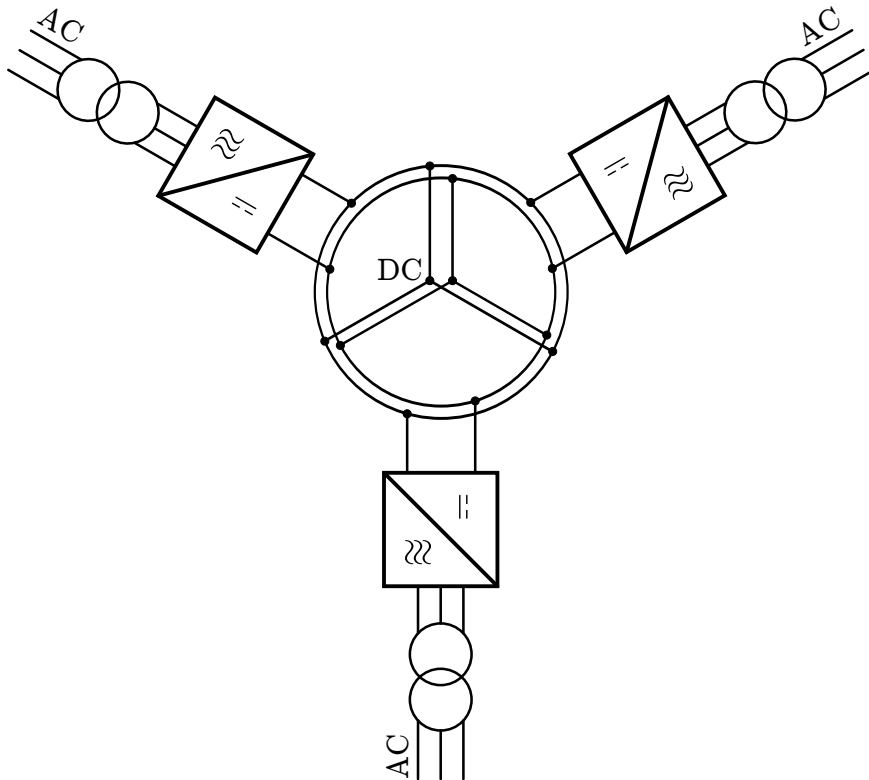


Abb. 2.3.: Multi-Terminal-HVDC-Übertragung



---

## 3. Modular Multilevel Converter

Der globale Bedarf an eine wesentlich leistungsfähigere und flexibel steuerbare Energieverteilung erfordert neuartige, leistungselektronische Systeme. Insbesondere spannungsgesteuerte Multilevel-Umrichter – mit einer höheren Anzahl von Spannungsleveln – haben dadurch an Bedeutung gewonnen. Sie ermöglichen u. a. auch, eine verbesserte Qualität der AC-Netzspannung zu gewährleisten sowie aus der Vergangenheit bekannte EMV<sup>1</sup>-Probleme zu vermeiden [SDL16]. Konventionelle Multilevel-VSC können die künftigen Anforderungen jedoch nur sehr eingeschränkt erfüllen [LM03, ML04]:

- Skalierbarkeit von Leistungs- und Spannungsleveln
- Redundanter Betrieb nach externen und internen Fehlern/Defekten
- Modulare Konstruktion
- Elektronisches Fehlermanagement (ohne Eingriff mechanischer Schaltgeräte)
- Black-Start.

Um die genannten Anforderungen in diesen Anwendungsfeldern zu erfüllen, wurde im Jahr 2001 von Prof. Rainer Marquardt der Modular Multilevel Converter (MMC oder M2C) eingeführt [Mar01]. MMC sind mittlerweile der weltweite Standard in Hochleistungsanwendungen geworden – besonders für den effizienten Einsatz großer Solar- und Windanlagen, die Verbesserung der Stromnetzinfrastruktur (Multi-Terminal HVDC- und MVDC<sup>2</sup>-Netze) sowie für Großantriebe [MXS<sup>+</sup>13, RWL<sup>+</sup>13, GCGT10, VABR<sup>+</sup>16, AAN<sup>+</sup>12, SSS13]. Die vorteilhaften Eigenschaften und erweiterte Funktionalität dieser Umrichter-Topologie sind insbesondere [Mar17]:

- Extrem hohe Verfügbarkeit des gesamten leistungselektronischen Systems durch strukturelle, inhärente Redundanz
- Gute industrielle Skalierbarkeit der Umrichter durch die Verwendung von identischen Submodulen
- Wahl der optimalen Blockierspannung der Halbleiter ist unabhängig von der Netzspannung
- Verteilte, steuerbare DC-Kondensatoren in den Submodulen (statt konzentrierter, passiver DC-Filter)
- Eliminierung von voluminösen AC-Filtern

---

<sup>1</sup>Elektromagnetische Verträglichkeit

<sup>2</sup>Medium Voltage Direct Current

- Austausch von Wirkleistung zwischen verschiedenen Systemen mittels Multi-Terminal-DC
- Unabhängige Steuerbarkeit der AC- und DC-Netzseite, sowie von Wirk- und Blindleistung
- Vollständig elektronisches Fehlermanagement – inklusive elektronischer DC-Strombegrenzung und Überspannungsschutz auf Systemebene.

### 3.1. Grundlegende Funktion des MMC

Modular Multilevel Converter werden aus einer Vielzahl von identischen zweipoligen Schaltzellen – sogenannten Submodulen (SM) – aufgebaut. Die Submodule bilden strukturell eine Ebene zwischen der Hauptstromschaltung und den Halbleiterschaltern, welche – im Vergleich zu konventionellen Umrichtern – beim MMC zusätzlich vorhanden ist. In der Hauptstromschaltung des Umrichters ergibt sich dadurch eine reduzierte Anzahl von externen Verbindungen, was die Skalierbarkeit und mechanische Konstruktion des Umrichters stark vereinfacht. Die zweipoligen Submodule enthalten DC-Speicherkondensatoren, was sie funktionell als steuerbare Spannungsquellen wirken lässt.

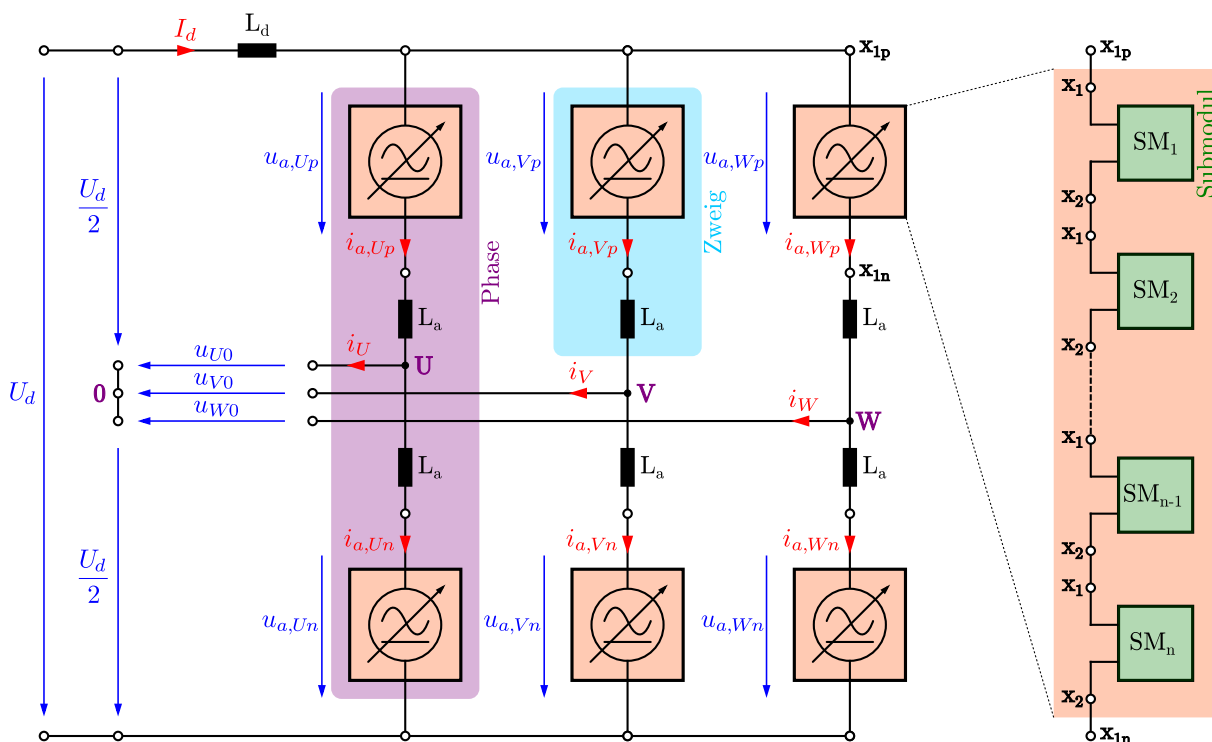


Abb. 3.1.: Schematischer Aufbau des dreiphasigen Modular Multilevel Converters

Abbildung 3.1 zeigt den schematischen Aufbau eines dreiphasigen AC/DC- $(n + 1)$ -Level-MMC. Die **Phasen** (U, V, W) sind jeweils in einen oberen und unteren **Zweig** bzw. Arm aufgeteilt – dargestellt durch den Index p (positiv) und n (negativ). Jeder Zweig besteht dabei aus einer Reihenschaltung von  $n$  identischen **Submodulen** und einer Zweiginduk-

tivität<sup>3</sup>  $L_a$ . Für die Anwendung in HVDC-Applikationen kann grundsätzlich von einer hohen Reihenschaltzahl  $n$  ausgegangen werden. Dadurch kann ein Zweig aus Submodulen in guter Näherung als kontinuierlich steuerbare **Spannungsquelle** dargestellt werden.

Für ein besseres Verständnis der Funktionsweise zeigt Abb. 3.2 eine Phase des Modular Multilevel Converters einschließlich zugehöriger Zweigspannungen und Zweigströme. Im

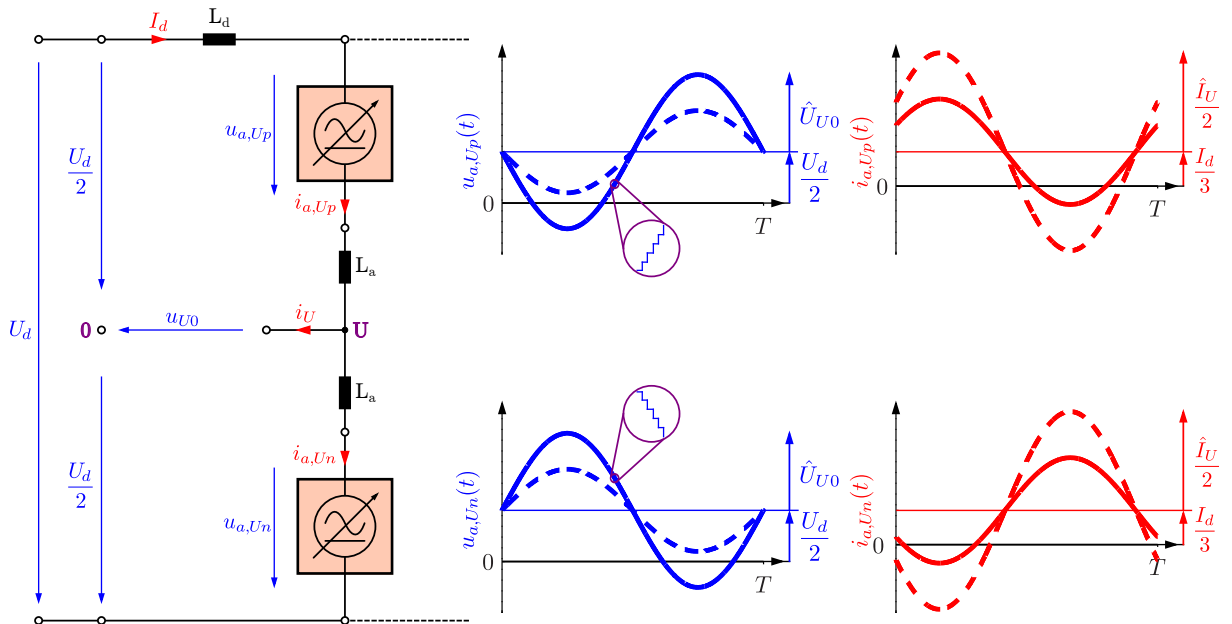


Abb. 3.2.: Zweigspannungen und -ströme des einphasigen MMC

Gegenüber zu konventionellen VSC können im MMC die DC- und AC-Komponente der Zweigspannungen – im Rahmen der max. verfügbaren Spannungen – auf beliebige Werte eingestellt werden. In den Graphen für  $u_{a,U_p}$  und  $u_{a,U_n}$  (in Abb. 3.2) ist dazu eine hohe Submodul-Reihenschaltzahl ( $n$ ) vorausgesetzt, sodass die Spannungsfunktionen in Box 3.1 als kontinuierlich angenommen werden können. Die DC-Spannung ( $U_d$ ) wird von der Umrichter-Regelung direkt und dynamisch eingepreist – ähnlich wie auch die Multi-Level-Spannung an der AC-Seite. Aus diesem Grund befindet sich auf der DC-Seite kein zentraler Zwischenkreiskondensator. Dieser Aspekt ist bezüglich der Regelungsdynamik und bei harten DC-Fehlern ein entscheidender Vorteil.

Je nach eingesetzter Submodul-Topologie kann die Polarität der Zweigspannungen nicht nur positive, sondern auch negative Werte aufweisen. Die durchgezogenen bzw. gestrichelten Verläufe der Spannungen  $u_{a,U_p}$  und  $u_{a,U_n}$  (in Abb. 3.2) zeigen dazu jeweils einen typ. MMC-Arbeitspunkt mit bipolarer bzw. unipolarer Submodul-Klemmenspannung eines MMC bei identischer Nennwirkleistung. Auf die detaillierte Funktionsweise der Submodule soll in

<sup>3</sup>Für die Regelung der internen Umrichter-Energien – zwischen dem oberen und unteren Zweig sowie den Phasen – werden i. Allg. die umrichterinternen Freiheitsgrade Kreisströme und Gleichtaktspannung eingesetzt. Die Kreisströme werden von der internen Regelung durch (von den Submodulen erzeugte) Spannungsdifferenzen an den Zweiginduktivitäten  $L_a$  eingepreist.

**Box 3.1: MMC-Spannungen**

Zweigspannungen der Phase U:

$$u_{a,U_p}(t) = \frac{U_d}{2} \cdot [1 - k \cdot \sin(\omega t)] \quad (3.1)$$

$$u_{a,U_n}(t) = \frac{U_d}{2} \cdot [1 + k \cdot \sin(\omega t)] \quad (3.2)$$

Spannungsmodulationsfaktor:

$$k = \frac{\hat{U}_{U0}}{\frac{U_d}{2}} \quad (3.3)$$

AC-seitige Spannung der Phase U:

$$u_{U0}(t) = \hat{U}_{U0} \cdot \sin(\omega t) \quad (3.4)$$

**Box 3.2: MMC-Ströme**

Zweigströme der Phase U:

$$i_{a,U_p}(t) = \frac{I_d}{3} \cdot [1 + m \cdot \sin(\omega t + \varphi)] \quad (3.5)$$

$$i_{a,U_n}(t) = \frac{I_d}{3} \cdot [1 - m \cdot \sin(\omega t + \varphi)] \quad (3.6)$$

Strommodulationsfaktor:

$$m = \frac{\frac{\hat{I}_U}{2}}{\frac{I_d}{3}} \quad (3.7)$$

AC-seitiger Strom der Phase U:

$$i_U(t) = \hat{I}_U \cdot \sin(\omega t + \varphi) \quad (3.8)$$

Abschnitt 3.3 und 4.1 noch eingegangen werden.

Neben den Zweigspannungen sind in Abb. 3.2 auch die passenden Zweigströme dargestellt (siehe Box 3.2). Es kann vernommen werden, dass sich die Amplituden der DC- und AC-Komponente der Zweigströme zu  $\frac{I_d}{3}$  bzw.  $\frac{\hat{I}_U}{2}$  ergeben. Einerseits muss im stationären Betrieb bei einem dreiphasigen Umrichter je Phase ein Wirkleistungsanteil von einem Drittel (zur Gesamtwirkleistung) beigesteuert werden. Andererseits ergibt sich aus der Knotenpunktgleichung im Punkt U (und der Differenz der Gleichungen 3.5 und 3.6) ein AC-Strom, der sich in einer energiesymmetrierten Phase hälftig aus dem oberen sowie unteren Zweig zusammensetzt. Außergewöhnlich ist beim MMC, dass die Kommutierungen nur auf Submodulebene stattfinden. Aus dieser Gegebenheit – wie Abb. 3.2 zeigt – wird deutlich, dass die erwähnten Zweigströme nicht pulsformig sind, sondern kontinuierlich fließen.

Wie auch in jedem anderen dreiphasigen Umrichter müssen die Phasen U, V, W des MMC im stationären Betrieb  $120^\circ$  phasenverschobene AC-Spannungen und -Ströme aufweisen. Aus Gründen der Einfachheit sollen im weiteren Verlauf dieser Arbeit ausschließlich die elektrischen Größen des oberen (positiven) Zweiges der Phase U verwendet werden. Die übrigen fünf Zweige verhalten sich in einem symmetrierten MMC äquivalent und müssen nicht weiter betrachtet werden. Hierzu ist es sinnvoll, die Zweigspannung sowie den Zweigstrom lediglich mit  $u_a$  sowie  $i_a$  zu bezeichnen.

## 3.2. Arbeitspunkt des MMC

Die Beschreibung von den Zweigspannungen und -strömen in Abhängigkeit von den wesentlichen Systemparametern – wie sie im vorherigen Abschnitt eingeführt wurden – soll im Folgenden in normierter Form analysiert werden. Mit dieser Methode werden die grundlegenden Freiheitsgrade  $U_d$ ,  $I_d$ ,  $k$  und  $m$  aus den Grundgleichungen ersichtlich. Die als Modulationsfaktoren für Spannung ( $k$ ) und Strom ( $m$ ) bezeichneten Größen beschreiben

jeweils das Verhältnis von AC- zu DC-Komponente eines Zweiges bzw. eines Submoduls (Gl. 3.3 und 3.7) und sind grundlegende Parameter für den Arbeitspunkt des MMC sowie seiner Auslegung. Aus dem stationären Leistungsgleichgewicht (Identität der Leistungen von DC- und AC-Seite) des MMC kann – unter Voraussetzung eines idealen, verlustlosen Umrichters – folgende Gleichung bestimmt werden:

$$U_d \cdot I_d = \frac{3}{2} \cdot \hat{U}_{U0} \cdot \hat{I}_U \cdot \cos \varphi. \quad (3.9)$$

Durch Substitution von  $k$  und  $m$  erhält man schließlich die Beziehung aus Gleichung 3.10 (in Box 3.3). Diese zeigt, dass die scheinbar unabhängig einstellbaren Umrichtergrößen im stationären Betrieb einer festen Kausalität folgen. Bei einer konstanten Phasenverschiebung  $\varphi$  führt z. B. eine Erhöhung der Spannungsmodulation  $k$  unmittelbar zu einer Reduktion der Strommodulation  $m$ .

**Box 3.3: Zusammenhang der wesentlichen MMC-Betriebsparameter**

$$m \cdot k \cdot \cos \varphi = 2 \quad (3.10)$$

$$b = \frac{\frac{U_d}{2}}{n \cdot \bar{U}_C} = \frac{r}{k+1} \quad (3.11)$$

**Box 3.4: Gültigkeitsbereich der MMC-Betriebsparameter**

$$1 \leq k < \infty \quad (3.12)$$

$$-1 \leq \cos \varphi \leq +1 \quad (3.13)$$

$$0 < r \leq 1 \quad (3.14)$$

Für die allgemeine Bewertung der Effizienz von MMC-Submodulen – besonders in Abhängigkeit vom Arbeitspunkt des Umrichters – ist es sinnvoll folgende Betriebsparameter festzulegen [DM17]:

- Spannungsmodulationsfaktor  $k$
- Phasenverschiebung  $\varphi$
- Redundanzfaktor  $r$ .

Neben den bereits erläuterten Betriebsparametern  $k$  und  $\varphi$  beschreibt der Redundanzfaktor  $r$  den prozentualen Anteil der tatsächlich im Umrichter genutzten Zweigspannung (im Verhältnis zum maximal verfügbaren, installierten Wert). In der Praxis implizieren übliche Werte von 0.9, dass 10% der Spannung während des Betriebs als Regelreserve verbleiben. Für die im nächsten Kapitel aufgezeigten Berechnungen der MMC-Verluste soll der folgende Zusammenhang – gezeigt für Phase U – vorgegeben werden, welcher die DC- und AC-Komponente des MMC-Zweiges miteinander verknüpft:

$$r \cdot n \cdot \bar{U}_C = \hat{U}_{U0} + \frac{U_d}{2} = \frac{U_d}{2} \cdot [k+1]. \quad (3.15)$$

Dabei steht  $n$  für die Anzahl aller im Zweig verbauten Submodule und  $\bar{U}_C$  für die mittlere Submodul-Kondensatorspannung. Mit der getroffenen Definition lässt sich nun

eine allgemeine Form für die Ausnutzung der DC-Komponente der Zweigspannung finden, welche sich aus den MMC-Betriebsparametern ableiten lässt (siehe Gl. 3.11 in Box 3.3).

In Box 3.4 ist der Gültigkeitsbereich der MMC-Betriebsparameter gezeigt. Diese gelten sowohl im Wechsel- als auch im Gleichrichter-Betrieb und sind durch das Vorzeichen des  $\cos \varphi$  definiert:

- Wechselrichter-Betrieb:  $\cos \varphi > 1$  für  $(-90^\circ < \varphi < +90^\circ)$
- Gleichrichter-Betrieb:  $\cos \varphi < 1$  für  $(-180^\circ \leq \varphi < -90^\circ) \wedge (+90^\circ < \varphi \leq +180^\circ)$ .

Neben den eingeführten Betriebsparametern für den MMC sind weiterhin Dimensionierungsparameter zu definieren, welche eine generelle Aussage über seine Verluste geben sollen. Ein Parameter, der sich dafür besonders eignet, ist der quadratische RMS<sup>4</sup>-Wert des MMC-Zweigstromes ( $I_a^2$ ), welcher in Abb. 3.3a über der Spannungsmodulation aufgetragen ist [DM17]. Für eine generelle Aussage und Vergleich zwischen Umrichtern verschiedener

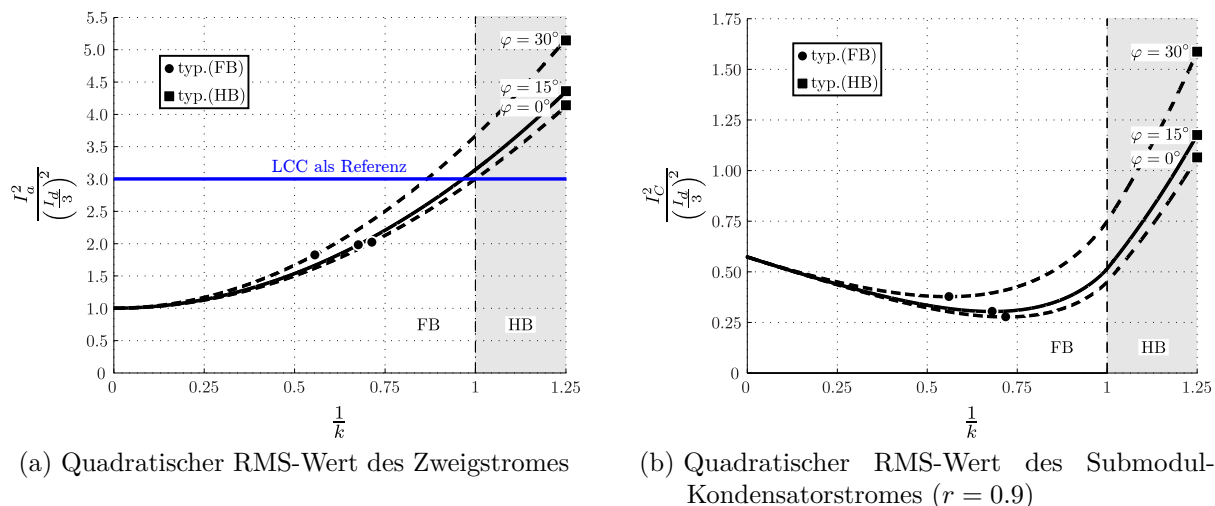


Abb. 3.3.: Normierter quadratischer RMS-Wert der Ströme im MMC-Zweig sowie Submodul-Kondensator in Abhängigkeit vom Arbeitspunkt

Nennleistung wird der quadratische RMS-Wert des Zweigstromes auf die DC-Komponente – proportional zur Wirkleistung – des Umrichter-Zweigstromes normiert. Die Graphen in Abb. 3.3a – gezeigt für typ. Phasenverschiebungen – folgen bei einem sinkenden  $k$ -Wert einem quadratischen Anstieg. Das theoretische Minimum von  $\left(\frac{I_d}{3}\right)^2$  (für  $k \rightarrow \infty$ ) kann dabei von keinem physikalisch realisierbaren Umrichter unterschritten werden. Mit einer unipolaren Klemmenspannung kann ein mit Halbbrücken-Submodulen (HB<sup>5</sup>) bestückter MMC zwar einen maximalen Spannungsmodulationsfaktor von  $k = 1$  einstellen (grau hinterlegt in Abb. 3.3a), wird aber aufgrund von nötigen Regel- und Stellreserven in einem typ. MMC-Arbeitspunkt lediglich für  $k = 0.8$  (**gestrichelter Zweigstrom** in Abb. 3.2) dimensioniert. Aus Abb. 3.3a wird ersichtlich, dass in diesem Arbeitspunkt (■) ein ungünstig

<sup>4</sup>Root Mean Square

<sup>5</sup>Half-Bridge

hoher quadratischer RMS-Wert des MMC-Zweigstromes auftritt. Wie aus Gleichung 3.10 hervorgeht, kann die gleiche Umrichter-Wirkleistung aber auch mit einem erhöhten  $k$ -Wert – bei reduziertem  $m$ -Wert – erreicht werden. Ein mit bipolarer Submodul-Klemmenspannung bestückter MMC – welche z. B. mit Vollbrücken (FB<sup>6</sup>) erzeugt werden können – ist in der Lage auch  $k$ -Werte größer als eins einzustellen. Ein günstiger, typischer Arbeitspunkt hierfür liegt um  $k = 1.5$  (**durchgezogener Zweigstrom** in Abb. 3.2), wobei sich der normierte quadratische RMS-Wert des Zweigstromes in diesem Arbeitspunkt (●) mehr als halbieren kann. Als Referenz zum MMC ist in dem Bild ein – mit Thyristoren bestückter – netzgeführter Stromrichter (LCC<sup>7</sup> (auch CSC), **blauer** Graph in Abb. 3.3a) mit derselben Nennleistung hervorgehoben. Dieser weist (arbeitspunktunabhängig) den dreifachen quadratischen RMS-Wert des theoretischen Minimums auf.

Ein weiterer – für die Umrichterdimensionierung – zu berücksichtigender Parameter ist der quadratische RMS-Wert des Submodul-Kondensatorstromes ( $I_C^2$ ), welcher in Abb. 3.3b in gleicher Manier auf die DC-Komponente des Umrichter-Zweigstromes normiert ist [DM17]. Dieser ist maßgeblich für die im Kondensatorzweig auftretenden Leistungsverluste und in erster Näherung ein Indikator für die auftretende Energiepulsation und somit benötigte Kapazität des Submodul-Kondensators. Wie man aus den Graphen in Abb. 3.3 erkennen kann, weisen Submodule mit bipolarer Klemmenspannung deutliche Vorteile bezüglich der Dimensionierung der Submodul-Kondensatoren sowie der Strombelastung der Halbleiter auf.

Hybride Modular Multilevel Converter (Hybrid-MMC) sind je Umrichterzweig sowohl mit HB-SM als auch mit FB-SM bestückt und sollen einen Kompromiss aus Leistungsverlusten (Halbleiteraufwand) und Funktionalität bieten [QSRZ15, ZXYW15, HB16]. Die Variation des Spannungsmodulationsfaktors  $k$  ist jedoch nur in einem sehr schmalen Bereich möglich. Typische Werte von  $k = 1.0 - 1.25$  sorgen für eine erhöhte Energiepulsation in den Submodulkondensatoren und führen deshalb auch zu größerem Umrichter-Bauvolumen. Die in Veröffentlichungen vorgeschlagenen Applikationen setzen mehr als 60% FB-SM im Umrichter ein, sodass die angestrebten Einsparungen nicht sehr groß sind [DKM17].

### 3.3. State of the Art Submodul-Topologien

Die Erforschung von neuen Submodul-Topologien – als Kernbaustein des Modular Multilevel Converters – soll zum einen eine Reduzierung der Umrichterverluste und zum anderen die Implementierung von Sicherheitsfunktionen, sowohl auf Umrichter- als auch auf Submodulebene, ermöglichen. Die „Vollbrückenfunktionalität“, die nur Submodule mit bipolarer Klemmenspannung ( $u_X$ ) aufweisen, ermöglicht eine elektronische DC-Strombegrenzung auf Umrichterebene sowie einen breiten DC-Spannungsarbeitsbereich. Außerdem führt ein

---

<sup>6</sup>Full-Bridge

<sup>7</sup>Line Commutated Converter

höherer einstellbarer Spannungsmodulationsfaktor zu geringeren Energiepulsationen im Submodul-Kondensator und deshalb auch zu niedrigeren Kondensatorkapazitäten. Der Explosionsschutz ist ein wichtiger Aspekt bei der Auslegung von MMC-Submodulen [BMG09]. Eine inhärente Redundanz kann im Submodul konventionell durch die Serienschaltung einer Vielzahl von gleichartigen Halbleiterschaltern erzielt werden. Geläufig ist in Mittel- und Hochspannungsanlagen für die Submodul-Bestückung ebenfalls die Verwendung von Press-Pack-IGBT-Modulen [CCB<sup>+</sup>15]. Zukünftige Anforderungen für MMC auf Systemebene können grundsätzlich mit den folgenden vier Schwerpunkten zusammengefasst werden:

- a) Reduzierung von Submodul-Kondensatorvolumen
- b) Anwendung von Submodul-Topologien mit bipolarer Klemmenspannung für elektronische DC-Strombegrenzung, Überspannungsschutz und Gleichstromabschaltung (DC-Breaker-Funktion)
- c) Ermöglichung eines elektronischen Submodul-Explosionsschutzes und Bypasses
- d) Geringe Halbleiterverluste (Leistungssteigerung).

Im Weiteren soll auf die bedeutendsten State of the Art Submodul-Topologien und deren Vor- bzw. Nachteile eingegangen werden. Das Fazit am Ende des Abschnittes verdeutlicht das jeweilige Verbesserungspotential der gezeigten Topologien.

### 3.3.1. Konventionelle Submodul-Topologien

#### 3.3.1.1. Halbbrücken-Submodul (HB-SM)

Nach wie vor werden zahlreiche MMC-Applikationen mit der Bestückung von Halbbrücken-Submodulen (HB-SM) – wie in Abb. 3.4 mit IGBT<sup>8</sup> gezeigt – realisiert. Deren Vorteil ist prinzipiell ein minimaler Aufwand von Halbleiter-Bauelementen. Je Schaltzustand – ob Kondensator-Bypass oder Kondensator-Aktivierung (siehe Tab. 3.1) – ist nur ein Halbleiter leitend. Deshalb weist das HB-SM deutlich geringere Verluste als z. B. ein konventionelles Vollbrücken-Submodul auf. Aufgrund des ungünstigen Arbeitsbereiches von HB-MMC

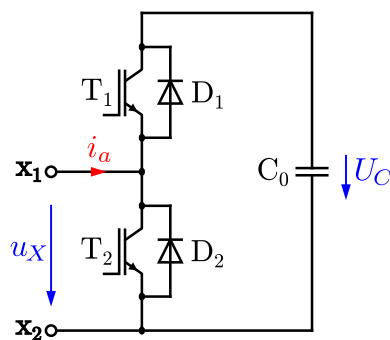


Abb. 3.4.: Halbbrücken-Submodul (HB-SM)

<sup>8</sup>Insulated-Gate Bipolar Transistor



Tab. 3.1.: Schaltzustände des Halbbrücken-Submoduls

$u_X$	$T_1$	$T_2$
$+U_C$	1	0
0	0	1

(siehe Abb. 3.3) sind die im Submodul-Kondensator auftretenden Energiepulsationen jedoch sehr hoch. In HB-SM müssen deshalb verhältnismäßig große Kondensatorkapazitäten installiert werden. Ein weiterer Nachteil liegt in der insuffizienten Beherrschung von Fehlern auf der DC-Seite (siehe Anhang A). Zum einen besteht die Möglichkeit bei einem DC-Kurzschluss den Stromanstieg durch die Reaktanzen im MMC-Zweig und auf der AC-Seite des Umrichters passiv zu limitieren, bis die AC-Schalter allpolig abschalten [CP11]. Zum anderen kann der MMC auf der DC-Seite mit einem DC-Breaker ausgestattet werden, welcher in der Lage ist den Fehlerstrom zu löschen [WM15]. Beide Methoden sind aufgrund der folgenden Punkte jedoch sowohl für Single- als auch Multi-Terminal Verbindungen ungünstig oder unzureichend:

- Verlust der Steuerbarkeit des Umrichters
- Schalter-Reaktionszeit von einigen zehn Millisekunden ist sehr hoch
- Auslegung der Halbleiter muss für den hohen Stoßfehlerstrom des AC-Netzes erfolgen.

### 3.3.1.2. Vollbrücken-Submodul (FB-SM)

Das Vollbrücken-Submodul (FB-SM) aus Abb. 3.5 kann neben den zwei Spannungsleveln 0 V und  $+U_C$  auch eine negative Spannung ( $-U_C$ ) an den Klemmen einstellen (siehe Tab. 3.2). Dadurch kann – wie bereits erwähnt wurde – ein Spannungsmodulationsfaktor

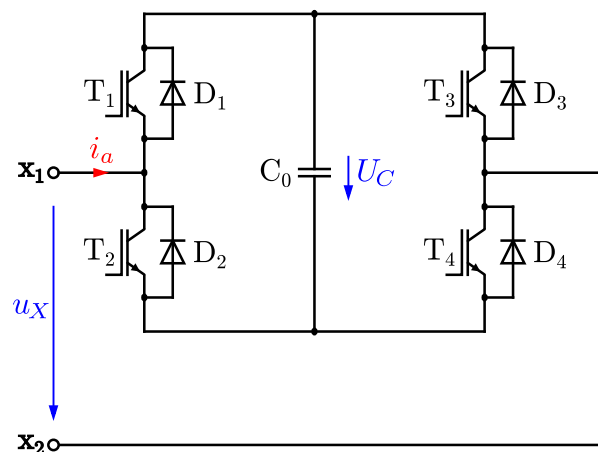


Abb. 3.5.: Vollbrücken-Submodul (FB-SM)

eingestellt werden, welcher zu einem günstigeren Arbeitspunkt für die Halbleiter- und Kondensatorauslegung führt (siehe Abb. 3.3). Sowohl die Halbleiterströme als auch der Kondensatorstrom sind im FB-SM bei  $k = 1.5$  gegenüber dem HB-SM (bei  $k = 0.8$ ) deutlich geringer. Die Energiepulsation innerhalb des Submodul-Kondensators wird von

Tab. 3.2.: Schaltzustände des Vollbrücken-Submoduls

$u_X$	$T_1$	$T_2$	$T_3$	$T_4$
$+U_C$	1	0	0	1
0	1	0	1	0
0	0	1	0	1
$-U_C$	0	1	1	0

einem zum anderen Arbeitspunkt näherungsweise halbiert [INN13]. Stellt man dieselben Anforderungen an die Spannungswelligkeit des Kondensators beider Submodule, kann seine Kapazität infolgedessen halbiert werden. Beim Auftreten von DC-Kurzschlüssen kann der – mit FB-SM bestückte – MMC aufgrund der bipolaren Submodul-Klemmenspannungen die DC-Spannung so steuern, dass der DC-Strom kontrolliert begrenzt oder auf null gestellt werden kann [WM17, DHM18, DHM19]. Auf diese Weise ist es möglich, die AC-Spannung weiterhin aufrechtzuerhalten und den Umrichter in den Blindleistungsbetrieb zu überführen. Selbst im Worst-Case-Szenario – und Verlust der Steuerbarkeit – ist ein elektronisches Blockieren aller Vollbrücken-Submodule je Umrichterphase realisierbar. In diesem Fall ist die Summe aller Submodul-Kondensatorspannungen der AC-Außenleiterspannung entgegengerichtet und limitiert resultierend den Fehlerstrom auf der DC-Seite (siehe Anhang A). Ein nennenswerter Nachteil gegenüber HB-SM ist jedoch die höhere Anzahl von Halbleiterbauelementen. Auch wenn die individuellen Leistungsverluste je Halbleiter geringer ausfallen, sind je Schaltzustand immer zwei Halbleiter in Serie geschaltet. Deshalb fallen die Leistungsverluste je Submodul (im Vergleich zum HB-SM) ungefähr um den Faktor 1.5...1.7 höher aus [MNN11].

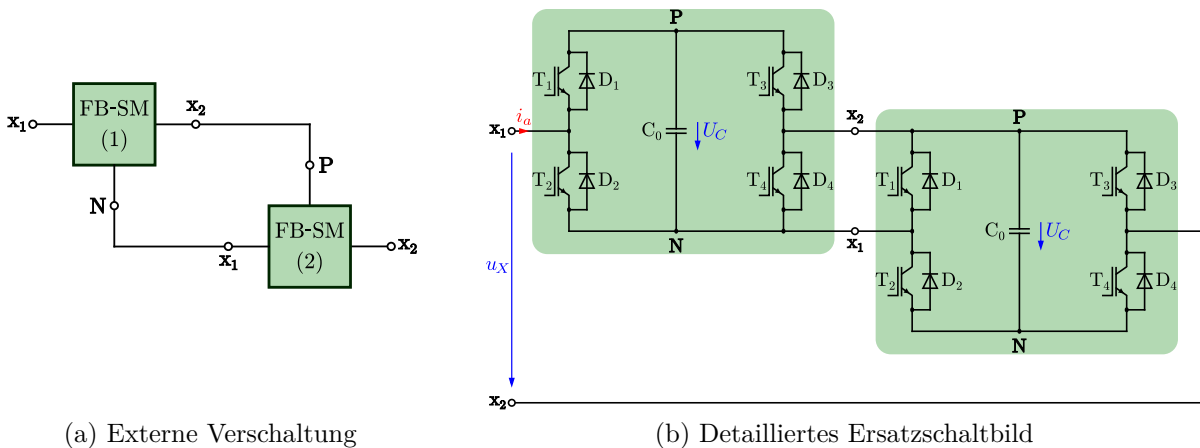


Abb. 3.6.: Realisierung einer Double-Connection aus Vollbrücken-Submodulen

### 3.3.2. Submodul-Topologien in Double-Connection

Bei der Konstruktion der MMC-Zweige ist es möglich ein Cluster zu definieren, welcher eine frei wählbare Anzahl von Submodulen mechanisch oder elektrisch zusammenfasst. Eine spezielle Möglichkeit besteht darin aus zwei geeigneten Submodulen eine sog. Double-Connection zu bilden – Abb. 3.6 zeigt diese durch die externe Verschaltung zweier FB-SM. Wie in Kapitel 5 im Detail gezeigt werden soll, besitzt die Double-Connection im Vergleich zur Serienschaltung zweier Einzel-Submodule um 25% reduzierte Durchlassverluste. Weiterhin sind die Energiepulsationen in den Submodul-Kondensatoren für Submodule in Double-Connection mit bipolarer Klemmenspannung nur halb so groß. Dies ermöglicht bei der Beibehaltung der Spannungswelligkeit unmittelbar auch die Halbierung deren Kondensatorkapazität.

#### 3.3.2.1. Clamp-Double-Submodul (CD-SM)

Das Clamp-Double-Submodul (CD-SM) – gezeigt in Abb. 3.7 – wurde eingeführt, um eine Reihenschaltung zweier HB-SM zu ersetzen und DC-Kurzschlussströme elektronisch zu begrenzen [Mar10, SWWM12]. Die Realisierung der Schaltung kann dabei direkt – mit einer Reduktion von zwei IGBT in Dioden – aus Abb. 3.6b abgeleitet werden. Die vier Schaltzustände für den normalen Betrieb ( $0\text{ V}$ ,  $+U_{C1}$ ,  $+U_{C2}$  und  $+(U_{C1} + U_{C2})$ ) können an den Klemmen  $u_X$  eingestellt werden, ohne  $T_5$  zu schalten – dieser ist hier dauerhaft eingeschaltet (siehe Tab. 3.3). Im Fall eines DC-Kurzschlusses werden im

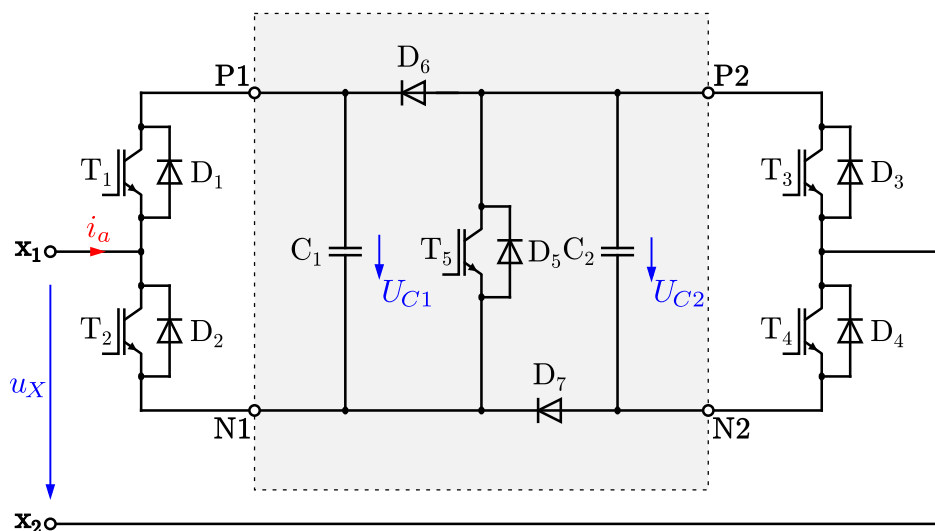


Abb. 3.7.: Clamp-Double-Submodul (CD-SM)

CD-SM alle Transistoren blockiert. Das Submodul befindet sich dann automatisch im Clamping-Schaltzustand, in welchem beide Kondensatoren parallel geschaltet sind und mit negativer Spannung den DC-Fehlerstrom begrenzen (siehe Anhang A). Unabhängig von der Polarität des Zweigstromes nimmt das CD-SM bei deaktivierten Schaltern  $T_1 - T_5$  Energie auf (siehe Tab. 3.3). Auch wenn  $T_5$  als zusätzlicher Halbleiterschalter im normalen

Tab. 3.3.: Haupt-Schaltzustände des Clamp-Double-Submoduls

$u_X$	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	sgn( $i_a$ )
$+(U_{C1} + U_{C2})$	1	0	0	1	1	—
$+U_{C1}$	1	0	1	0	1	—
$+U_{C2}$	0	1	0	1	1	—
0	0	1	1	0	1	—
$+(U_{C1} + U_{C2})$	0	0	0	0	0	$> 0$
$-(U_{C1}    U_{C2})$	0	0	0	0	0	$< 0$

Betrieb den Zweigstrom führen muss, kann dieser aufgrund der erwähnten Funktion auf niedrige Durchlassverluste optimiert werden. Der Nachteil des CD-SM ist, dass die negative Klemmenspannung nur bei negativen Klemmenströmen eingestellt werden kann. Im normalen Betrieb sind deshalb weiterhin nur Spannungsmodulationsfaktoren von kleiner als eins möglich.

### 3.3.2.2. Semi-Full-Bridge-Submodul (SFB-SM)

Die Schaltungstopologie des Semi-Full-Bridge-Submoduls (SFB-SM) ergibt sich direkt aus der Double-Connection zweier FB-SM (Abb. 3.6b) und ist sehr ähnlich zu der von dem CD-SM. Es wurden dazu die Dioden D<sub>6</sub> und D<sub>7</sub> in dem CD-SM durch „vollwertige IGBT“ (T<sub>6</sub> und T<sub>7</sub>) ersetzt (Abb. 3.8) [IBH<sup>+</sup>15]. Für die Funktionalität im normalen

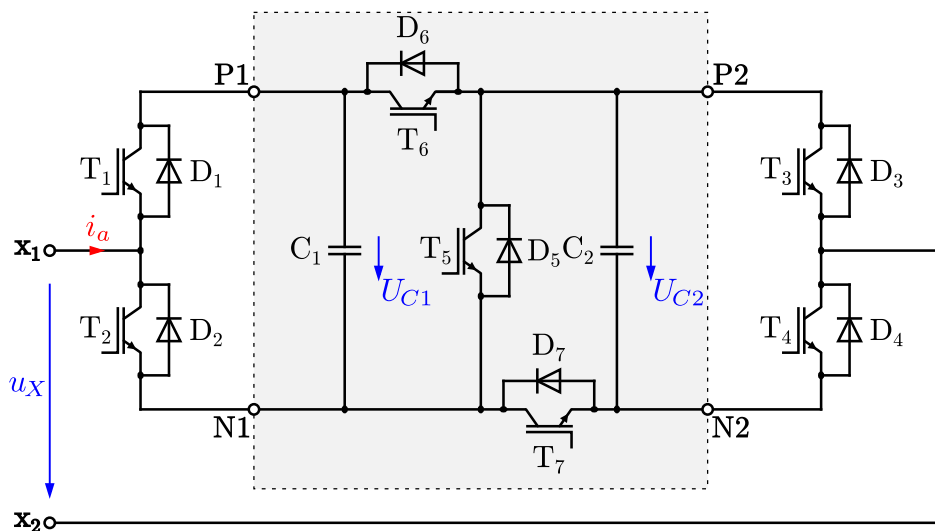


Abb. 3.8.: Semi-Full-Bridge-Submodul (SFB-SM)

Betrieb ergibt sich bei dem SFB-SM nun, dass der Schaltzustand mit negativer Klemmenspannung in beiden Stromrichtungen nutzbar wird (siehe Tab. 3.4). Somit kann eine 4-Level-Klemmenspannung sowohl bei positiven als auch negativen Klemmenströmen eingestellt werden. Dass das SFB-SM – aufgrund der unipolar sperrenden Halbleiter – die Kondensator-Reihenschaltung nur mit positivem Vorzeichen einstellen kann, ist für typ. MMC-Arbeitspunkte kein Nachteil. Aus Abbildung 3.2 ist bereits bekannt, dass

Tab. 3.4.: Haupt-Schaltzustände des Semi-Full-Bridge-Submoduls

$u_X$	T <sub>1</sub>	T <sub>2</sub>	T <sub>3</sub>	T <sub>4</sub>	T <sub>5</sub>	T <sub>6</sub>	T <sub>7</sub>	sgn( $i_a$ )
$+(U_{C1} + U_{C2})$	1	0	0	1	1	0	0	—
$+(U_{C1}    U_{C2})$	1	0	0	1	0	1	1	—
0	1	0	1	0	0	1	0	—
0	0	1	0	1	0	0	1	—
$-(U_{C1}    U_{C2})$	0	1	1	0	0	1	1	—
$+(U_{C1} + U_{C2})$	0	0	0	0	0	0	0	> 0
$-(U_{C1}    U_{C2})$	0	0	0	0	0	0	0	< 0

die Synthese der Zweigspannungen einen positiven Offset (von  $\frac{U_d}{2}$ ) aufweist. Kritisch ist bei diesem Submodul jedoch das Kondensator-Balancing. Die bei der Serienschaltung – aufgrund von Kapazitätstoleranzen – entstehende Spannungsdifferenz zwischen beiden Kondensatoren würde bei ihrem direkten Parallelschalten zu einem sehr hohen Stoßstrom führen. Für eine Nutzung der Parallelschaltung müssen deshalb bei diesem Submodul beide Kondensator-Spannungen exakt gemessen werden, um ein effizientes Balancing dieser zu ermöglichen und stoßartige Ausgleichsströme gering zu halten [HJI<sup>+</sup>18, HJI<sup>+</sup>19].

### 3.3.3. Fazit für die Applikation der State of the Art Submodul-Topologien

Die Untersuchung der bedeutendsten State of the Art Submodul-Topologien konnte aufzeigen, dass jedes dieser sowohl Vorteile als auch Nachteile besitzt. Leider gibt es jedoch keine Topologie, die die zukünftigen Anforderungen für MMC auf Systemebene in allen erwähnten Punkten (a) bis d) auf S. 14) hinreichend erfüllen kann. In Tab. 3.5 sind die vier Anforderungen noch einmal in Bezug zu den einzelnen Submodul-Topologien zusammengefasst. Es wird auf der einen Seite deutlich, dass keines der neueren Entwicklungen an die geringen Leistungsverluste des Halbbrücken-Submoduls heranreicht. Elektronische DC-Strombegrenzung, Überspannungsschutz und Gleichstromabschaltung können sich bei den Topologien FB-SM, CD-SM und SFB-SM nur mit erhöhten Durchlassverlusten erkaufen werden. Die Reduzierung der Energiepulsation – und deshalb der Submodul-Kondensatorkapazität – wird ausschließlich vom SFB-SM erfüllt.

Um den Anforderungen für die Beherrschung interner Submodul-Kurzschlüsse zu genügen und diese vor Explosion zu schützen, sind derzeitige Konzepte nicht ausreichend. Die Realisierung von Submodul-Topologien, welche alle erwähnten Anforderungen – einschließlich des elektronischen Explosionsschutzes und elektronischen Bypasses – erfüllen können, werden in Abschnitt 4.1 vorgestellt.

Tab. 3.5.: Zusammenfassung der Eigenschaften und Funktionalität der bedeutendsten State of the Art Submodul-Topologien

Submodul- Topologie	Eigenschaften und Funktionalität			
	a) Kondensator- volumen	b) Bipolare Klem- menspannung	c) El. Explosions- schutz/Bypass	d) Halbleiter- verluste
HB-SM	groß	nein	nein	gering
FB-SM	mittel	ja	nein	groß
CD-SM	groß	ja <sup>9</sup>	nein	mittel
SFB-SM	gering	ja	nein	mittel

### 3.4. Beherrschung von Fehlerfällen im MMC

Die hohe Zuverlässigkeit und Ausfallsicherheit von HVDC- und MVDC-Netzen können grundsätzlich sichergestellt werden, wenn die Umrichter als Schlüsselkomponenten nicht nur bei Fehlern auf der Netzseite, sondern auch bei internen Defekten ihre Funktionalität im System aufrechterhalten.

#### 3.4.1. Externe Fehler und Management von netzseitigen Fehlern

An das Verhalten der Umrichter-Stationen bei externen Fehlern werden in Zukunft wesentlich erhöhte Anforderungen gestellt. Da die Umrichter künftig die entscheidenden elektronisch steuerbaren Stellglieder in den verteilten und vermaschten Netzstrukturen darstellen, ist es von großer Bedeutung, dass sie diese Funktion auch in Fehlerfällen weiterhin ausüben können. Folgende Funktionen sind dabei von wesentlicher Bedeutung:

- Einhaltung von Stromsollwerten auf der AC- und DC-Netzseite
- Dynamische Stabilisierung der AC-Netzspannung, u. a. auch durch Lieferung von Blindleistung
- Stabilisierung der DC-Netzspannung, u. a. auch bei abgesenktem DC-Spannungswert.

Diese Funktionen ermöglichen, dass die Umrichter bei Störungen oder Überlast der Netze den weiteren – möglichst uneingeschränkten – Betrieb unterstützen. Diese wertvollen, zukünftigen Optionen gewährleisten, dass:

- die mechanischen Schalter auf der AC- und DC-Netzseite bei o. a. Störungen nicht geöffnet werden müssen
- die Umrichter eine hochdynamische Regelung aller relevanten Ströme beherrschen

<sup>9</sup>Die negative Klemmenspannung kann nur für das Begrenzen von DC-Kurzschlussströmen, nicht aber für den normalen Betrieb, verwendet werden.

(MVC<sup>10</sup>) [DHM19]

- die volle Funktionsfähigkeit der Umrichter in einem weiten Toleranzbereich der Netzspannungen gewährleistet ist
- Kurzschlüsse an jeder Netzseite (AC- sowie DC-Seite) elektronisch beherrscht werden und nicht zu Kurzschlüssen der anderen Netzseite führen.

Diese Anforderungen erzwingen, dass sowohl die Regelung des MMC als auch die Topologie der Submodule gegenüber dem Stand der Technik wesentlich weiterentwickelt werden müssen. Die vorliegende Arbeit widmet sich der letztgenannten Thematik.

### 3.4.2. Interne Fehler

Ein MMC ist aufgrund der modularen Bauweise und seiner Struktur in der Lage, nach internen Defekten weiterhin seine Funktion zu erfüllen. Interne Fehler lassen sich – der Übersicht halber – grundsätzlich in drei Kategorien unterteilen:

- Defekte Submodule (inklusive deren Kommunikationskanäle zur zentralen Steuerung)
- Defekte in Strom- oder Spannungswandlern
- Defekte in der zentralen, übergeordneten Steuerung.

In Bezug auf die beiden letztgenannten Kategorien ist das Vorgehen aus anderen Anwendungsfeldern bekannt. Es ist sowohl technisch als auch wirtschaftlich möglich durch sinnvolle Strukturen und Redundanz in der Hardware, die volle Funktionalität nach einzelnen Defekten aufrechtzuerhalten. Spezielle, neuartige Anforderungen bestehen nur bezüglich der Submodule. Ursächlich für diesbezügliche, interne Defekte können die folgenden Punkte sein [FCST21]:

- Defekte der Leistungshalbleiter oder deren Gate-Treiber-Elektronik
- Defekte oder gestörte Kommunikation mit der übergeordneten Steuerung
- Defekte der internen Hilfsstromversorgung des Submoduls.

Um die erforderliche, extrem hohe Verfügbarkeit eines MMC zu gewährleisten, muss im Betrieb keineswegs eine detaillierte Fehlerdiagnose erfolgen. Es ist hingegen sehr vorteilhaft, sich auf die summarische Diagnose einer Funktionsstörung des Submoduls zu beschränken. Im Rahmen dieser Arbeit sind die folgenden Anforderungen relevant:

- 1) Ein als defekt diagnostiziertes Submodul muss in einen sicheren Bypass-Zustand gebracht werden (Klemmenspannung gegen 0V)
- 2) Ein als defekt diagnostiziertes Submodul muss sicher vor einer Explosion bewahrt werden.

Die Anforderung 1) kann durch:

- 1.1) das Ansteuern der vorhandenen, betriebsmäßigen Leistungshalbleiter
- 1.2) das Ansteuern zusätzlicher, elektronischer Leistungshalbleiter
- 1.3) das Ansteuern zusätzlicher, mechanischer Bypass-Schalter

---

<sup>10</sup>Multi-Variable Control

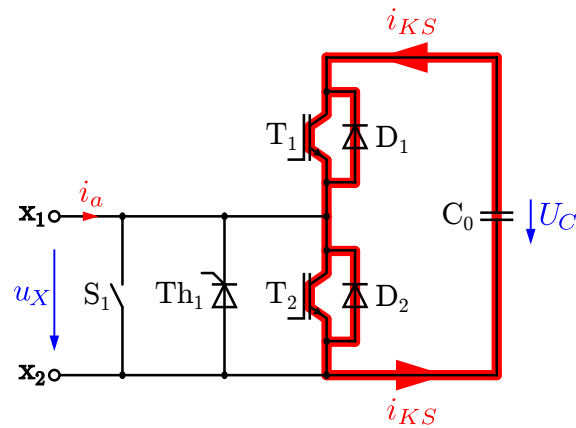


Abb. 3.9.: Halbbrücken-Submodul mit Bypass-Thyristor und -Schalter [DGSW12]

erfüllt werden. Dem Stand der Technik entsprechend, wird zurzeit meist die Methode nach Anforderung 1.3) eingesetzt. Hierzu zeigt Abb. 3.9 ein Halbbrücken-Submodul mit Bypass-Thyristor und -Schalter [DGSW12]. Findet aufgrund der oben genannten Ursachen ein interner Kurzschluss ( $i_{KS}$  in Abb. 3.9) statt, kann der Thyristor ( $Th_1$ ) zunächst den kurzzeitigen Submodul-Bypass und eine Entlastung der Diode  $D_2$  vom AC-seitigen Stoßstrom unterstützen [LSL<sup>+</sup>13]. Für eine dauerhafte Überbrückung des Submoduls muss baldmöglichst ein mechanischer Schalter ( $S_1$ ) hinzugeschaltet werden [WCB<sup>+</sup>17]. Neben dem Zusatzaufwand hat ein mechanischer Bypass darüber hinaus den Nachteil, dass die sichere Funktion (inklusive des Ansteuerkanals) nicht betriebsmäßig überprüft werden kann. Ein weiteres, erhebliches Problem stellt dar, dass die Ansteuerung des Bypasses sehr schnell erfolgen muss, um eine Explosion zu verhindern. Daher ist es in der Realität nicht sicher ausschließbar, dass:

- der Bypass-Schalter durch eine (z. B. elektromagnetische Störung) unnötig zündet
- der Bypass-Schalter im Bedarfsfall nicht zündet.

Erfahrungen aus realen Anlagen zeigen, dass beide Fälle auftreten können. Diese Nachteile werden ganz wesentlich gemindert, wenn die Anforderung 1.1) realisiert werden kann, da diese wichtige Funktion nun betriebsmäßig testbar und reversibel ist. Die in der vorliegenden Arbeit untersuchten Submodul-Topologien eröffnen diese Option, da sie grundsätzlich bereits die erforderliche Redundanz im Bypass-Zustand aufweisen (Double-Zero, siehe Abschnitt 4.1). Je nach technischen Details der Kommunikation und Hilfsstromversorgung kann es vorteilhaft oder notwendig sein zusätzlich einen Schalter nach Anforderung 1.2) oder 1.3) vorzusehen. Es bleibt jedoch auch in diesem Fall als wesentlicher Vorteil bestehen, dass dieser nun langsam und störsicher angesteuert werden kann.

Die zweite, extrem bedeutende Anforderung besteht darin, die Explosion eines defekten Submoduls zu verhindern. Die Ursachen dieser Problematik sind:

- Die Energie des Submodul-Kondensators ist um Größenordnungen höher als das Energieabsorptionsvermögen eines Leistungshalbleiters.



- Die Kontaktierungen der Leistungshalbleiterchips öffnen und verdampfen unter den o. a. Bedingungen.
- Ein Kurzschluss des Submodul-Kondensators kann durch eine DESAT<sup>11</sup>-Kurzschluss-erkennung nicht immer verhindert werden, da auch Dioden- und Gate-Treiber-Defekte auftreten können.

In der Vergangenheit wurden in kritischen Anwendungen teilweise auch Leistungshalbleiter mit robusteren Kontaktierungen – wie Presspack-Halbleiter mit Druckkontakten – eingesetzt [OWWB16]. Diese sind in Kombination mit strombegrenzenden Drosseln ( $\frac{di}{dt}$ -Chokes) in der Lage, eine Gehäuse-Explosion zu vermeiden [LSC15]. Die fortschreitende Entwicklung der Halbleiter-Technologie (vom IGCT über den IGBT zum SiC-FET) führt jedoch zu Halbleiterchips, welche sich immer weniger für eine Druckkontakt-Technik eignen [MNN11, VAR<sup>+</sup>14, SWS<sup>+</sup>20]. Um die Submodule und den umgebenden Umrichter vor Explosions- und Lichtbogenschäden zu schützen, werden deshalb beim heutigen Stand der Technik meist aufwändige und druckfeste Zusatz-Gehäuse der Submodule eingesetzt [BMG09]. Kosten, Platzbedarf und der im explodierten Submodul entstehende Sondermüll sind trotzdem sehr nachteilig. In der vorliegenden Arbeit werden daher Submodul-Topologien untersucht, welche einen elektronischen Explosionsschutz durch inhärente Redundanz ermöglichen.

---

<sup>11</sup>Desaturation



---

## 4. Submodul-Topologien zur elektronischen Beherrschung von Fehlerfällen

Die Ebnung des Weges von Modular Multilevel Convertern für den Einsatz in vermaschten (Multi-Terminal) DC-Netzen stellt hohe Anforderungen an das Fehlermanagement – dabei besteht die Notwendigkeit sowohl externe als auch interne Fehler des Umrichters zu beherrschen (siehe Abschnitt 3.4). Weiterhin ist es erstrebenswert, gleichzeitig den Bauraum und die Leistungsverluste des Umrichters niedrig zu halten (siehe Abschnitt 3.3). Das Nichtvorhandensein einer Gleichspannungsversorgung der Submodule – wie es bei konventionellen VSC der Fall ist – ermöglicht einen bisher nicht genutzten Freiheitsgrad bei dem Design einer Schaltungstopologie. Im Folgenden werden zwei Submodul-Topologien vorgestellt, welche sich eines Halbleiterschalters im Pfad des Submodul-Kondensators bedienen. Dadurch sind diese Topologien deutlich adaptierbarer an die Betriebsbedingungen, wie sie im MMC benötigt werden.

Im ersten Abschnitt dieses Kapitels sollen die beiden Submodul-Topologien hinsichtlich ihrer Schaltzustände sowie die daraus ableitbare Funktionalität beschrieben werden. Dabei wird neben der grundsätzlichen Beschreibung der Schaltzustände und Ansteuerung der Halbleiterbauelemente im fehlerfreien Betrieb auch auf die mögliche Beherrschbarkeit von internen Fehlern/Defekten eingegangen. Die weiteren Abschnitte zeigen eine detaillierte Untersuchung und analytische Beschreibung der Schalt- sowie Durchlassverluste der neuartigen Submodul-Topologien, welche in Kapitel 5 für eine optimierte Dimensionierung angewendet werden sollen. Um für die Schaltheandlungen eine repräsentative Berechnungsgrundlage zu schaffen, ist es zunächst sinnvoll ein allgemeines (idealisiertes) Pulsmuster – für die Beaufschlagung der Submodule – zu definieren, welches die anteilige Synthese der MMC-Zweigspannung wiedergibt. Reale Steuerbefehle, welche stark von dem implementierten Regel- sowie Sortieralgorithmus abhängen, sind für eine generelle Beschreibung der Schaltheandlungen ungeeignet und werden im Rahmen dieser Arbeit nicht betrachtet. Die Durchlassverluste der Submodul-Topologien werden ebenfalls in einer allgemeinen, analytischen Form untersucht. Bei der Beschreibung von MMC mit einer hohen Reihenschaltzahl ist es vorteilhaft anzunehmen, dass jedes individuelle Submodul im Zweig simultan an der Synthese der Zweigspannung beteiligt ist. Die kontinuierliche

Aussteuerung kann indessen mit der Vorgabe einer sinusförmigen Modulation erreicht werden. Auch wenn diese Vorgehensweise in der Praxis dem gleichzeitigen, pulsweitenmodulierten Takten aller Submodule mit einer theoretisch unendlichen Schaltfrequenz entspräche, können mit dieser Modellvorstellung hinreichende, analytische Gleichungen für die individuelle Stromverteilung der Halbleiter innerhalb der Submodule abgeleitet werden.

## 4.1. Neuartige Submodul-Topologien mit steuerbarem Kondensator

### 4.1.1. Double-Zero-Submodul (DZ-SM)

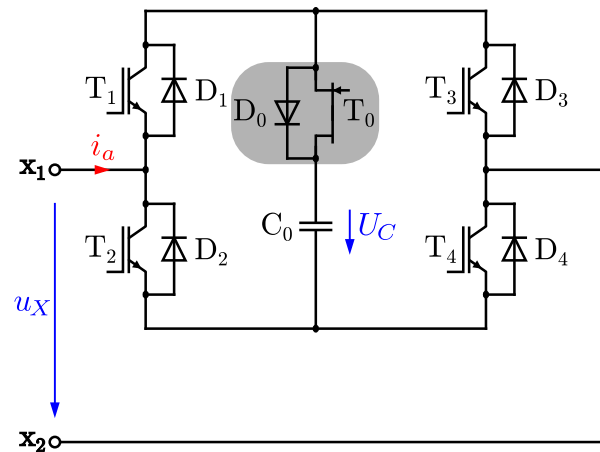


Abb. 4.1.: Double-Zero-Submodul (DZ-SM)

Tab. 4.1.: Schaltzustände des Double-Zero-Submoduls

$u_X$	$T_1$	$T_2$	$T_3$	$T_4$	$T_0$
$+U_C$	1	0	0	1	1
0	1	1	1	1	0
$-U_C$	0	1	1	0	1

Das Double-Zero-Submodul (DZ-SM) ist praktisch ein Vollbrücken-Submodul mit einem weiteren Halbleiterschalter, welcher in den Pfad des Submodul-Kondensators implementiert wird [DM17]. Abbildung 4.1 zeigt die Realisierung des DZ-SM mit einem rückwärtsleitenden SiC-FET<sup>1</sup> ( $T_0$ ). Gegenüber der Ausführung von  $T_0$  als Silizium-IGBT – wie er an den anderen Halbleiterpositionen ( $T_1 - T_4$ ) verbaut ist – lassen sich die Schaltverluste durch die Verwendung von spannungsgesteuerten, unipolaren Halbleiterbauelementen aus Siliziumkarbid deutlich reduzieren. Aus Abb. 3.3 ist ersichtlich, dass der quadratische RMS-Wert des Submodul-Kondensatorstromes (bei  $k = 1.5$ ) nur ein Bruchteil des

<sup>1</sup>Field-Effect Transistor

Zweigstromes beträgt. Deshalb kann  $T_0$  prinzipiell mit einer deutlich geringeren Halbleiter-Chipfläche ausgestattet werden. In Tab. 4.1 sind die Schaltzustände des DZ-SM illustriert. Für eine bessere Veranschaulichung sind dazu in Abb. 4.2 die **Strompfade** innerhalb des Submoduls in den verschiedenen Schaltzuständen gezeigt. Aus Gründen der Einfachheit sind in den Bildern beide Stromrichtungen des Zweiges (geführt durch die Transistoren bzw. die Dioden) hervorgehoben. In dem Bypass-Zustand ( $u_X = 0\text{ V}$ ) wird durch das Abschalten des Kondensators ermöglicht, dass alle vier Transistoren ( $T_1 - T_4$ ) aktiviert werden können. Der Zweigstrom teilt sich jeweils zur Hälfte auf den oberen und unteren Pfad auf (siehe Abb. 4.2b). Abbildung 3.2 macht dabei deutlich, dass der Bypass-Zustand statistisch am häufigsten in dem Bereich von hohen Zweigströmen auftritt und deshalb die Durchlassverluste in diesem Schaltzustand ein hohes Einsparpotential besitzen. Eine detaillierte Untersuchung der Durchlassverluste wird in Abschnitt 4.3.2 vorgestellt.

Weiterhin ermöglicht das DZ-SM deutlich verbesserte Eigenschaften bezüglich der Beherrschung interner Submodulfehler. Das Vorhandensein von drei unabhängig ansteuerbaren Halbleiterschaltern in dem kritischen Kondensator-Kurzschlusspfad (Anforderung 1.1) in Abschnitt 3.4.2) – wie Abb. 4.3a für einen Kurzschluss in der linken Submodul-Schleife zeigt – ermöglicht einen internen, elektronischen Schutz des DZ-SM vor Explosion. Hierbei können sich die strombegrenzenden Eigenschaften von SiC-JFET<sup>2</sup> zunutze gemacht werden, indem man den Transistor im Kondensatorpfad ( $T_0$ ) mit diesem Halbleitertyp bestückt. Für den fehlerfreien Betrieb sind diesbezüglich keine Einschränkungen zu erwarten, weil der Kondensatorzweig bei konventionellen Submodul-Topologien ohnehin dauerhaft leitend<sup>3</sup> ist. Die rote Hinterlegung der **Strompfade** in Abb. 4.3a umfasst bewusst alle Halbleiter ( $T_1, D_1, T_2, D_2, T_0, D_0$ ) dieser Schleife, weil die Funktion des Submoduls durch das Versagen von mindestens einem dieser Bauelemente nicht mehr gewährleistet ist. Abbildung 4.3b verdeutlicht, dass das DZ-SM in einer realen Implementierung z. B. mit einem zusätzlichen Transistor  $T_{EL}$  ausgestattet werden kann (Anforderung 1.2) in Abschnitt 3.4.2). Nachdem der interne Fehlerstrom ( $i_{KS}$ ) abgeschaltet ist, kann der Kondensator  $C_0$  somit über  $T_{EL}$  entladen werden ( $i_{EL}$ ) – begrenzt durch einen Widerstand  $R_{EL}$ . Abschließend ist das DZ-SM in den Bypass-Zustand zu überführen (Abb. 4.3c). Wie bereits erläutert wurde, sind für den 0 V-Zustand zwei parallele Pfade (Double-Zero) nutzbar, welche im fehlerfreien Betrieb den Submodulstrom jeweils zur Hälfte tragen. Unabhängig davon, welcher der Bauelemente durch den Kurzschlussstrom ( $i_{KS}$ ) zerstört wird, ist in dem Bypass-Zustand noch mindestens ein Pfad (entweder über  $T_1, T_3$  oder über  $T_2, T_4$ ) für die Überbrückung des Submoduls vorhanden. Das DZ-SM kann deshalb ohne externe, mechanische Schutzschalter (Anforderung 1.3) in Abschnitt 3.4.2) realisiert werden. Für eine dauerhafte Überbrückung des Submoduls sind diese jedoch zweckmäßig.

<sup>2</sup>Junction Field-Effect Transistor

<sup>3</sup>Wird der Kondensatorpfad mit einem normally-on JFET bestückt, ist dieser beim Ausfall dessen Gate-Treibers leitend. Die Funktionalität des DZ-SM wird dadurch lediglich auf die eines FB-SM reduziert. Eine detaillierte Untersuchung von SiC-FET-Bauelementen kann dem Kapitel 7 entnommen werden.

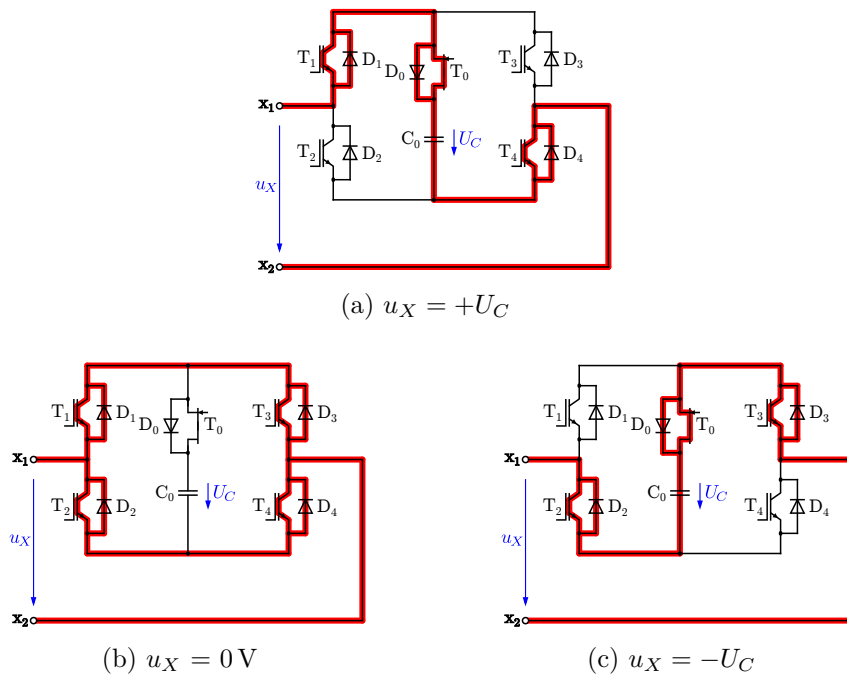


Abb. 4.2.: Strompfade innerhalb des Double-Zero-Submoduls in den verschiedenen Schaltzuständen nach Tab. 4.1

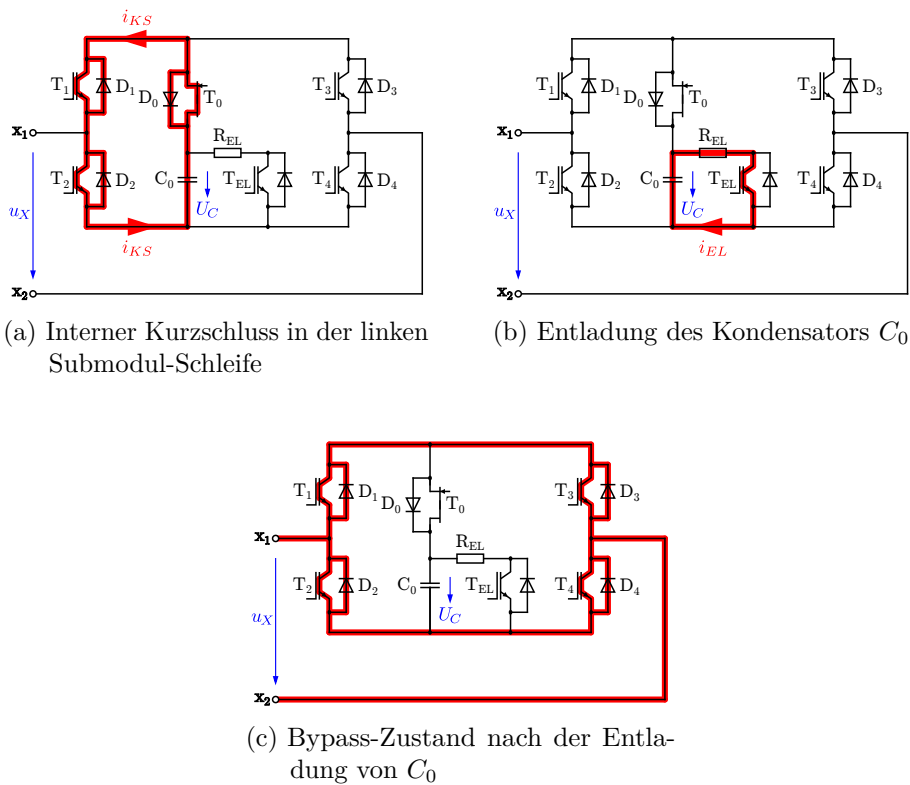


Abb. 4.3.: Beherrschung von internen Fehlern innerhalb des DZ-SM

#### 4.1.2. Double-Zero-Submodul in Double-Connection (DZ-DC-SM)

Wendet man die Double-Connection nach Abb. 3.6a auf das DZ-SM aus Abb. 4.1 an, ergibt sich das Double-Zero-Submodul in Double-Connection (DZ-DC-SM) [DM19b]. Um das Verständnis der Funktion zu erleichtern, zeigt Abbildung 4.4 eine generelle Aufteilung der Halbleiter des DZ-DC-SM in die äußeren Halbbrücken sowie den inneren Kern (Klemmen P1, N1 und P2, N2). Wie beim SFB-SM können im DZ-DC-SM die Haupt-Schaltzustände<sup>4</sup>  $+2U_C$ ,  $\pm U_C$  und  $0V$  eingestellt werden (siehe Tab. 4.2 und Abb. 4.5). Die Serienschaltung von  $C_1$  und  $C_2$  ( $u_X = +2U_C$ ) ist der dominierende Schaltzustand, welcher – wegen Toleranzen der Kondensatorkapazitäten – zu einer relevanten Spannungsdifferenz<sup>5</sup>  $\Delta U_C$  führt. In dem DZ-DC-SM können  $T_{01}$  und  $T_{02}$  deshalb dazu genutzt werden, den Ausgleichsvorgang des Kondensators mit der höheren Spannung in den mit der geringeren Spannung zu blockieren. Anstatt eines harten Parallelschaltens wird ein weiches Parallelschalten durch

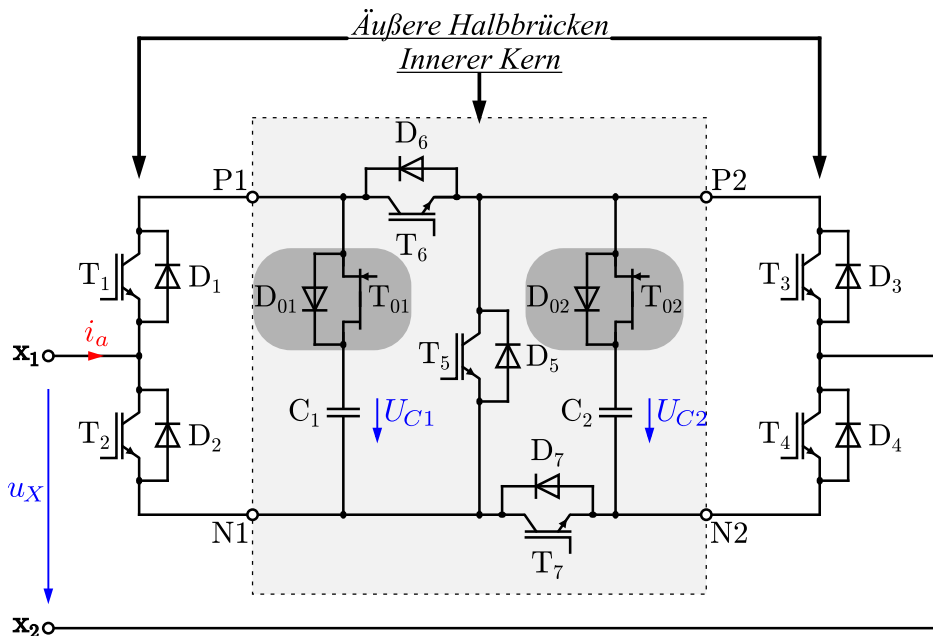


Abb. 4.4.: Double-Zero-Submodul in Double-Connection (DZ-DC-SM)

Tab. 4.2.: Haupt-Schaltzustände des Double-Zero-Submoduls in Double-Connection

$u_X$	<i>Äußere Halbbrücken</i>		<i>Innerer Kern</i>			Funktion
	$T_1/T_4$	$T_2/T_3$	$T_6/T_7$	$T_{01}/T_{02}$	$T_5$	
$+2U_C$	1	0	0	1	1	—
$+U_C$	1	0	0	1	0	Entladen
$+U_C$	1	0	1	0	0	Laden
$0V$	1	1	1	0	0	—
$-U_C$	0	1	1	1	0	—

<sup>4</sup>Die Kondensatorspannungen weisen in diesem Kapitel identische Werte auf ( $U_{C1} = U_{C2} = U_C$ ).

<sup>5</sup>Die Spannungsdifferenz ( $\Delta U_C = U_{C1} - U_{C2}$ ) wird in Abschnitt 6.3 und Gleichung 6.30 eingeführt.

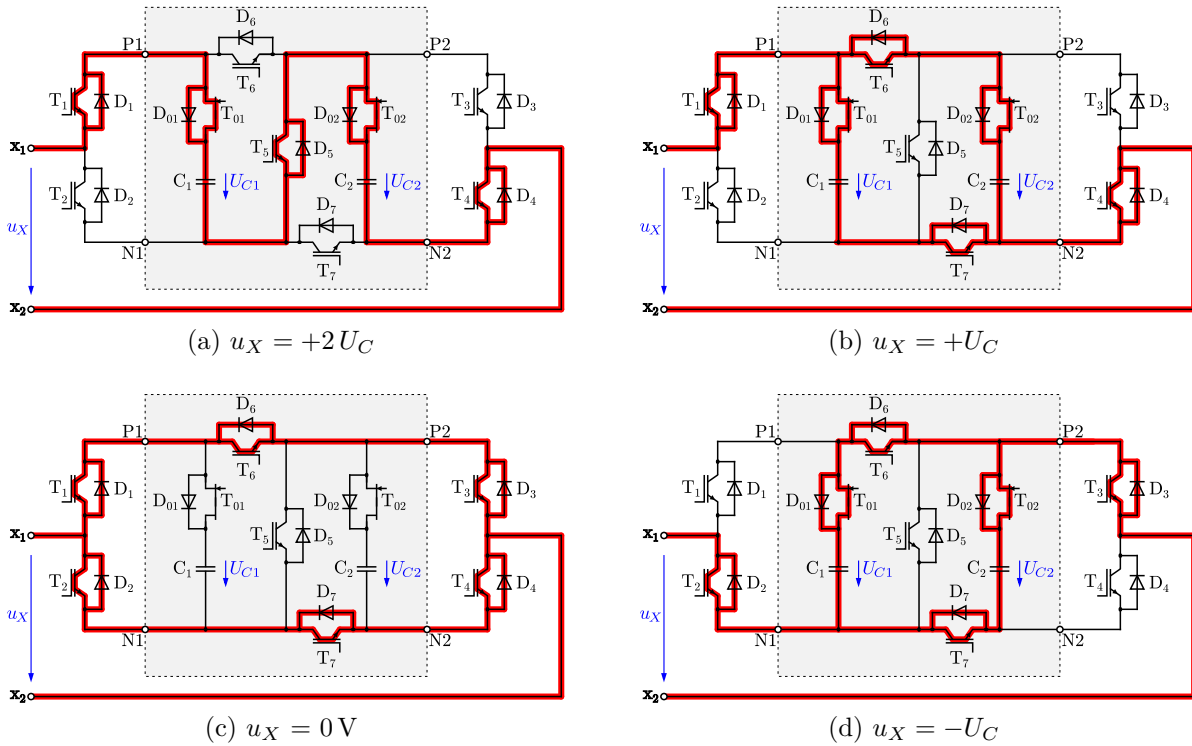


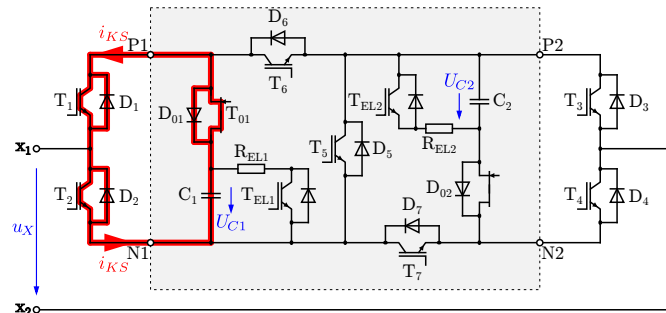
Abb. 4.5.: Strompfade innerhalb des Double-Zero-Submoduls in Double-Connection in den verschiedenen Schaltzuständen nach Tab. 4.2

passives Balancing<sup>6</sup> ermöglicht. Die Untersuchung der möglichen Schaltkombinationen des DZ-DC-SM führt zu dem reduzierten, zweckmäßigen Satz von Schaltzuständen aus Tab. 4.2. Es kann erkannt werden, dass zwei Transistoren immer ein gemeinsames Steuersignal nutzen. In der Tabelle sind für die Klemmenspannung  $u_X = +U_C$  zwei Schaltzustände angegeben, wobei die Transistorpaare  $T_6, T_7$  und  $T_{01}, T_{02}$  invers zueinander angesteuert sind. Damit wird gewährleistet, dass – abhängig von der Stromrichtung – entweder der Kondensator mit der geringeren Spannung geladen oder der Kondensator mit der höheren Spannung entladen wird. Die weiteren drei Schaltzustände sind sowohl für positive als auch für negative Zweigströme gültig. Im Einklang mit Tab. 4.2 zeigt Abb. 4.5 die richtungsunabhängigen **Strompfade** innerhalb des Submoduls in den verschiedenen Schaltzuständen.

Das DZ-DC-SM weist – wie das DZ-SM – ebenfalls drei unabhängig ansteuerbare Halbleiterschalter in den kritischen Kondensator-Kurzschlusspfaden auf und ist deshalb gleichermaßen für die Beherrschung interner Submodulfehler geeignet (Anforderung 1.1) in Abschnitt 3.4.2). Abbildung 4.6 zeigt dazu exemplarisch einen Kurzschluss in der linken Submodul-Schleife, welche den Kondensator  $C_1$  involviert. Die weitere Benutzung des fehlerhaften DZ-DC-SM – unter Verwendung von nur einem Kondensator ( $C_2$ ) – wird aus Gründen einer hohen Submodul-Reihenschaltzahl ( $n$ ) im MMC-Zweig ausgeschlossen und nicht weiter verfolgt.

<sup>6</sup>Auf das Kondensator-Balancing wird in Abschnitt 6.3 noch im Detail eingegangen.





(a) Interner Kurzschluss in der linken Submodul-Schleife

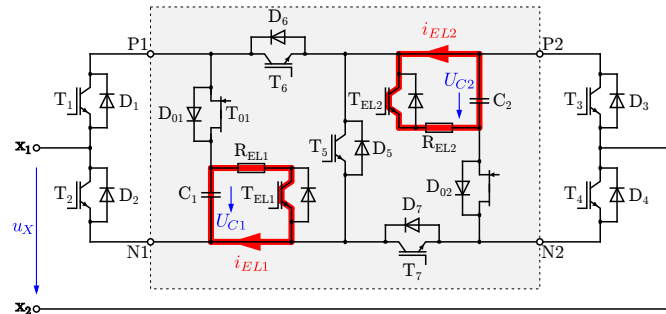
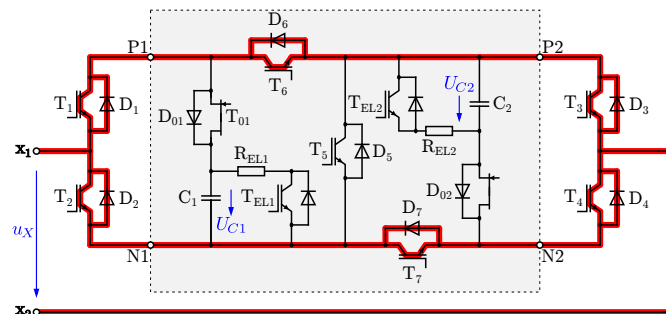
(b) Entladung der Kondensatoren  $C_1$  und  $C_2$ (c) Bypass-Zustand nach der Entladung von  $C_1$  und  $C_2$ 

Abb. 4.6.: Beherrschung von internen Fehlern innerhalb des DZ-DC-SM

## 4.2. Definition eines Pulsmusters für den Vergleich der Submodul-Topologien

Konventionelle, selbstgeführte 2-Level-Umrichter (VSC) sind netzgeführten Umrichtern (CSC) und deren niederfrequent schaltenden Thyristor-Ventilen – welche in HVDC-Übertragungen am weitesten verbreitet waren – hinsichtlich ihres Wirkungsgrades deutlich benachteiligt. Erst nach der Einführung von Modular Multilevel Converttern war es im Bereich von HVDC-Übertragungen aufgrund einer hohen Reihenschaltzahl von Submodulen und daher einer hohen Anzahl von Spannungsleveln möglich, die Schaltfrequenz der Halbleiterbauelemente von der AC-seitigen Grundfrequenz des Umrichters zu entkoppeln. Deshalb muss bei der Umrichterauslegung kein Kompromiss mehr zwischen niedriger Schaltfrequenz (und niedrigen Schaltverlusten) sowie harmonischer Verzerrung getroffen werden. Bei MMC ist die erforderliche Schaltfrequenz durch die beiden folgenden Anforderungen vorgegeben

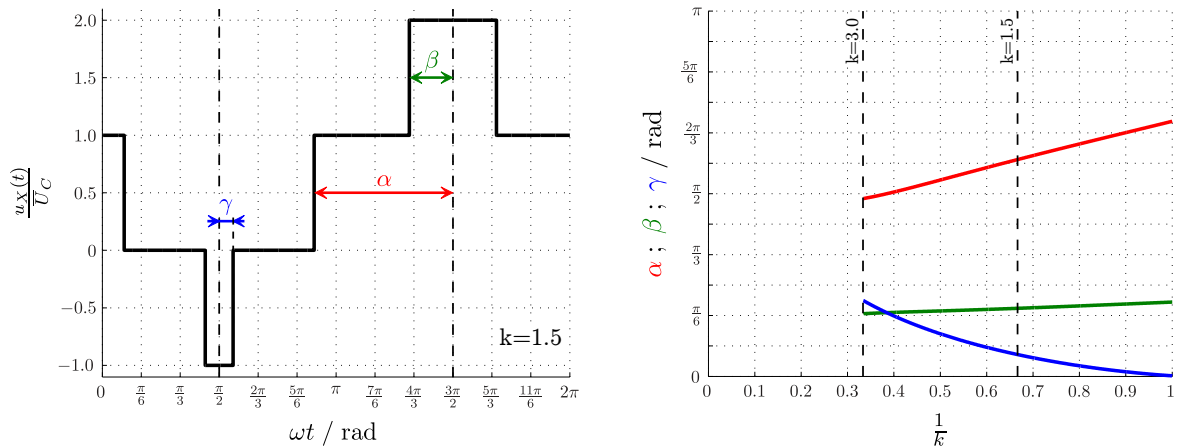
[DM20]:

- Niedrige Verzerrung des AC- sowie DC-Stromes in den Umrichterklammern
- Geringe Spannungstoleranzen zwischen den Submodul-Kondensatoren.

Bezüglich der ersten Anforderung hat sich eine Schaltfrequenz der Submodulhalbleiter mit dem dreifachen Wert der Grundfrequenz des AC-Netzes ( $f_p = 3 f_1$ ) als vollkommen ausreichend erwiesen. Diese These konnte in einer Vielzahl von Applikationen mit unterschiedlichen Modulationsmethoden unter Beweis gestellt werden [IAN<sup>+</sup>11, HAI<sup>+</sup>15, IHNN15, HJI<sup>+</sup>18, DHM19]. Aus der zweiten Anforderung geht ein hinreichendes Balancing der Submodul-Kondensatorspannungen hervor. Die interne Umrichter-Regelung gibt hier die maximal erlaubten Spannungstoleranzen vor. Diese und die gewählten Kondensatorkapazitäten sorgen dabei automatisch für eine Variation der Schaltheftungen, welche zusätzlich zu dem grundlegenden, spannungsformenden Pulsmuster für den jeweiligen Zweig erforderlich sind.

Werden Kapazitätswerte der Submodul-Kondensatoren nahe deren theoretischem Minimum implementiert, wird deutlich, dass verschiedene Submodul-Topologien für ein ordnungsgemäßes Balancing auch unterschiedliche Schaltfrequenzen erfordern. Ein MMC, in welchem die Submodul-Halbleiter mit einer sehr hohen Schaltfrequenz angesteuert werden, sind sehr gut in der Lage das Kondensator-Balancing auszuführen – unabhängig von ihrer Submodul-Topologie. Die Kondensator-Energiepulsation – auch in Abhängigkeit von der Submodul-Topologie – soll in dem Abschnitt 6.2 weiter vertieft werden.

Bereits im letzten Kapitel wurde über die Zusammenfassung von Submodulen zu Clustern gesprochen. Eine sinnvolle Vergleichbarkeit zwischen Submodul-Topologien kann nur sichergestellt werden, wenn diese jeweils für eine identische Klemmenspannung dimensioniert wurden. Ein Submodul in Double-Connection darf deshalb immer nur mit einer Reihenschaltung von zwei Submodulen in Single-Connection verglichen werden. Für die Analyse der Halbleiter-Schaltverluste und später der Energiepulsationen innerhalb der Submodul-Kondensatoren soll zunächst ein typisches Pulsmuster definiert werden [DM20]. Abbildung 4.7 zeigt dazu ein 4-Level-Pulsmuster, wie es von dem DZ-DC-SM und der Serienschaltung von zwei DZ-SM bzw. FB-SM generiert werden kann. In Abb. 4.7a ist der zeitliche Verlauf des Pulsmusters illustriert. Man erkennt, dass dieses aus drei Blöcken – symmetrisch um die Achsen  $\frac{\pi}{2}$  bzw.  $\frac{3\pi}{2}$  – (mit den Pulsbreiten  $\alpha$ ,  $\beta$  und  $\gamma$ ) gebildet werden kann. Hieraus ergibt sich direkt eine Schaltfrequenz des Pulsmusters, welche dem dreifachen Wert der Grundfrequenz – in Abb. 4.7a bezogen auf  $2\pi$  – entspricht ( $f_p = 3 f_1$ ). Passend zu dem Graphen (aus Abb. 4.7a) ist in Box 4.1 die mathematische Beschreibung des 4-Level-Pulsmusters aufgeführt.



(a) Zeitlicher Verlauf des Pulsmusters normiert auf die Submodul-Kondensatorspannung ( $k = 1.5$ )

(b) Winkel  $\alpha$ ,  $\beta$  und  $\gamma$  des Pulsmusters in Abhängigkeit der Spannungsmodulation  $k$

Abb. 4.7.: 4-Level Pulsmuster für die Untersuchung des FB-SM, DZ-SM und DZ-DC-SM

#### Box 4.1: Mathematische Beschreibung des angewendeten 4-Level Pulsmusters

Zeitlicher Verlauf des 4-Level Pulsmusters:

$$\begin{aligned} \frac{u_X(t)}{\bar{U}_C} &= \frac{\alpha + \beta - \gamma}{\pi} \\ &+ \sum_{z=1}^{\infty} \sin\left(z \frac{\pi}{2}\right) \frac{2}{z \pi} [\sin(z \alpha) + \sin(z \beta) + \sin(z \gamma)] \cdot \sin(z \omega t) \\ &+ \sum_{z=1}^{\infty} \cos\left(z \frac{\pi}{2}\right) \frac{2}{z \pi} [\sin(z \alpha) + \sin(z \beta) - \sin(z \gamma)] \cdot \cos(z \omega t) \end{aligned} \quad (4.1)$$

DC-Komponente:

$$\frac{\bar{u}_X}{\bar{U}_C} = \frac{\alpha + \beta - \gamma}{\pi} \quad (4.2)$$

Amplituden der Harmonischen:

$$\frac{\hat{u}_{X,z}}{\bar{U}_C} = \begin{cases} \sin\left(z \frac{\pi}{2}\right) \frac{2}{z \pi} [\sin(z \alpha) + \sin(z \beta) + \sin(z \gamma)] & \text{falls } z \text{ ungerade} \\ \cos\left(z \frac{\pi}{2}\right) \frac{2}{z \pi} [\sin(z \alpha) + \sin(z \beta) - \sin(z \gamma)] & \text{falls } z \text{ gerade} \end{cases} \quad (4.3)$$

#### Box 4.2: Zweckmäßige Eigenschaften des 4-Level Pulsmusters

1) Vorgabe der DC-Komponente  $b$ :

$$2 \cdot b \stackrel{!}{=} \frac{\bar{u}_X}{\bar{U}_C} = \frac{\alpha + \beta - \gamma}{\pi} \quad (4.4)$$

2) Vorgabe der Spannungsmodulation  $k$ :

$$k \stackrel{!}{=} \frac{\hat{u}_{X,1}}{\bar{u}_X} = 2 \frac{\sin(\alpha) + \sin(\beta) + \sin(\gamma)}{\alpha + \beta - \gamma} \quad (4.5)$$

3) Auslöschung der zweiten Harmonischen:

$$0 \stackrel{!}{=} \frac{\hat{u}_{X,2}}{\bar{U}_C} = -\frac{1}{\pi} [\sin(2\alpha) + \sin(2\beta) - \sin(2\gamma)] \quad (4.6)$$

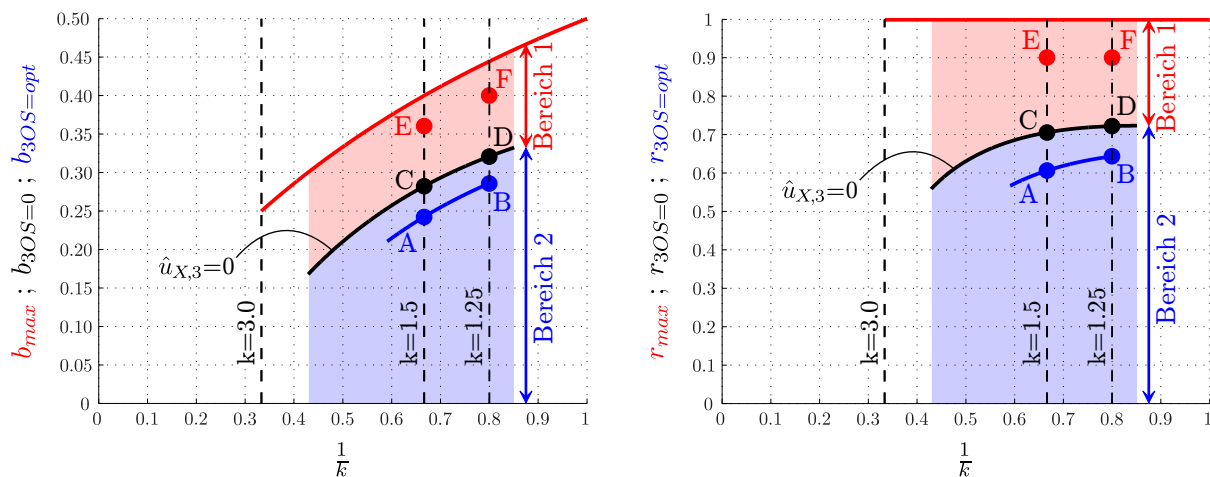
Die Beschreibung des MMC in einem stationären Arbeitspunkt, wie er in Abschnitt 3.2 eingeführt wurde, bedient sich der Betriebsparameter  $k$ ,  $\varphi$  und  $r$  (bzw.  $b$ ). Diese Größen können auf Umrichterebene aber nur korrekt eingestellt werden, wenn jedes individuelle Submodul unter identischen Bedingungen betrieben wird und die gleichen Werte für  $k$ ,  $\varphi$  und  $r$  (bzw.  $b$ ) aufweist. Für die weiteren Untersuchungen in diesem Kapitel soll deshalb die idealisierte Annahme getroffen werden, dass jedes Submodul mit einem identischen Pulsmuster angesteuert wird. Die Spannungstoleranzen der Kondensatoren werden zunächst vernachlässigt und nur unendlich hohe Kapazitätswerte betrachtet. In Kapitel 6 soll dann auf die Effekte endlicher Kapazitätswerte und das benötigte Balancing der Kondensatoren innerhalb eines Clusters eingegangen werden.

Box 4.2 zeigt die mathematische Umsetzung von zweckmäßigen Eigenschaften, die das Pulsmuster erfüllen soll. Dabei kann für die Einstellung der Submodul-Klemmenspannung ( $u_X$ ) nach Gleichung 4.1 mit den drei Freiheitsgraden  $\alpha$ ,  $\beta$ ,  $\gamma$  neben  $k$  und  $b$  eine weitere Größe vorgegeben werden. Hier ist es sinnvoll die dominierende, zweite Harmonische aus dem Pulsmuster zu eliminieren (siehe Gl. 4.6). Abbildung 4.8 zeigt den möglichen Arbeitsbereich von  $b$  und  $r$  in Abhängigkeit von der Spannungsmodulation.

In Abb. 4.8a und 4.8b fallen jeweils zwei Bereiche für  $b$  und  $r$  auf, in denen sich die Phasenlage der dritten Harmonischen in Bezug zur Grundschwingung unterscheidet:

- **Bereich 1:** Grundschwingung und dritte Harmonische sind gegenphasig
- **Bereich 2:** Grundschwingung und dritte Harmonische sind gleichphasig.

**Bereich 1** ist nach oben durch die *max*- Kennlinie begrenzt, auf welcher die maximal zur Verfügung stehende Kondensatorspannung vollständig für die Bildung der Zweigspannung ausgenutzt wird. Ein höherer Wert ist für  $b$  und  $r$  in diesen Arbeitspunkten physikalisch nicht erreichbar. Auf der Kennlinie, welche den Übergang zwischen **Bereich 1** und



(a) Ausnutzungsfaktor der DC-Komponente  $b$  in Abhängigkeit der Spannungsmodulation  $k$

(b) Redundanzfaktor  $r$  in Abhängigkeit der Spannungsmodulation  $k$

Abb. 4.8.: Arbeitsbereich von  $b$  und  $r$  mit einem 4-Level Pulsmuster

**Bereich 2** bildet, befinden sich ausschließlich Pulsmuster, in welchen die dritte Harmonische ebenfalls eliminiert ist ( $\hat{u}_{X,3} = 0$ ). Die Pulsmuster auf der  $3OS = opt$ -Kennlinie besitzen hingegen eine dritte Harmonische, die gleichphasig zur Grundschwingung ist sowie ein Amplitudenverhältnis von  $\frac{1}{6}$  zu dieser aufweist – sogenannte Supersinus-Modulation<sup>7</sup>.

Abbildung 4.9 zeigt die Pulsmuster der Arbeitspunkte **A–F** aus Abb. 4.8, welche Aufschluss darüber geben, wie sich die Variation der im Pulsmuster enthaltenen Phasenlagen der ersten drei Harmonischen für MMC-typische Spannungsmodulationen (von  $k = 1.5$  bzw.  $k = 1.25$ ) auswirken. Auch wenn die Idee einer zusätzlichen Auslöschung der dritten Harmonischen (Abb. 4.9c und 4.9d) oder die Anwendung einer Supersinus-Modulation (Abb. 4.9a und 4.9b) auf den ersten Blick geschickt erscheinen mag, wird aus diesem Beispiel deutlich, dass bei der Erzeugung des Pulsmusters mit einer Schaltfrequenz von  $f_p = 3 f_1$  der maximal mögliche Aussteuerbereich (mit  $0.62 < r < 0.72$ ) stark eingeschränkt ist. Damit die ausnutzbare Aussteuerung auf moderate Werte eingestellt werden kann, ist es sinnvoll die Abhängigkeit von  $b$  und  $r$  mit der Beziehung aus Gleichung 3.11 zu erzwingen. Die Arbeitspunkte **E** und **F** (Abb. 4.9e und 4.9f) folgen genau dieser Beziehung und weisen eine Aussteuerung von  $r = 0.9$  auf.

Die weiteren Untersuchungen im Rahmen dieser Arbeit sollen mit der typ. Spannungsmodulation von  $k = 1.5$  durchgeführt werden, weshalb in Abb. 4.7a bereits das Pulsmuster aus Arbeitspunkt **E** gezeigt ist. Trägt man die Ergebnisse  $(\alpha, \beta, \gamma)$  des Gleichungssystems aus Box 4.2 über die Spannungsmodulation  $k$  auf, erhält man schließlich die Graphen in Abb. 4.7b. Die maximal einstellbare Spannungsmodulation des Pulsmusters ist dabei für die Umrichter-Auslegung auf  $k = 3$  beschränkt. Höhere  $k$ -Werte können aufgrund der Zusammenhänge aus Box 4.2 zwar einerseits nicht realisiert werden, sind aber auch andererseits praktisch irrelevant.

---

<sup>7</sup>Bei einer maximalen Umrichter-Aussteuerung ( $r = 1$ ) kann durch die Injektion einer dritten Harmonischen, die phasengleich zur Grundschwingung ist und zu dieser ein Amplitudenverhältnis von  $\frac{1}{6}$  aufweist, eine Übermodulation von 1.15 erreicht werden.

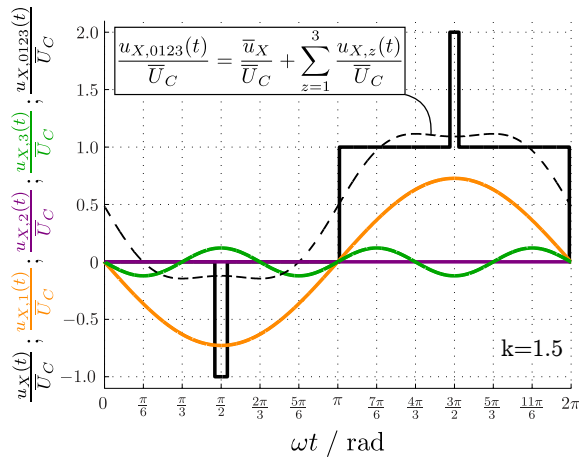
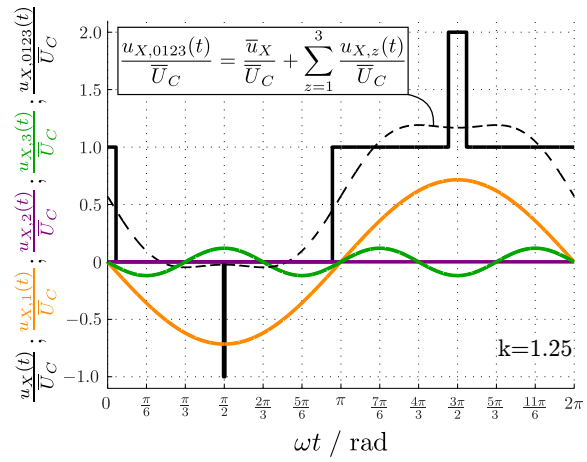
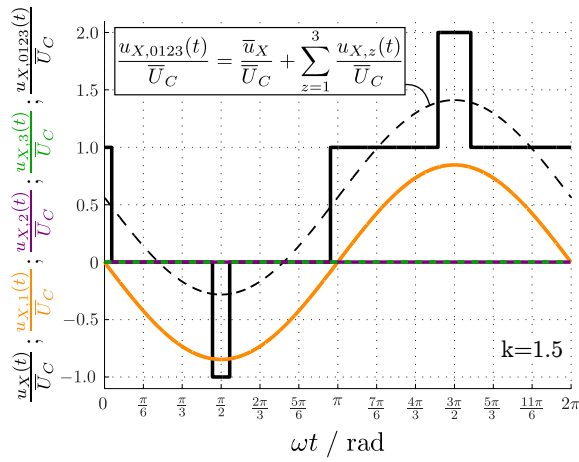
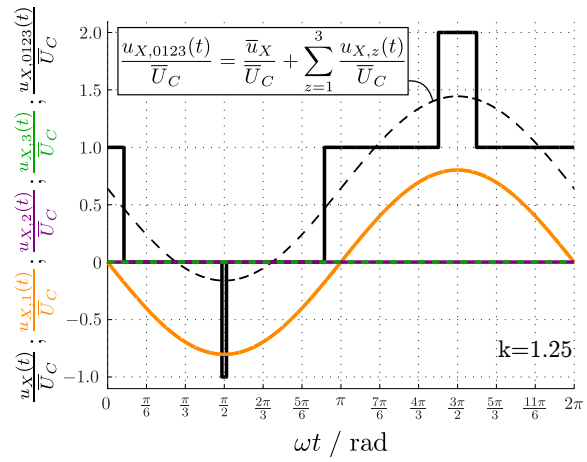
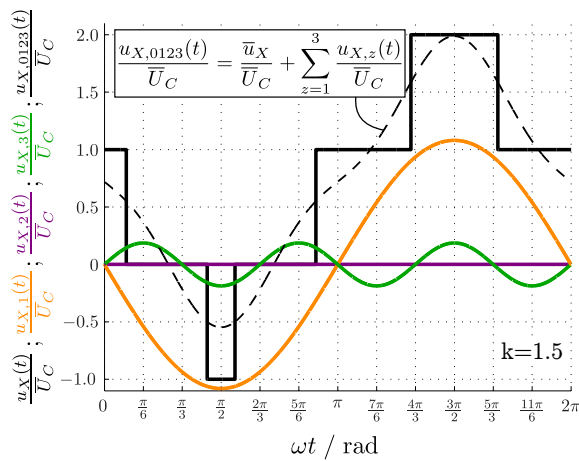
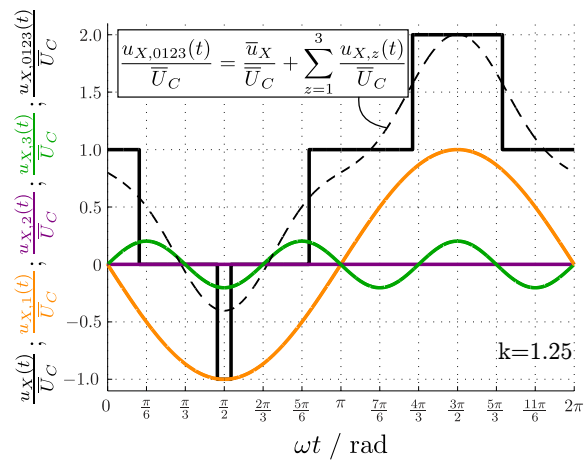
(a) Pulsmuster für den **Arbeitspunkt A**(b) Pulsmuster für den **Arbeitspunkt B**(c) Pulsmuster für den **Arbeitspunkt C**(d) Pulsmuster für den **Arbeitspunkt D**(e) Pulsmuster für den **Arbeitspunkt E**(f) Pulsmuster für den **Arbeitspunkt F**

Abb. 4.9.: 4-Level Pulsmuster für die Arbeitspunkte A-F nach Abb. 4.8

### 4.3. Analyse von Submodul-Topologien hinsichtlich ihrer Leistungsverluste

In diesem Abschnitt soll auf die Leistungsverluste der neuartigen Submodul-Topologien – DZ-SM und DZ-DC-SM – eingegangen werden. Für eine bestmögliche Einordnung im Vergleich zum Stand der Technik wird deshalb zusätzlich die Analyse von dem konventionellen FB-SM – als Referenz-Topologie – vorgesehen.

Die im Umrichter auftretenden Leistungsverluste können grundsätzlich in die folgenden Anteile aufgegliedert werden:

- Leistungsverluste der Leistungshalbleiter
  - **Durchlassverluste:** Statische Verluste im eingeschalteten Zustand der Leistungshalbleiter
  - **Schaltverluste:** Dynamische Verluste beim Ein- sowie Ausschaltvorgang der Leistungshalbleiter
  - Sperrverluste: Statische Verluste im ausgeschalteten Zustand der Leistungshalbleiter
  - Ansteuerungsverluste: Statische und dynamische Verluste im Ansteuerkontakt der Leistungshalbleiter (Gateanschluss des IGBT- oder FET-Bauelementes)
- Leistungsverluste von umgebenden elektronischen Bauelementen
  - Halbleiterbauelemente für die Erfüllung von Sicherheitsfunktionen (Anforderung 1.2) in Abschnitt 3.4.2)
  - Passive Bauelemente: Submodul-Kondensatoren, Zweiginduktivitäten, Kabel, Anschlüsse und Verschienungen
  - Treibereinheiten: Verluste der Ansterelektroniken der Leistungshalbleiter
  - Übergeordnete zentrale Steuereinheit
  - Hilfsspannungsversorgungen
- Leistungsverluste des Kühlsystems
  - Wasserkühpumpe
  - Wärmetauscher (bei aktiver Kühlung inkl. Lüfter).

Die weiteren Untersuchungen innerhalb dieses Abschnittes und auch dieser Arbeit werden sich ausschließlich mit den dominierenden Leistungsverlusten – den Schalt- sowie Durchlassverlusten – befassen. Dazu sollen analytische Gleichungen eingeführt werden, welche ein generelles Verständnis der relevanten Abhängigkeiten für die Auslegung des Umrichters und seiner Submodule ermöglichen.

Die Sperr- und Ansteuerungsverluste sind – im Verhältnis zu den Durchlass- und Schaltverlusten – bei einem Umrichter der untersuchten Leistungsklasse generell vernachlässigbar. Die Verluste der weiteren, genannten Kategorien sind zwar erwähnenswert, spielen aber nur eine untergeordnete Rolle. Diese sind grundsätzlich bei allen untersuchten Submodul-Topologien

ähnlich sowie sehr klein und bedürfen deshalb keiner weiteren Aufmerksamkeit.

Für die Ermittlung der Schalt- und Durchlassverluste ist es sinnvoll, einen Umrichter nicht nur im Wechselrichter-Betrieb, sondern auch im Gleichrichter-Betrieb zu betrachten. Tabelle 4.3 zeigt hierzu die Parameter für einen typ. MMC-Arbeitspunkt in der 900 MW-Leistungsklasse ( $P_d$ ) für 50 Hz-Netzanwendungen, welcher für die folgenden Untersuchungen verwendet werden soll. In Abbildung 4.10 wird der – dem Arbeitspunkt zugehörige –

Tab. 4.3.: MMC-Referenz-Arbeitspunkt

	Wechselrichter- Betrieb	Gleichrichter- Betrieb
$\varphi$	30°	−150°
$I_d$	+2.60 kA	−2.60 kA
$U_d$	300 kV	
$P_d$	780 MW (900 MW @ $\varphi = 0^\circ$ )	
$S$	900 MVA	
$r$	0.9	
$k$	1.5	
$b$	0.36	
$m$	+1.54	−1.54
$\hat{I}_U$	2.67 kA	
$\hat{U}_{U0}$	225 kV	
$\bar{U}_C$	2.0 kV	
$n$	208	

Zweigstrom und die Cluster-Submodul-Klemmenspannung für den 50 Hz-Betrieb illustriert. Aus den Nenndaten der Spannungen (in Tab. 4.3) und einer gewünschten Anzahl von ca. 200 Spannungsleveln des MMC ergibt sich eine zweckmäßige Submodul-Kondensatorspannung von  $\bar{U}_C = 2.0$  kV. Hierfür eignen sich Halbleiterbauelemente mit einer nominalen Sperrspannung von 3.3 kV. Es sei angemerkt, dass der Wert von  $n = 208$  ausschließlich für die Anzahl der Submodule in Single-Connection gilt. Die Anzahl der verbauten Submodule in Double-Connection entspricht je Zweig nur der Hälfte, da jedes dieser Submodule zwei Kondensatoren besitzt.

In Box 4.3 sind die Zusammenhänge für die Nulldurchgänge des MMC-Zweigstromes dargestellt, welche speziell für das DZ-DC-SM und den Abschnitt 4.3.1.3 von Bedeutung sind. Es kann dabei vernommen werden, dass in Abhängigkeit vom Arbeitspunkt – und deshalb variierendem Grenzwinkel  $\varphi_{SG}$  – immer ein Paar aus  $\omega t_{SA}$  und  $\omega t_{SB}$  auftritt. In Box 4.4 sind die Schaltinstanzen A-F für das Referenz-Pulsmuster nach Abb. 4.10 angegeben. Diese werden symmetrisch um die Achsen  $\frac{\pi}{2}$  und  $\frac{3\pi}{2}$  gebildet, wobei die Winkel  $\alpha$ ,  $\beta$  und  $\gamma$  bereits in Abb. 4.7 und Box 4.1/4.2 definiert wurden.



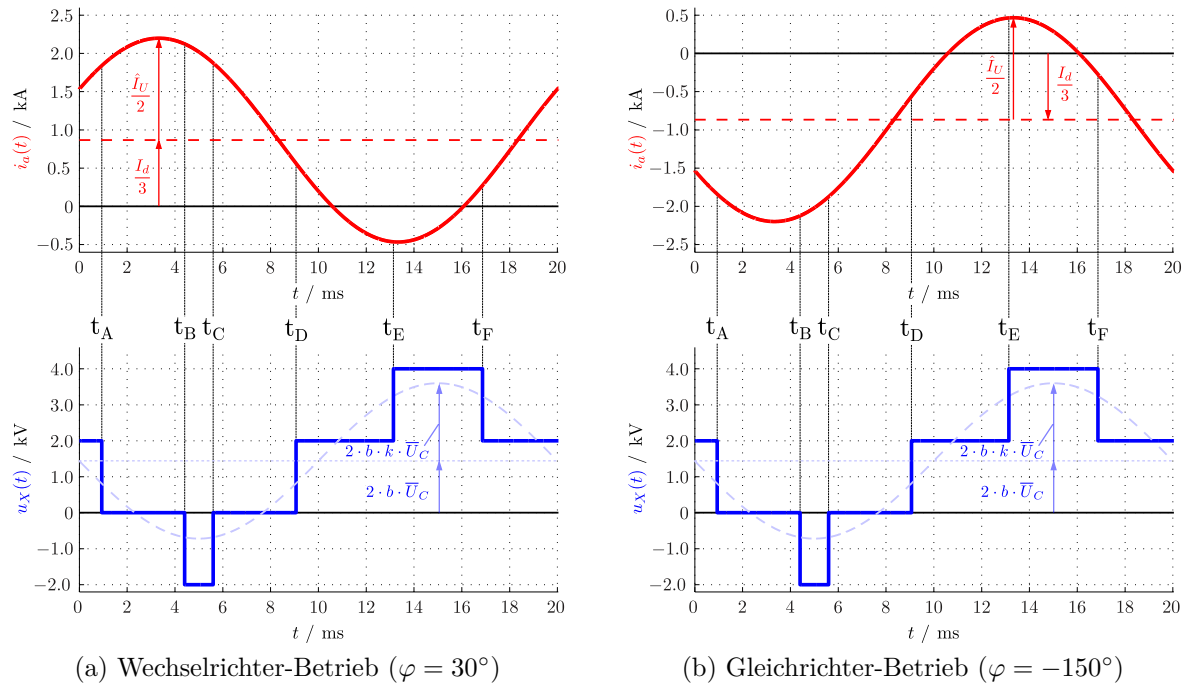


Abb. 4.10.: Zweigstrom und Cluster-Submodul-Klemmenspannung in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3

**Box 4.3: Nulldurchgänge des MMC-Zweigstromes in Abhängigkeit vom Arbeitspunkt**

$$\omega t_{SA} = \begin{cases} -\arcsin\left(\frac{1}{m}\right) - \varphi & \text{für } (-\pi \leq \varphi \leq \varphi_{SG}) \\ 2\pi - \arcsin\left(\frac{1}{m}\right) - \varphi & \text{sonst} \end{cases} \quad (4.7)$$

$$\omega t_{SB} = \begin{cases} \pi + \arcsin\left(\frac{1}{m}\right) - \varphi & \text{für } (-\pi \leq \varphi \leq \pi + \varphi_{SG}) \\ 3\pi + \arcsin\left(\frac{1}{m}\right) - \varphi & \text{sonst} \end{cases} \quad (4.8)$$

$$\varphi_{SG} = -\arctan\left(\frac{k}{2}\right)$$

**Box 4.4: Schaltinstanzen für das Referenz-Pulsmuster nach Abb. 4.10**

$$\omega t_A = -\frac{\pi}{2} + \alpha \quad (4.9)$$

$$\omega t_B = \frac{\pi}{2} - \gamma \quad (4.10)$$

$$\omega t_C = \frac{\pi}{2} + \gamma \quad (4.11)$$

$$\omega t_D = \frac{3\pi}{2} - \alpha \quad (4.12)$$

$$\omega t_E = \frac{3\pi}{2} - \beta \quad (4.13)$$

$$\omega t_F = \frac{3\pi}{2} + \beta \quad (4.14)$$

Die Konvertierung der Instanzen A-F für das Umschalten sowie SA und SB für die Stromnulldurchgänge vom Bogenmaß in das Zeitmaß, wie sie in Abb. 4.10 zu sehen sind, können nach dem Zusammenhang:

$$t_j = \omega t_j \cdot \frac{T_1}{2\pi} \quad (4.15)$$

erfolgen. Der Index  $j$  steht hierbei für A-F, SA oder SB.

Abbildung 4.11 illustriert für eine Abschätzung der Halbleiterbelastung den Betrag der normierten Zweigströme in den Schaltzeitpunkten A-F (nach Abb. 4.10) in Abhängigkeit von der Spannungsmodulation. Für eine bessere Vergleichbarkeit sind diese nicht nur auf die **DC-Komponente** ( $\frac{I_d}{3}$ ), sondern auch auf die **AC-Komponente** ( $\frac{I_U}{2}$ ) des MMC-Zweigstromes normiert. Neben dem typ. Wechselrichter-Betriebspunkt für reine Wirkleistung ( $\varphi = 0^\circ$ ) wird in den Graphen auch eine Phasenverschiebung von  $\varphi = \pm 30^\circ$  – für eine kapazitive bzw. induktive Last – angegeben. Analog sind diese in den Gleichrichter-Betriebspunkten und deren komplementären Phasenwinkeln (von  $\varphi = 180^\circ$  und  $\varphi = \mp 150^\circ$ ) wiederzufinden. Aus Gründen der Zweigstrom-Symmetrie muss für die Ermittlung der Halbleiterströme in den Schaltzeitpunkten  $\omega t_C$ ,  $\omega t_D$  bzw.  $\omega t_F$  im Gegensatz zu  $\omega t_B$ ,  $\omega t_A$  bzw.  $\omega t_E$  in Abb. 4.11 jeweils der gepunktete Verlauf mit dem gestrichelten der gleichen Farbe vertauscht werden.

Die folgenden Abschnitte beschäftigen sich mit der ausführlichen Untersuchung der Schalt- und Durchlassverluste der o. a. Submodul-Topologien. Für ein besseres Verständnis liegt der Fokus zunächst ausschließlich auf den Schaltverlusten. Die Durchlassverluste werden separat im Anschluss danach betrachtet.

### 4.3.1. Analytische Methoden für die Beschreibung der Schaltverluste

Die Schaltverluste von Halbleiterbauelementen wie IGBT und FET hängen von einer Vielzahl von Faktoren ab. Zum einen sind die interne Struktur des Halbleiterchips sowie die Bildung dessen Schichten und somit parasitäre Kapazitäten zu nennen, welche bei einem Schaltvorgang umgeladen werden müssen. Zum anderen sind die externe Anbindung des Halbleiterchips und dessen Einbettung in die Schaltzelle zu erwähnen. Nicht nur die induktive Anbindung durch Bonddrähte innerhalb des Halbleitermoduls, sondern auch der Aufbau der Verschienung und die mechanische Konstruktion des Submoduls haben erheblichen Einfluss auf die Kommutierung sowie die auftretende Überspannung und Oszillation beim Schaltvorgang.

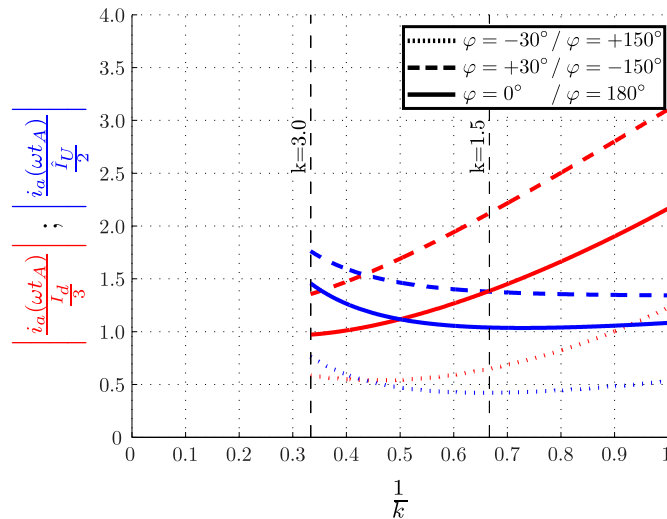
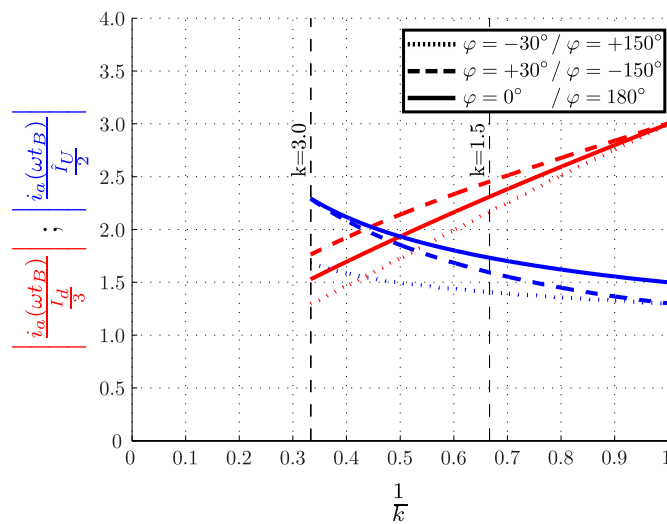
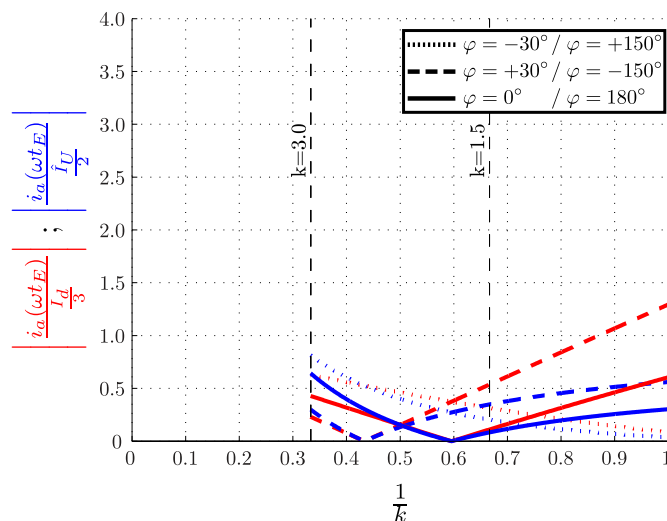
(a)  $\omega t_A$  (bzw.  $\omega t_D$ )(b)  $\omega t_B$  (bzw.  $\omega t_C$ )(c)  $\omega t_E$  (bzw.  $\omega t_F$ )

Abb. 4.11.: Normierte Zweigströme während der Schaltzeitpunkte nach Abb.4.10 (Für die Ermittlung der Halbleiterströme in den Schaltzeitpunkten  $\omega t_C$ ,  $\omega t_D$  bzw.  $\omega t_F$  muss im Gegensatz zu  $\omega t_B$ ,  $\omega t_A$  bzw.  $\omega t_E$  jeweils der gepunktete Verlauf mit dem gestrichelten der gleichen Farbe vertauscht werden.)

Abbildung 4.12 zeigt exemplarisch die Schaltvorgänge<sup>8</sup> für ein HV<sup>9</sup>-IGBT-Modul. Eine Kommutierungszelle besteht grundsätzlich aus zwei Halbleiterschaltern in einer Halbbrücken-Konfiguration (Abb. 4.12a). Aufgrund des induktiven Charakters der Last

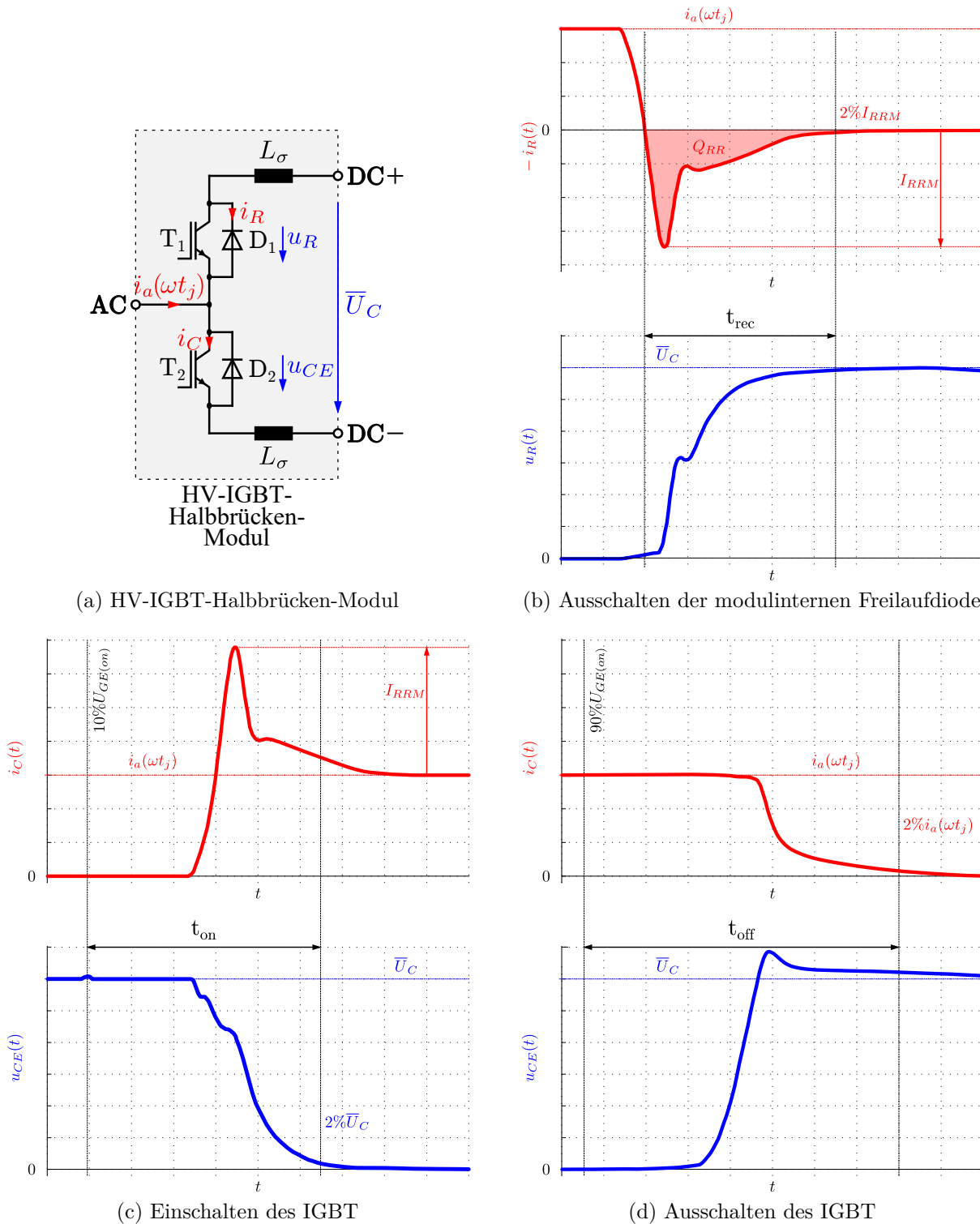


Abb. 4.12.: Schaltvorgänge innerhalb eines HV-IGBT-Moduls [Nic14]

<sup>8</sup>Die dargestellten Verläufe beziehen sich auf den konventionellen Schaltbetrieb von FB-SM.

<sup>9</sup>High Voltage

$i_a(\omega t_j)$  (in der AC-Klemme des Halbbrücken-Moduls) muss parallel zum IGBT immer eine Diode<sup>10</sup> vorhanden sein.

Nimmt man einen positiven Modulstrom an, tritt der Ausschaltvorgang (Abb. 4.12b) der Freilaufdiode  $D_1$  immer dann auf, wenn der IGBT  $T_2$  eingeschaltet wird – aufgrund der Prämisse, dass sich die Bauelemente in dem Modul auf komplementären Positionen befinden. Die negative Stromsteilheit in Abb. 4.12b ist dabei zunächst von der Kommutierungsinduktivität ( $\sum L_\sigma$ ) und der zu schaltenden Kondensatorspannung ( $\bar{U}_C$ ) abhängig. Nach dem Stromnulldurchgang wird die Driftregion von Ladungsträgern ausgeräumt – erst danach kann die Raumladungszone der Diode eine Sperrspannung aufnehmen. Die Abbildung verdeutlicht den Soft-Recovery-Vorgang, wobei die Ladungsträger bis zum erneuten Stromnulldurchgang durch Rekombination abgebaut werden. Die Schaltverluste sind also der Rückstromspitze  $I_{RRM}$  – und somit der Speicherladung  $Q_{RR}$  – geschuldet. Diese ist nicht nur von der Chipfläche der verbauten Diode abhängig, sondern auch von der genutzten Halbleitertechnologie. SiC-Bauelemente weisen strukturbedingt deutlich geringere Speicherladungen auf.

Der Einschaltvorgang des IGBT  $T_2$  ist in Abb. 4.12c illustriert. Dabei wird deutlich, dass die Rückstromspitze der Diode  $D_1$  – aus der Differenz des zu schaltenden Stromes ( $i_a(\omega t_j)$ ) und Vorwärtsstrom der Diode – ebenfalls im IGBT auftritt und dort zusätzliche Verluste verursacht. Der frühe Einbruch der Spannung  $u_{CE}$  ist durch die positive Stromsteilheit und den entstehenden Spannungsabfall an der Kommutierungsinduktivität ( $\sum L_\sigma$ ) begründet.

Der Ausschaltvorgang des IGBT  $T_2$  (Abb. 4.12d) weist aufgrund der – negativ verlaufenden – Stromsteilheit stets eine Spannungsüberhöhung auf. Hierbei muss grundsätzlich ein Kompromiss für die Ausschaltgeschwindigkeit getroffen werden. Je schneller der Halbleiter geschaltet wird, desto geringer sind dessen Ausschaltverluste. Die kurzen Schaltflanken begünstigen jedoch die Anregung von Oszillationen, welche dem Reihenschwingkreis parasitärer Kapazitäten und Induktivitäten der Schaltzelle geschuldet sind. Beim IGBT ist aufgrund der internen Struktur nach dem Aufbau der Sperrspannung ein Ausräumen der Ladungsträger zwischen den Hauptkontakten (Kollektor und Emitter) nur durch Rekombinationsvorgänge möglich. Der entstehende Schweifstrom, welcher für IGBT typisch ist, sorgt für erhöhte Ausschaltverluste.

Die Parameter für die Energieverluste während der Schaltvorgänge ( $W_{on}$ ,  $W_{off}$  und  $W_{rec}$ ) können dem Datenblatt des Halbleiterbauelementes entnommen werden und sind für einen IGBT i. Allg. gemäß den Zusammenhängen aus Box 4.5 definiert. Die Integration der im IGBT umgesetzten Momentanleistung erfolgt jeweils über das, zum Umschalten benötigte, Zeitintervall ( $t_{on}$ ,  $t_{off}$  bzw.  $t_{rec}$ ).

<sup>10</sup>Die parallel zum IGBT angeordnete Freilaufdiode wird beim Herstellungsprozess – zusammen mit dem IGBT – direkt auf das Substrat aufgebracht.

**Box 4.5: Allgemeine Definition der beim Schaltvorgang in einem IGBT auftretenden Energieverluste**

Energieverluste beim Einschalten des IGBT:

$$W_{on,nom} = \int_0^{t_{on}} u_{CE}(t) \cdot i_C(t) dt \quad (4.16)$$

Energieverluste beim Ausschalten des IGBT:

$$W_{off,nom} = \int_0^{t_{off}} u_{CE}(t) \cdot i_C(t) dt \quad (4.17)$$

Energieverluste beim Ausschalten der Freilaufdiode:

$$W_{rec,nom} = \int_0^{t_{rec}} u_R(t) \cdot i_R(t) dt \quad (4.18)$$

Für einen FET kann selbstverständlich dieselbe Definition nach Box 4.5 getroffen werden. Dazu muss in den Gleichungen lediglich die Benennung der Spannungen und Ströme zu  $u_{DS}(t)$  und  $i_D(t)$  geändert werden. Das Ein- und Ausschalten eines IGBT/FET erfolgt bei den Schaltvorgängen, wie sie in Abb. 4.12 angenommen wurden, immer aktiv – der Schaltvorgang der Freilaufdiode erfolgt hingegen passiv. Aus Tabelle 4.4 wird ersichtlich, dass die Schaltverluste der Diode stets zusammen mit den Einschaltverlusten des komplementären IGBT/FET der Halbbrücken-Anordnung auftreten. Zudem vermittelt Tab. 4.4 einen generellen Eindruck, wann die speziellen Paarungen für  $W_{on} + W_{rec}$  und  $W_{off}$  in Abhängigkeit von den Zweiggrößen auftreten. Stimmt das Vorzeichen des Zweigstromes  $i_a(t)$  mit dem der zeitlichen Änderung der Submodul-Klemmenspannung  $u_X(t)$  überein, treten im IGBT/FET ausschließlich Ausschaltverluste auf. Sowohl Einschaltverluste des IGBT/FET als auch Ausschaltverluste der Freilaufdiode treten hingegen prinzipiell bei ungleichen Vorzeichen der erwähnten Zweiggrößen auf.

Sind die Schaltenergien für die nominalen Strom- und Spannungswerte eines Halbleiterbauelementes bekannt, können die Zusammenhänge aus Box 4.6 approximativ dazu verwendet werden, die Energieverluste für beliebige Halbleiterströme und -spannungen zu bestimmen. Aus diesem Grund sind die zu schaltenden Größen<sup>11</sup> ( $i_{HL}(\omega t_j)$  und  $\bar{U}_C$ ) auf die nominalen Datenblattgrößen ( $I_{nom}$  und  $U_{nom}$ ) der Halbleiter zu beziehen. Es sei darauf

Tab. 4.4.: Auftreten der Schaltverluste in Abhängigkeit der Zweiggrößen

Zweiggrößen		Schaltverluste
$\text{sgn}(i_a(t))$	$\text{sgn}\left(\frac{du_X(t)}{dt}\right)$	
⊕	⊖	$W_{on} + W_{rec}$
⊕	⊕	$W_{off}$
⊖	⊕	$W_{on} + W_{rec}$
⊖	⊖	$W_{off}$

<sup>11</sup>Der Halbleiterstrom ist für eine allgemeingültige Beschreibung mit  $i_{HL}$  angegeben und dient als Platzhalter für den IGBT-, FET- oder Diodenstrom.

**Box 4.6: Abhängigkeit der Energieverluste vom Schaltzeitpunkt**

$$W_{on}(\omega t_j) = W_{on,nom} \cdot \frac{i_{HL}(\omega t_j)}{I_{nom}} \cdot \frac{\bar{U}_C}{U_{nom}} \quad (4.19)$$

$$W_{off}(\omega t_j) = W_{off,nom} \cdot \frac{i_{HL}(\omega t_j)}{I_{nom}} \cdot \frac{\bar{U}_C}{U_{nom}} \quad (4.20)$$

$$W_{rec}(\omega t_j) = \left( W_{rec,0,nom} + W_{rec,nom} \cdot \frac{i_{HL}(\omega t_j)}{I_{nom}} \right) \cdot \frac{\bar{U}_C}{U_{nom}} \quad (4.21)$$

hingewiesen, dass das Schalten des Klemmenstromes nach Abb. 4.12 – zwischen dem Nullstrom und  $i_a$  – seine Gültigkeit ausschließlich für konventionelle Submodul-Topologien (wie u. a. das FB-SM) besitzt. Im weiteren Verlauf dieses Kapitels wird deutlich, dass der Strom  $i_{HL}$  in beiden Double-Zero-Submodulen abhängig von der Halbleiterposition ist und die folgenden Werte<sup>12</sup> annehmen kann:

$$i_{HL} \in \left\{ |i_a|, \frac{|i_a|}{2}, 0 \right\}. \quad (4.22)$$

Den Quotienten für Strom und Spannung aus Box 4.6 wird in der Literatur i. Allg. jeweils ein Exponent zugewiesen, welcher ungleich eins sein kann. Bei IGBT ist dieser bei der Spannung überproportional (1.2...1.4) und bei Freilaufdioden ist er sowohl beim Strom als auch der Spannung unterproportional (0.5...0.6) [Nic14]. Für die folgenden Untersuchungen ist der Einfachheit halber jedoch angenommen, dass die Quotienten mit ausreichender Genauigkeit mit einem linearen Zusammenhang modelliert werden können. Für den IGBT/FET ist dies durchaus vertretbar, da in den Datenblättern von 3.3 kV-Bauelementen gewöhnlich eine nominale Sperrspannung von 1.8 kV angegeben ist und sich der Spannungsquotient deshalb nur moderat – auf  $\frac{2.0}{1.8}$  – erhöht. Wegen der starken Nichtlinearität der  $W_{rec}$ -Kennlinie der Freilaufdiode sowie der Prämisse, dass diese auch beim Nullstrom einen Wert aufweist, ist die lineare Approximation für die Diode unter der obigen Ausgangsbedingung nur zulässig, wenn in Gleichung 4.21 ein Offset (von  $W_{rec,0,nom}$ ) vorgesehen wird.

Die im Halbleitermodul auftretenden Schaltverluste können schließlich mit den Zusammenhängen aus Box 4.7 bestimmt werden. Diese sind direkt proportional zur Schaltfrequenz  $f_p$ , welche im Submodul eingepreist wird. Wie es in Abschnitt 4.2 bereits erwähnt wurde, weist die Schaltfrequenz bei dem gewählten Pulsmuster den dreifachen Wert der AC-seitigen Netzgrundfrequenz auf ( $f_p = 3 f_1$ ).

**Box 4.7: Allgemeine Definition der Schaltverluste**

$$P_{sw,on} = f_p \cdot W_{on} \quad (4.23)$$

$$P_{sw,off} = f_p \cdot W_{off} \quad (4.24)$$

$$P_{sw,rec} = f_p \cdot W_{rec} \quad (4.25)$$

<sup>12</sup>Diese Prämisse ist einerseits auf den Double-Zero-Schaltzustand und andererseits auf die Anordnung des Halbbrücken-Moduls in einer Double-Connection zurückzuführen.

#### 4.3.1.1. Schaltverluste des Vollbrücken-Submoduls

Zuerst sollen in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 das Schaltverhalten und die dabei auftretenden Verluste in dem FB-SM untersucht werden. Die daraus resultierenden Ergebnisse können dann später für einen Vergleich mit den Double-Zero-Submodulen genutzt werden. Abbildung 4.13 zeigt für einen Cluster aus zwei FB-SM neben dem Zweigstrom das zugehörige Pulsmuster für jedes individuelle Submodul ( $u_{X1}$  und  $u_{X2}$ ). Deren Pulsmuster sind für die Einhaltung der gewünschten Schaltfrequenz ( $f_p = 3 f_1$ ) so gewählt, dass immer eine Periodizität von zwei Grundschwingungen erreicht wird. Die Schalthandlungen welche für das erste Submodul ( $u_{X1}$ ) während der ersten Periode (Zeitpunkte A1-F1, in Abb. 4.13 grau hinterlegt) stattfinden, wiederholen sich also für das zweite Submodul ( $u_{X2}$ ) während der zweiten Periode (Zeitpunkte A2-F2). In Abb. 4.14 sind passend dazu die Ersatzschaltbilder für die Zeitpunkte A1-F1 illustriert. Auf der linken Seite kann dabei immer der stationäre Schaltzustand vor dem Umschalten und auf der rechten Seite die anschließende Kommutierung (direkt nach dem Umschalten) erkannt werden. Die farblich hinterlegten Halbleiterbauelemente indizieren:

- das **Einschalten eines Transistors**
- das **Ausschalten eines Transistors** bzw.
- einen **bereits eingeschalteten Transistor** (grau),

um die stattfindende Kommutierung zu verdeutlichen. Die zugehörigen Zahlen geben Aufschluss darüber, in welcher Reihenfolge die Ansteuerimpulse an die Transistoren geleitet werden.

Schaut man sich im Wechselrichter-Betrieb (nach Tab. 4.3) in Abb. 4.14 z. B. den Zeitpunkt  $t_{A1}$  an, wird deutlich, dass das linke FB-SM von positiver Kondensatorspannung auf den Nullzustand wechselt. Wird der Bypass (0 V-Zustand) mit der Ansteuerung der Transistoren  $T_2$  und  $T_4$  (und somit der untere Zweig) eingestellt, kann dies erreicht werden, wenn  $T_1$  ausgeschaltet sowie  $T_2$  eingeschaltet wird. Da der Stromfluss nur in der Diode  $D_1$  stattfindet, treten in dem Transistor  $T_1$  selbst keine Verluste auf. Durch das aktive Einschalten von  $T_2$  kommutiert der Zweigstrom auf diesen und ruft dort Einschaltverluste ( $W_{on}$ ) hervor. Aufgrund der abzubauenen Ladungsträger innerhalb der Diode  $D_1$ , werden in dieser zusätzlich Ausschaltverluste ( $W_{rec}$ ) umgesetzt. Da die Bauelemente  $T_1$  und  $D_1$  jedoch in demselben Gehäuse untergebracht sind, sollen die Diodenverluste hier stets ihrem Transistor-Gegenstück zugewiesen werden. Tabelle 4.5 zeigt die individuell auftretenden Verlustenergien ( $W_{sw,Ti}$ ) während der jeweiligen Schaltvorgänge. Dabei sei zu erwähnen, dass die Schaltverluste eines individuellen Halbleiters in einem FB-SM während der ersten Periode ( $t_{A1} \dots t_{F1}$ ) bei dem Durchlaufen der zweiten Periode ( $t_{A2} \dots t_{F2}$ ) seinem Gegenstück in dem anderen FB-SM zugewiesen werden muss. Wegen der alternierend auftretenden Verluste (in jeder zweiten Periode) taucht in den Zellen der Tabelle 4.5 der Vorfaktor  $\frac{1}{2}$  auf.



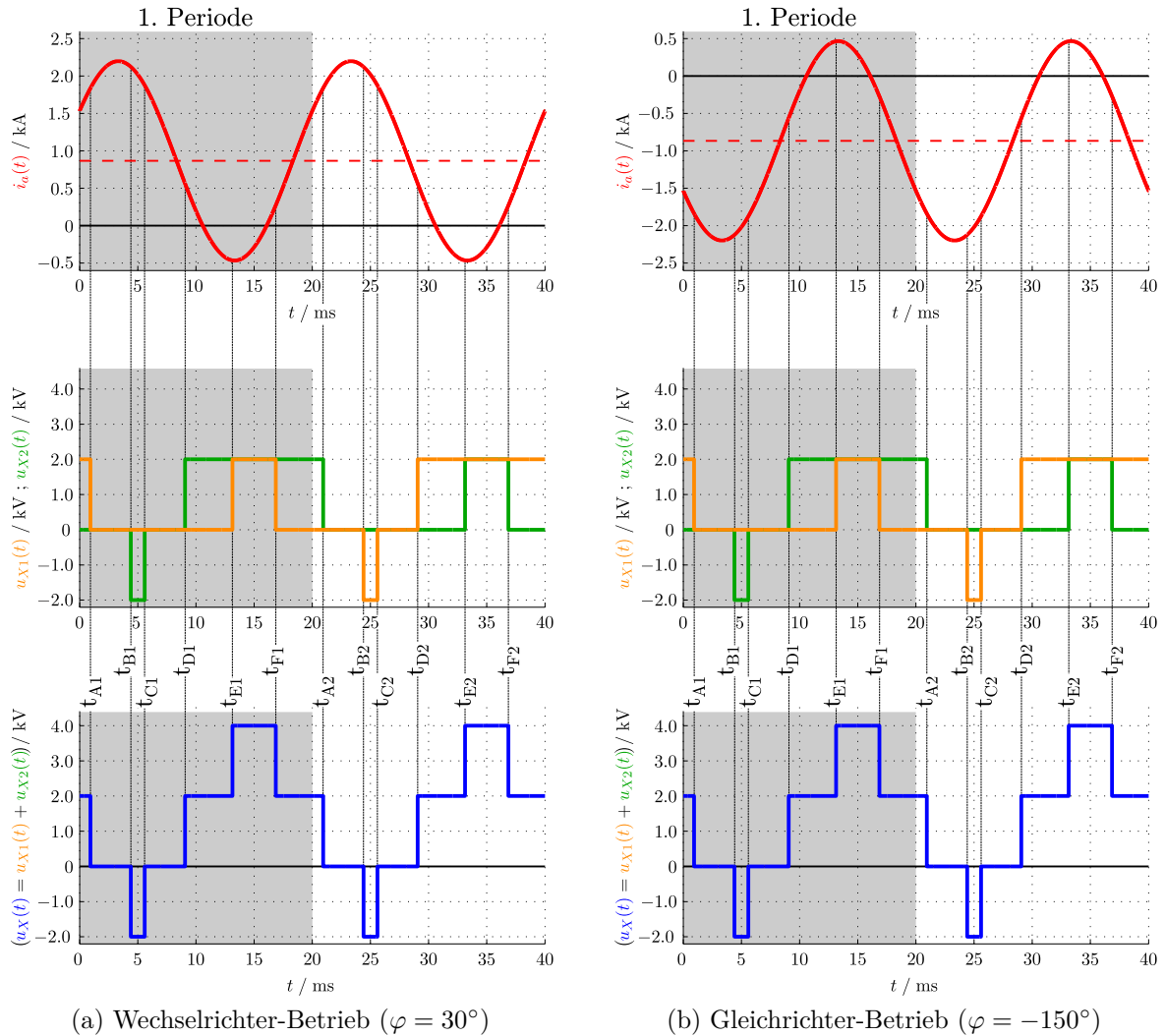


Abb. 4.13.: Zweigstrom und Cluster-Pulsmuster für die Untersuchung der Schaltverluste des FB-SM (sowie DZ-SM) in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3

In einer praktischen Realisierung wird i. Allg. noch eine abwechselnde Aktivierung des oberen ( $T_1$  und  $T_3$ ) und des unteren ( $T_2$  und  $T_4$ ) Bypasses (0V-Zustand) angestrebt. Dieses Vorgehen hat zwar einen Einfluss auf die Aufteilung der Schaltverluste innerhalb eines Submoduls, ändert jedoch nichts an den summarischen Schaltverlusten. Für den oben beschriebenen Schaltzustand während des Zeitpunktes  $t_A$  würden sich die Schaltverluste des Transistorpaares  $T_1$  und  $T_2$  somit auch auf das Transistorpaar  $T_3$  und  $T_4$  verteilen. Aus Gründen der Einfachheit soll hier jedoch darauf verzichtet werden. Die Priorität dieser Analyse dient den neuartigen Double-Zero-Submodulen.

Abbildung 4.15 und Tab. 4.6 zeigen in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 zusätzlich die Schalthandlungen und Verlustenergien im Gleichrichter-Betrieb.

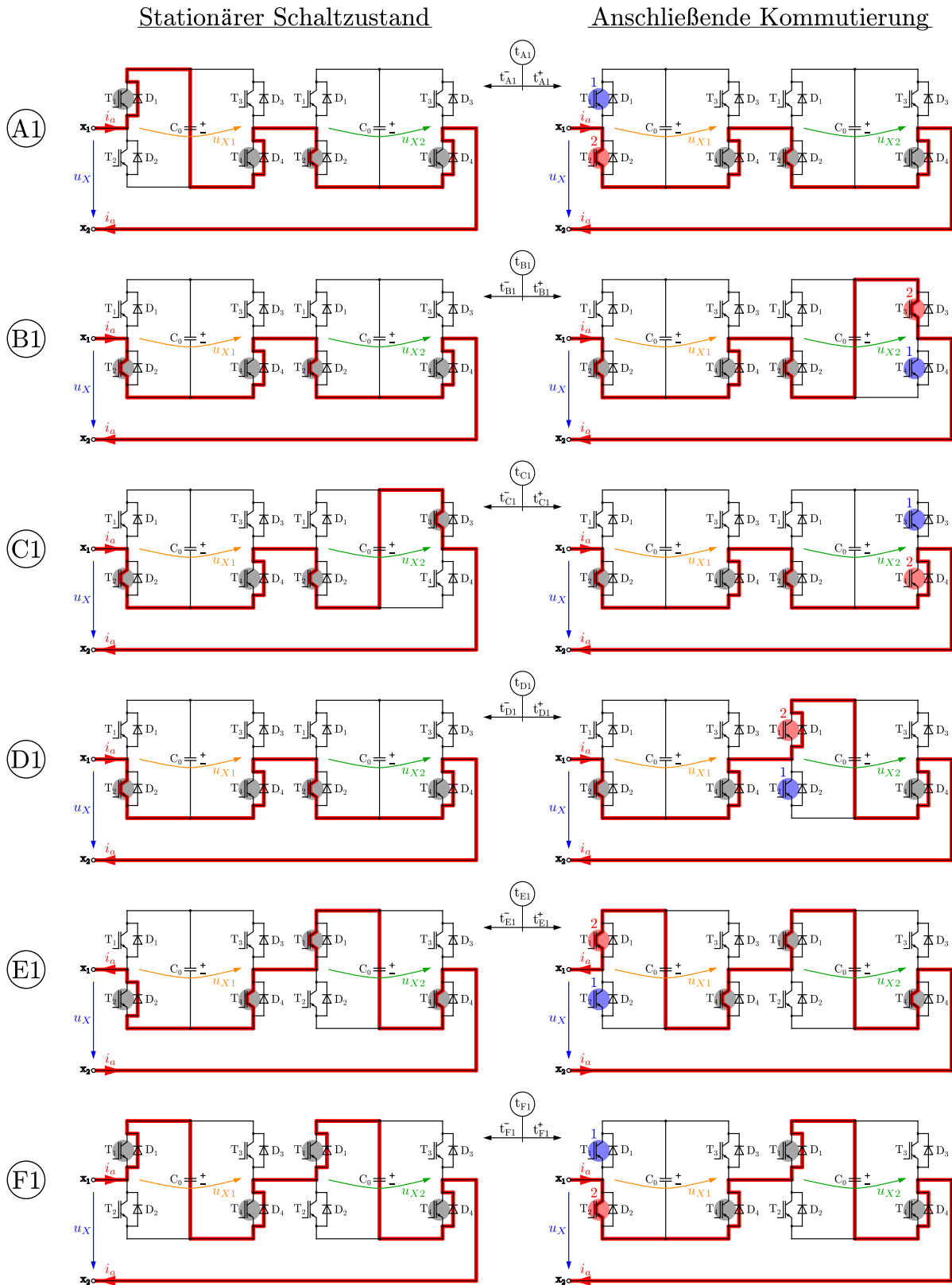


Abb. 4.14.: Schalthandlungen des FB-SM im Wechselrichter-Betrieb ( $\varphi = 30^\circ$ )

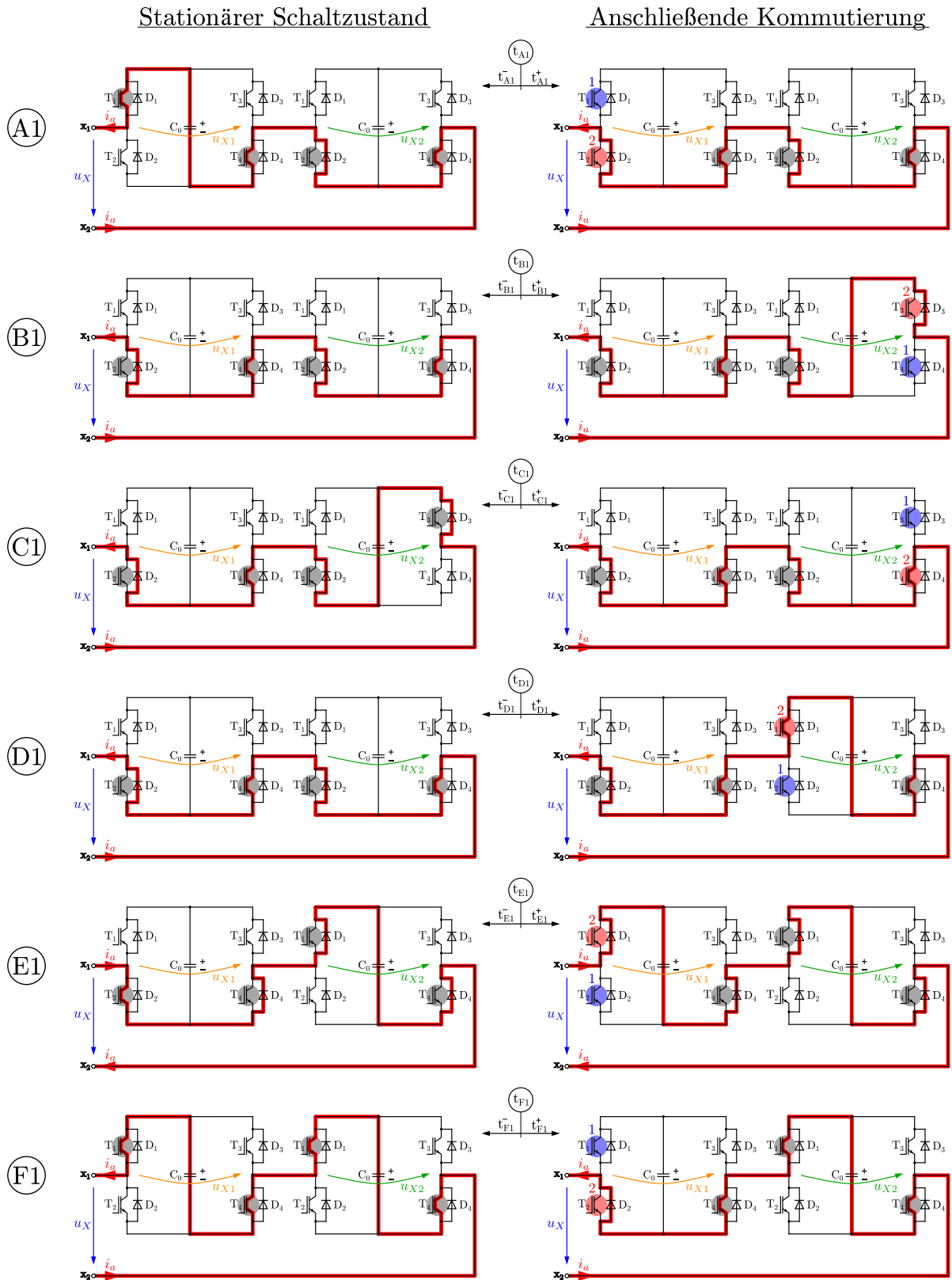


Abb. 4.15.: Schalthandlungen des FB-SM im Gleichrichter-Betrieb ( $\varphi = -150^\circ$ )

Tab. 4.5.: FB-SM Schaltverluste nach Abb. 4.13a und 4.14 im Wechselrichter-Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = 30^\circ$ )

		$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$
$\frac{i_a(\omega t_j)}{\frac{I_d}{3}}$		2.12	2.45	2.17	0.65	0.54	0.32
FB-SM(1)	$W_{sw,T1}(\omega t_j)$	$\frac{1}{2}W_{rec}(i_a)$	0	0	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{rec}(i_a)$
	$W_{sw,T2}(\omega t_j)$	$\frac{1}{2}W_{on}(i_a)$	0	0	$\frac{1}{2}W_{off}(i_a)$	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{on}(i_a)$
	$W_{sw,T3}(\omega t_j)$	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0	0	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{rec}(i_a)$	0	0	0	0
FB-SM(2)	$W_{sw,T1}(\omega t_j)$	$\frac{1}{2}W_{rec}(i_a)$	0	0	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{rec}(i_a)$
	$W_{sw,T2}(\omega t_j)$	$\frac{1}{2}W_{on}(i_a)$	0	0	$\frac{1}{2}W_{off}(i_a)$	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{on}(i_a)$
	$W_{sw,T3}(\omega t_j)$	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0	0	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{rec}(i_a)$	0	0	0	0

Tab. 4.6.: FB-SM Schaltverluste nach Abb. 4.13b und 4.15 im Gleichrichter-Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = -150^\circ$ )

		$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$
$\frac{i_a(\omega t_j)}{\frac{I_d}{3}}$		2.12	2.45	2.17	0.65	0.54	0.32
FB-SM(1)	$W_{sw,T1}(\omega t_j)$	$\frac{1}{2}W_{off}(i_a)$	0	0	$\frac{1}{2}W_{on}(i_a)$	0	$\frac{1}{2}W_{off}(i_a)$
	$W_{sw,T2}(\omega t_j)$	0	0	0	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0
	$W_{sw,T3}(\omega t_j)$	0	0	$\frac{1}{2}W_{rec}(i_a)$	0	0	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{off}(i_a)$	$\frac{1}{2}W_{on}(i_a)$	0	0	0
FB-SM(2)	$W_{sw,T1}(\omega t_j)$	$\frac{1}{2}W_{off}(i_a)$	0	0	$\frac{1}{2}W_{on}(i_a)$	0	$\frac{1}{2}W_{off}(i_a)$
	$W_{sw,T2}(\omega t_j)$	0	0	0	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0
	$W_{sw,T3}(\omega t_j)$	0	0	$\frac{1}{2}W_{rec}(i_a)$	0	0	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{off}(i_a)$	$\frac{1}{2}W_{on}(i_a)$	0	0	0

#### 4.3.1.2. Schaltverluste des Double-Zero-Submoduls

Die Untersuchung des Schaltverhaltens sowie der auftretenden Verluste in dem DZ-SM sollen in der gleichen Art und Weise erfolgen, wie es bereits in dem vorherigen Abschnitt für das FB-SM geschehen ist. Da es sich bei dem DZ-SM um ein Submodul in Single-Connection handelt, ist es sinnvoll, die individuellen Pulsmuster nach Abb. 4.13 innerhalb des Clusters auch für die Beschreibung des DZ-SM anzuwenden.

In den Abbildungen 4.16 und 4.17 sind die Schalthandlungen und Kommutierungen des DZ-SM in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 – im Wechselrichter- sowie Gleichrichter-Betrieb – gezeigt. Es kann aus den Ersatzschaltbildern vernommen werden, dass für die Kommutierungen in den Nullzustand und aus dem Nullzustand die Halbleiter  $T_1 - T_4$  nur den halben Zweigstrom schalten müssen. Lediglich der Halbleiter in dem Kondensatorzweig ( $T_0$ ) muss in dem DZ-SM in der Lage sein, den vollen Zweigstrom zu schalten. Im Gegensatz zu dem FB-SM sind bei dem DZ-SM jedoch immer zwei Transistoren der Gruppe  $T_1 - T_4$  zusammen mit  $T_0$  an dem Umschaltvorgang beteiligt. Die Tabellen 4.7 und 4.8 explizieren schließlich die auftretenden Schaltenergien innerhalb des Clusters aus DZ-SM.



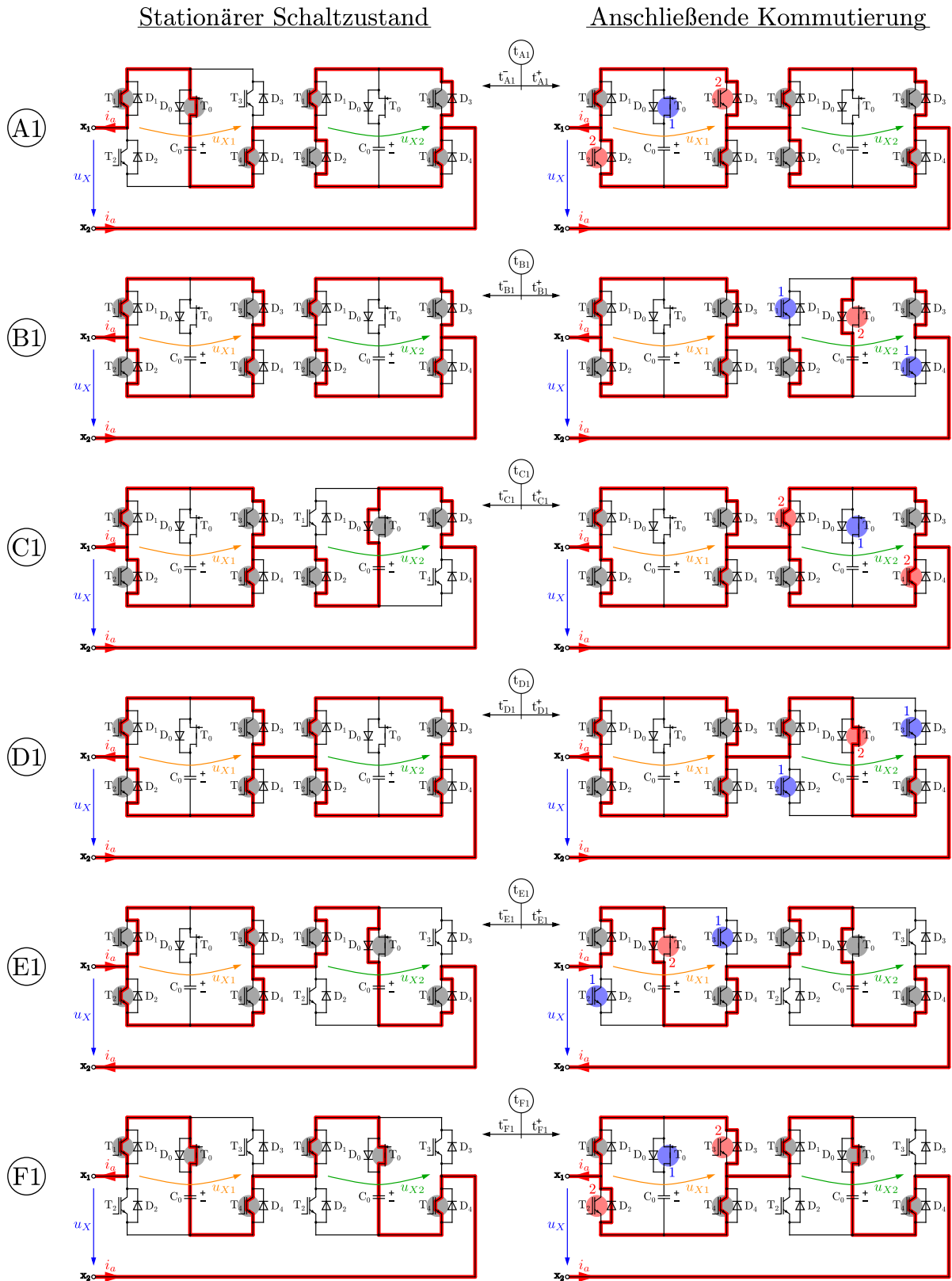


Abb. 4.17.: Schalthandlungen des DZ-SM im Gleichrichter-Betrieb ( $\varphi = -150^\circ$ )

Tab. 4.7.: DZ-SM Schaltverluste nach Abb. 4.13a und 4.16 im Wechselrichter-Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = 30^\circ$ )

		$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$
$\frac{i_a(\omega t_j)}{\frac{I_d}{3}}$		2.12	2.45	2.17	0.65	0.54	0.32
DZ-SM(1)	$W_{sw,T1}(\omega t_j)$	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0
	$W_{sw,T2}(\omega t_j)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$
	$W_{sw,T3}(\omega t_j)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0
	$W_{sw,T0}(\omega t_j)$	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{rec}(i_a)$
DZ-SM(2)	$W_{sw,T1}(\omega t_j)$	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0
	$W_{sw,T2}(\omega t_j)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$
	$W_{sw,T3}(\omega t_j)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0
	$W_{sw,T0}(\omega t_j)$	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{rec}(i_a)$

Tab. 4.8.: DZ-SM Schaltverluste nach Abb. 4.13b und 4.17 im Gleichrichter-Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = -150^\circ$ )

		$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$
$\frac{i_a(\omega t_j)}{\frac{I_d}{3}}$		2.12	2.45	2.17	0.65	0.54	0.32
DZ-SM(1)	$W_{sw,T1}(\omega t_j)$	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	0
	$W_{sw,T2}(\omega t_j)$	0	0	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	0
	$W_{sw,T3}(\omega t_j)$	0	0	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	0
	$W_{sw,T0}(\omega t_j)$	$\frac{1}{2}W_{off}(i_a)$	0	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{on}(i_a)$	0	$\frac{1}{2}W_{off}(i_a)$
DZ-SM(2)	$W_{sw,T1}(\omega t_j)$	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	0
	$W_{sw,T2}(\omega t_j)$	0	0	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	0
	$W_{sw,T3}(\omega t_j)$	0	0	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	0
	$W_{sw,T0}(\omega t_j)$	$\frac{1}{2}W_{off}(i_a)$	0	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{on}(i_a)$	0	$\frac{1}{2}W_{off}(i_a)$



### 4.3.1.3. Schaltverluste des Double-Zero-Submoduls in Double-Connection

Abschließend sollen das Schaltverhalten und die auftretenden Verluste für das DZ-DC-SM untersucht werden. Abbildung 4.18 zeigt dazu den Zweigstrom und das Cluster-Pulsmuster im Wechselrichter- und Gleichrichter-Betrieb. Wie es in Abschnitt 4.1.2 bereits angedeutet

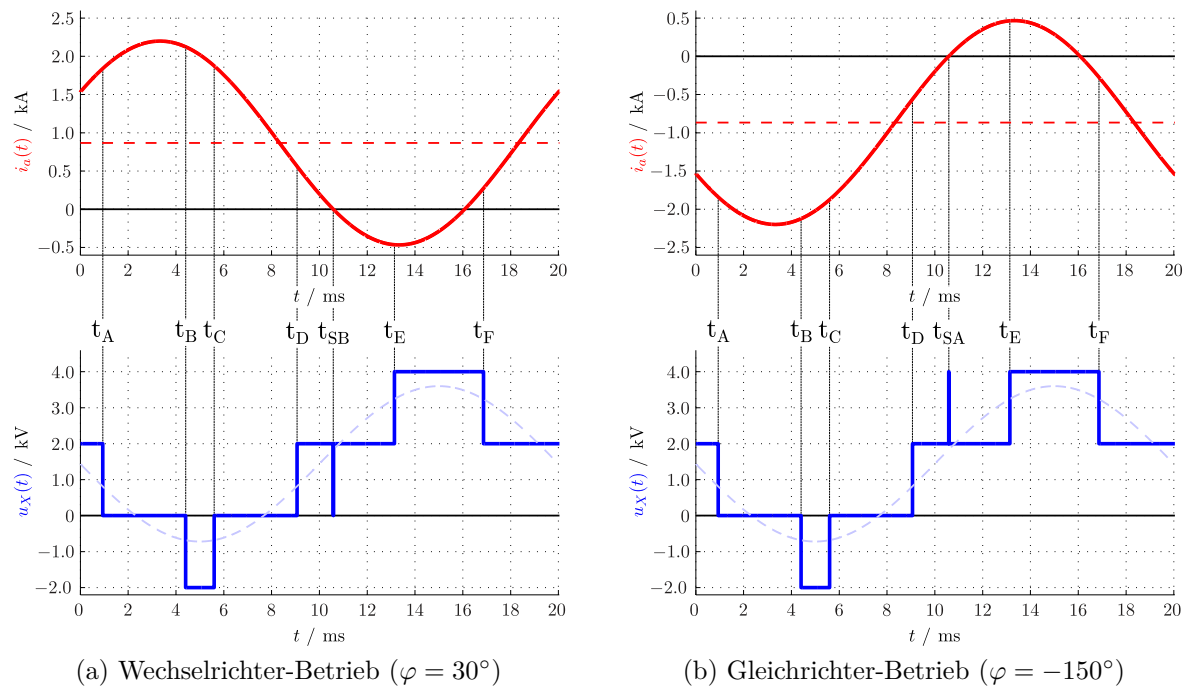
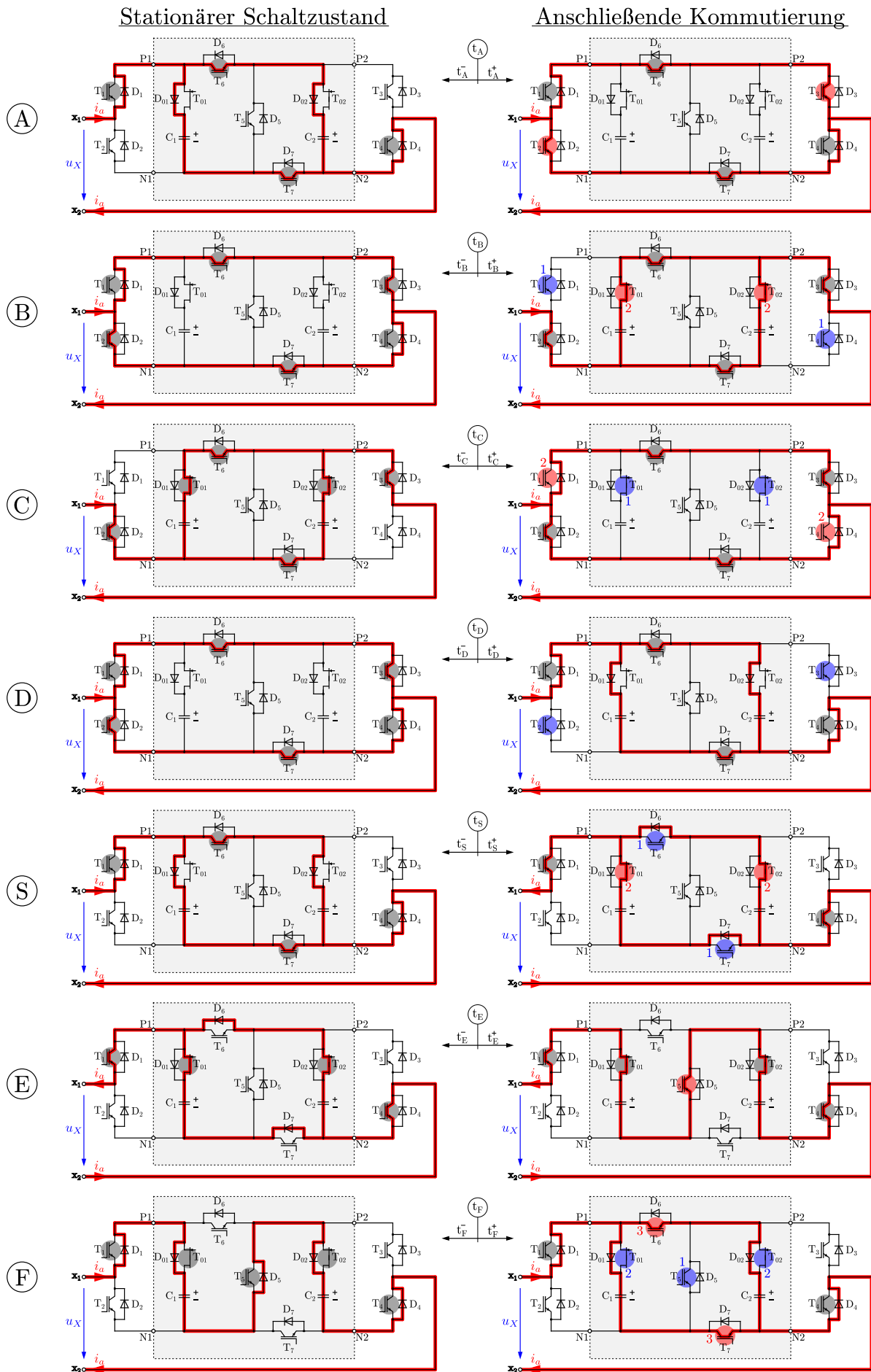


Abb. 4.18.: Zweigstrom und Cluster-Pulsmuster für die Untersuchung der Schaltverluste des DZ-DC-SM in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3

wurde, ist es für das Balancing der Submodul-Kondensatorspannungen zweckmäßig, zwei verschiedene Schaltzustände für die Klemmenspannung  $u_X = +U_C$  vorzusehen. Abhängig von der Zweigstromrichtung ist es dann möglich den Submodul-Kondensator mit der niedrigeren Spannung zu laden oder den Kondensator mit der größeren Spannung zu entladen (siehe Tab.4.2). Damit die Steuerelektronik des Submoduls den Zweigstrom-Richtungswechsel detektieren kann, muss toleriert werden, dass dieses sich wenigstens einen Taktzyklus (der Steuerelektronik) in dem falschen Schaltzustand befindet. Die Nullstellen des Zweigstromes  $t_{SA}$  und  $t_{SB}$ , welche in Abb. 4.18 für den Zwischenimpuls der Klemmenspannung sorgen, wurden dazu bereits in Box 4.3 definiert.

In den Abbildungen 4.19 und 4.20 sind schließlich die Schalthandlungen und Kommutierungen des DZ-DC-SM in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 – im Wechselrichter- sowie Gleichrichter-Betrieb – illustriert. Im Vergleich zu den anderen untersuchten Submodul-Topologien kann erkannt werden, dass für den gezeigten Arbeitspunkt zwischen den Schaltinstanzen D und E noch ein weiteres Umschalten berücksichtigt wurde. Durch die gegenseitige Verriegelung der Transistorpaare  $T_6$ ,  $T_7$  und  $T_{01}$ ,  $T_{02}$  wird nach dem Zweigstrom-Richtungswechsel erreicht, dass die Klemmenspannung von  $u_X = +U_C$

Abb. 4.19.: Schalthandlungen des DZ-DC-SM im Wechselrichter-Betrieb ( $\varphi = 30^\circ$ )

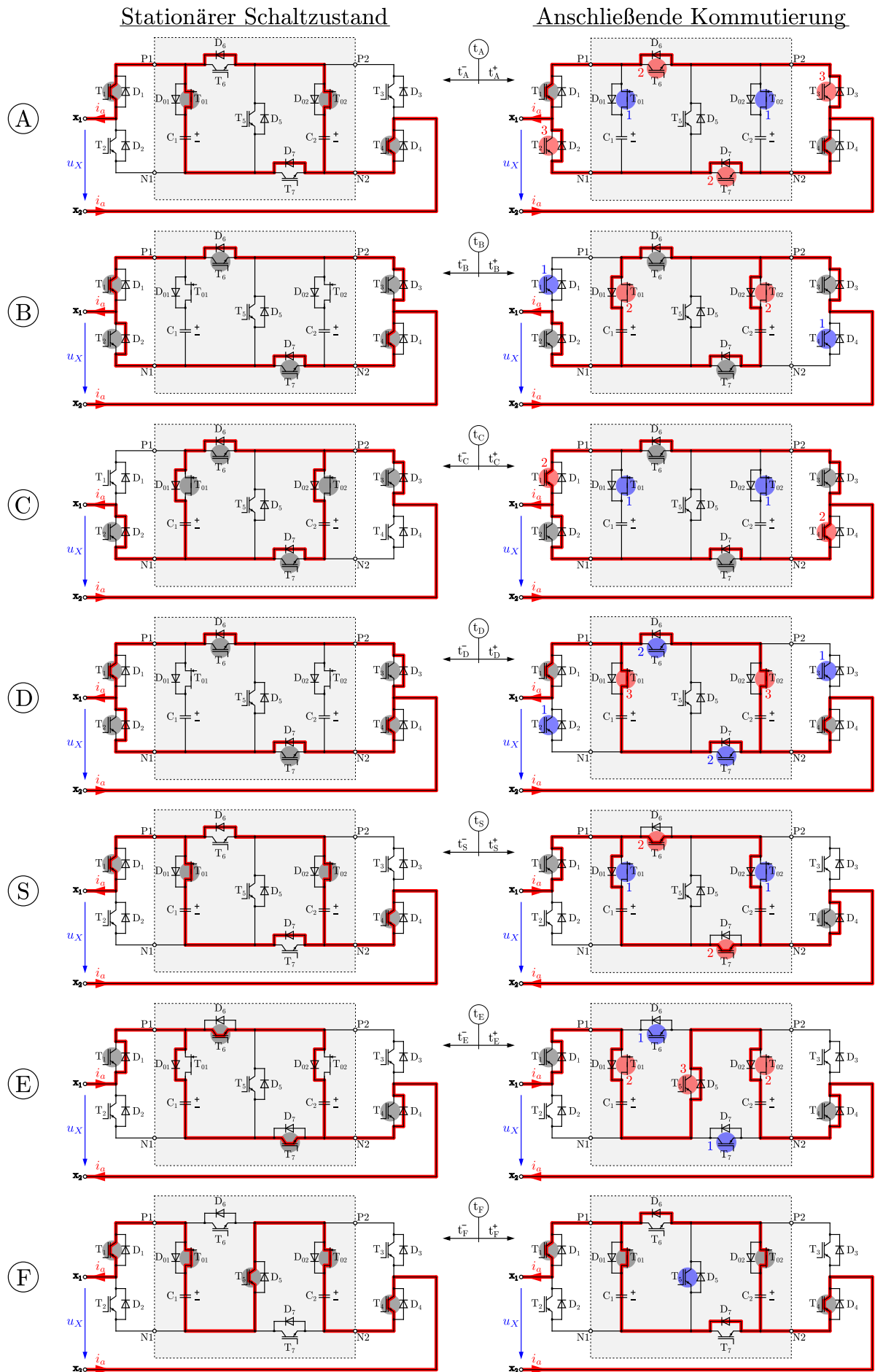


Abb. 4.20.: Schalthandlungen des DZ-DC-SM im Gleichrichter-Betrieb ( $\varphi = -150^\circ$ )

Tab. 4.9.: DZ-DC-SM Schaltverluste nach Abb. 4.18a und 4.19 im Wechselrichter-Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = 30^\circ$ )

	$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$	$\omega t_S$
$\frac{i_a(\omega t_j)}{\frac{I_d}{3}}$	2.12	2.45	2.17	0.65	0.54	0.32	0
$W_{sw,T1}(\omega t_j)$	0	$W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0	0
$W_{sw,T2}(\omega t_j)$	$W_{on}\left(\frac{i_a}{2}\right)$	0	0	$W_{off}\left(\frac{i_a}{2}\right)$	0	0	0
$W_{sw,T3}(\omega t_j)$	$W_{on}\left(\frac{i_a}{2}\right)$	0	0	$W_{off}\left(\frac{i_a}{2}\right)$	0	0	0
$W_{sw,T4}(\omega t_j)$	0	$W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0	0
$W_{sw,T5}(\omega t_j)$	0	0	0	0	$W_{on}(i_a)$	$W_{rec}(i_a)$	$W_{rec}(0)$
$W_{sw,T6}(\omega t_j)$	0	0	0	0	$W_{rec}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	0
$W_{sw,T7}(\omega t_j)$	0	0	0	0	$W_{rec}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	0
$W_{sw,T01}(\omega t_j)$	$W_{rec}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	$W_{off}\left(\frac{i_a}{2}\right)$	0	0	0	0
$W_{sw,T02}(\omega t_j)$	$W_{rec}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	$W_{off}\left(\frac{i_a}{2}\right)$	0	0	0	0

Tab. 4.10.: DZ-DC-SM Schaltverluste nach Abb. 4.18b und 4.20 im Gleichrichter-Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = -150^\circ$ )

	$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$	$\omega t_S$
$\frac{i_a(\omega t_j)}{\frac{I_d}{3}}$	2.12	2.45	2.17	0.65	0.54	0.32	0
$W_{sw,T1}(\omega t_j)$	0	$W_{off}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	0	0	0	0
$W_{sw,T2}(\omega t_j)$	0	0	0	$W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0
$W_{sw,T3}(\omega t_j)$	0	0	0	$W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0
$W_{sw,T4}(\omega t_j)$	0	$W_{off}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	0	0	0	0
$W_{sw,T5}(\omega t_j)$	0	0	0	0	0	$W_{off}(i_a)$	$W_{rec}(0)$
$W_{sw,T6}(\omega t_j)$	0	0	0	0	$W_{off}\left(\frac{i_a}{2}\right)$	0	0
$W_{sw,T7}(\omega t_j)$	0	0	0	0	$W_{off}\left(\frac{i_a}{2}\right)$	0	0
$W_{sw,T01}(\omega t_j)$	$W_{off}\left(\frac{i_a}{2}\right)$	0	$W_{rec}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	0	0	0
$W_{sw,T02}(\omega t_j)$	$W_{off}\left(\frac{i_a}{2}\right)$	0	$W_{rec}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	0	0	0

beibehalten wird.

Die Tabellen 4.9 und 4.10 zeigen die auftretenden Schaltenergien innerhalb des DZ-DC-SM. Bemerkenswert ist dabei, dass lediglich der Transistor  $T_5$  den vollen Zweigstrom schalten muss. Alle weiteren Halbleiterbauelemente weisen für die untersuchten Schaltvorgänge nur die halbe Strombelastung auf. Bei der gegenseitigen Verriegelung der Transistorpaare  $T_6, T_7$  und  $T_{01}, T_{02}$  im Zweigstrom-Nulldurchgang – während  $t_{SA}$  und  $t_{SB}$  – fallen ausschließlich Ausschaltverluste der Diode  $D_5$  an. Um den Kommutierungsvorgang beim Nullstrom besser verstehen zu können, sei jedoch auf den späteren Abschnitt 6.1 und Abb. 6.3 verwiesen.

### 4.3.2. Analytische Methoden für die Beschreibung der Durchlassverluste

Die Durchlassverluste treten bei Modular Multilevel Convertern in Anwendungen mit hohen Reihenschaltzahlen – unabhängig von der Submodul-Topologie – als dominierende Verlustart auf und sind der Durchlasskennlinie der verwendeten Halbleiterbauelemente geschuldet. Abbildung 4.21 zeigt hierzu eine Schar von Durchlasskennlinien von 3.3 kV HV-IGBT- und SiC-MOSFET<sup>13</sup>-Modulen – identischer nominaler Ströme – für typ. Sperrschichttemperaturen ( $\vartheta_j$ ). Es wird dabei deutlich, dass die IGBT-Kennlinien

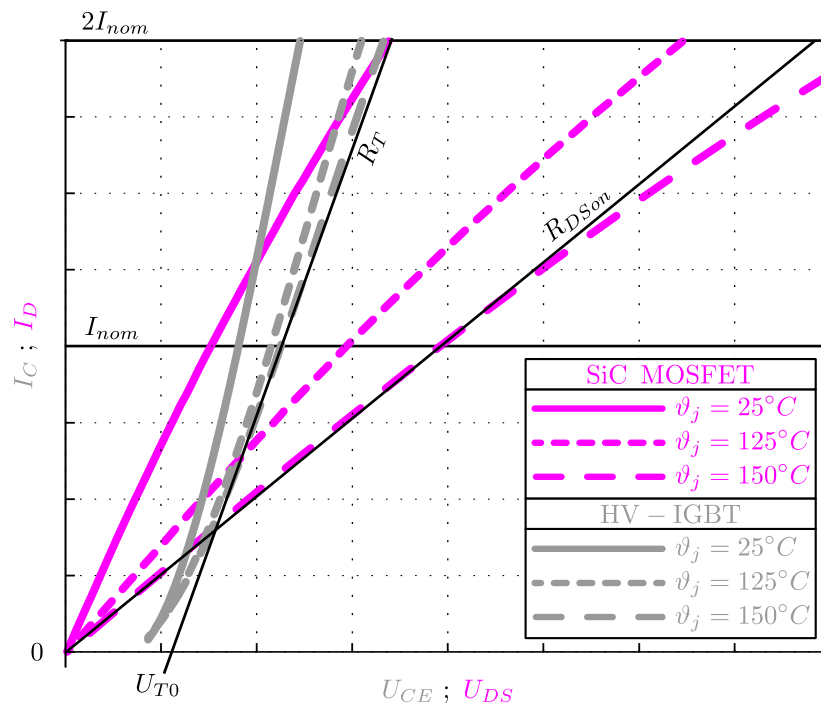


Abb. 4.21.: Durchlasskennlinien von HV-IGBT und SiC-MOSFET

einem exponentiellen Verlauf (von einer Diode) folgen. Die MOSFET-Kennlinien weisen hingegen einen näherungsweise linearen Charakter auf. Im Teillastbetrieb und somit bei geringen Durchlassströmen – besonders bei niedrigen Sperrschichttemperaturen – weist

<sup>13</sup>Metal Oxide Semiconductor Field-Effect Transistor

eine FET-Struktur gegenüber IGBT deshalb deutlich reduzierte Spannungsabfälle auf. Aufgrund der Ladungsträgerüberflutung in der Driftzone besitzt ein IGBT jedoch bei größeren Sperrschichttemperaturen und Durchlassströmen einen sehr kleinen differentiellen Widerstand, welcher in diesem Bereich auch geringere Spannungsabfälle als ein FET aufweist. Mit fortschreitender Zeit und der Weiterentwicklung der Prozesstechnik in der Halbleiterindustrie wird sich dieses Verhältnis jedoch in Zukunft sukzessiv zugunsten von SiC-FET verschieben.

Die allgemeine Definition der Durchlassverluste ( $P_{on}$ ) für einen IGBT sowie FET kann nach den Zusammenhängen:

$$P_{on,IGBT} = \frac{1}{T_1} \int_0^{T_1} u_{CE}(t) \cdot i_C(t) dt \quad (4.26)$$

$$P_{on,FET} = \frac{1}{T_1} \int_0^{T_1} u_{DS}(t) \cdot i_D(t) dt \quad (4.27)$$

angegeben werden. Für exakte Berechnungen ist eine numerische Lösung dieser Gleichungen, wie es in den meisten Veröffentlichungen auch publiziert wird, unabdingbar [DK05, RBHS10, TX11, WWZB18]. Analytische Methoden ermöglichen auf der anderen Seite jedoch deutlich tieferen Einblick und grundlegendes Verständnis der relevanten Zusammenhänge innerhalb des MMC und dessen Submodul-Topologien. Im Rahmen dieser Arbeit soll deshalb eine analytische Analyse auf Basis von rückwärtsleitenden (RC<sup>14</sup>) Halbleiterbauelementen durchgeführt werden. Es sei darauf hingewiesen, dass diese Voraussetzung nur für SiC-FET exakt ist. Da die Freilaufdiode (Rückwärtsleitung) innerhalb eines Si-RC-IGBT-Moduls stets eine geringere Durchlassspannung als deren IGBT-Pendant (Vorwärtsleitung) aufweist, ist es für ein Worst-Case-Szenario zweckmäßig, die IGBT-Kennlinie für beide Stromrichtungen anzuwenden. Mit hinreichender Genauigkeit können die Durchlasskennlinien linear approximiert werden (siehe Abb. 4.21):

$$u_{CE}(t) = U_{T0} + R_T \cdot i_C(t) \quad (4.28)$$

$$u_{DS}(t) = R_{DSon} \cdot i_D(t), \quad (4.29)$$

wobei die FET-Struktur – im Gegensatz zum IGBT – keinen Offset in der Durchlassspannung besitzt. Möchte man für die Entwicklung geschlossener Abhängigkeiten die linearen Beziehungen (Gl. 4.28 und 4.29) in die Gleichungen 4.26 und 4.27 einbringen, muss einerseits berücksichtigt werden, dass der Halbleiterstrom  $i_{HL}$  während seiner Leitung den Anforderungen nach Gleichung 4.22 entspricht. Andererseits ist es nachvollziehbar, dass die Stromleitung in den Halbleitern nicht kontinuierlich erfolgt, sondern für die Synthese der Zweigspannungen einer sinusförmigen Modulation proportional ist. Es muss infolgedessen bedacht werden, dass – durch die Vorgabe der übergeordneten Regelung – in unterschiedli-

---

<sup>14</sup>Reverse Conducting

chen Submodulen (bzw. Clustern) abschnittsweise auch unterschiedliche Ströme fließen. Man kann jedoch annehmen, dass – über eine vollständige Periode betrachtet – alle Submodule derselben Belastung unterliegen. Besonders bei hohen Reihenschaltzahlen kann hierfür eine Gleichung formuliert werden, welche jedes Submodul mit einer sinusförmigen Modulation:

$$d(t) = \frac{u_a(t)}{n \cdot \bar{U}_C} = b \cdot [1 - k \cdot \sin(\omega t)] \quad (4.30)$$

beaufschlagt. Auch wenn die getroffene Definition theoretisch einem gleichzeitigen, hochfrequenten, pulsweitenmodulierten (PWM) Takten aller Submodule entspricht, kann damit dennoch eine zuverlässige Bestimmung der Verteilung der Durchlassverluste innerhalb des MMC erreicht werden. Da die Halbleiterverluste in der Praxis stark von dem umgesetzten Regelungsalgorithmus und der Sortierung der Submodule abhängen, wäre eine exakte Berechnung dieser ohnehin undenkbar. In Box 4.8 ist der grundsätzliche Ansatz für die Bestimmung der individuellen Durchlassverluste – unter Berücksichtigung einer sinusförmigen Modulation (Aussteuerung) nach Gleichung 4.30 – aufgeführt.

**Box 4.8: Individuelle Durchlassverluste bei der Beaufschlagung mit einer sinusförmigen Modulation**

$$P_{on,IGBT,i} = U_{T0} \cdot \underbrace{\sum_{w=1}^{M_U} \left[ \frac{1}{T_1} \int_{t_w}^{t_{w+1}} |d(t)| \cdot i_{HL}(t) dt \right]}_{\overline{|I_{Ti}|}} + R_T \cdot \underbrace{\sum_{w=1}^{M_R} \left[ \frac{1}{T_1} \int_{t_w}^{t_{w+1}} |d(t)| \cdot i_{HL}^2(t) dt \right]}_{I_{Ti}^2} \quad (4.31)$$

$$P_{on,FET,i} = R_{DSon} \cdot \underbrace{\sum_{w=1}^{M_R} \left[ \frac{1}{T_1} \int_{t_w}^{t_{w+1}} |d(t)| \cdot i_{HL}^2(t) dt \right]}_{I_{Ti}^2} \quad (4.32)$$

Die Gleichungen enthalten neben den Transistor-Kenndaten den Betragsmittelwert ( $\overline{|I_{Ti}|}$ ) und den quadratischen RMS-Wert ( $I_{Ti}^2$ ) des Halbleiterstromes, welche aus – durch die Nulldurchgänge von Spannung (Aussteuergrad) und Zweigstrom unterteilten – Teilintegralen bestehen. Löst man die Integrale in den Gleichungen 4.31 und 4.32 für die individuellen Halbleiterpositionen innerhalb der Submodul-Topologien FB-SM, DZ-SM und DZ-DC-SM, erhält man schließlich die Zusammenhänge nach Box 4.9.

Tab. 4.11.: Definition der MMC-System- und Hilfsströme für die analytische Bestimmung der Durchlassverluste

	Betrags- mittelwert	Quadratischer RMS-Wert	Vorkommen im Umrichter
System- ströme	$ \overline{I_a} $	$I_a^2$	MMC-Zweig
	$ \overline{I_C} $	$I_C^2$	Kondensator im FB-SM, DZ-SM, DZ-DC-SM
Hilfs- ströme	$ \overline{I_x} $	$I_y^2$	HL <sup>15</sup> im FB-SM, DZ-SM, DZ-DC-SM
	$ \overline{I_z} $	$I_z^2$	HL im DZ-DC-SM

Betrachtet man die Gleichungen in Box 4.9 näher, kann man erkennen, dass die Ströme  $|\overline{I_{Ti}}|$  und  $I_{Ti}^2$  sich zum einen aus den Systemströmen innerhalb des MMC-Zweiges ( $|\overline{I_a}|$ ,  $I_a^2$ ) und des Submodul-Kondensatorpfades ( $|\overline{I_C}|$ ,  $I_C^2$ ) zusammensetzen, welche bereits in Abschnitt 3.2 eingeführt wurden [DM17]. Zum anderen sind in den Gleichungen Hilfsströme – sowohl Betragsmittelwerte ( $|\overline{I_x}|$ ,  $|\overline{I_z}|$ ) als auch quadratische RMS-Werte ( $I_y^2$ ,  $I_z^2$ ) – enthalten. Diese bieten eine tiefere Einsicht in die Stromverteilung individueller Halbleiterbauelemente innerhalb der Submodul-Topologien (siehe Tab. 4.11).

Aus Box 4.9 werden die folgenden Gruppen von Halbleiterbauelementen evident:

- FB-SM (Box 4.9a):  $T_1/T_4$   $T_2/T_3$
- DZ-SM (Box 4.9b):  $T_1/T_4$   $T_2/T_3$
- DZ-DC-SM (Box 4.9c):  $T_1/T_4$   $T_2/T_3$   $T_{01}/T_{02}$  und  $T_5$   $T_6/T_7$ .

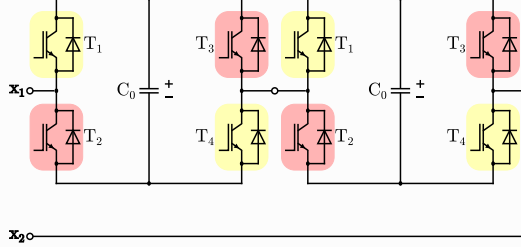
Innerhalb dieser Gruppen sorgen die Hilfsströme zwar für eine Verschiebung der individuellen Halbleiterbelastung, in der Bilanz für die gesamten Durchlassverluste tauchen diese (abgesehen von  $I_z^2$ ) jedoch nicht auf. Die inversen Vorzeichen der Hilfsströme heben sich in der jeweiligen High- bzw. Low-Side der Submodule gegenseitig auf.

In Box 4.10 (auf S. 64) sind die mathematischen Formulierungen für die System- und Hilfsströme gezeigt, welche für die Bestimmung der individuellen Halbleiterströme aus Box 4.9 benötigt werden [DM19b]. Die Gleichungen 4.53 bis 4.60 sind dabei ausschließlich von den Betriebsparametern abhängig, welche in Abschnitt 3.2 definiert wurden. Weiterhin sind die Gleichungen für den gesamten Arbeitsbereich – sowohl im Wechselrichter- als auch im Gleichrichter-Betrieb – gültig. Abbildung 4.22 illustriert abschließend die System- und Hilfsströme in dem typ. MMC-Arbeitsbereich für eine Phasenverschiebung ( $\varphi$ ) von  $0^\circ$  und  $30^\circ$ . Es wird zunächst deutlich, dass die Hilfsströme gegenüber den Systemströmen – besonders im Referenz-Arbeitspunkt nach Tab. 4.3 – nur einen marginalen Anteil aufweisen.

<sup>15</sup>HL: Halbleiter



Box 4.9a: HL-Ströme innerhalb des FB-SM

 $U_{T0}$ -Anteil:

$$|\overline{I_{T1}}| = |\overline{I_{T4}}| = \frac{1}{2} |\overline{I_a}| + \frac{1}{2} |\overline{I_C}| - \frac{1}{2} |\overline{I_x}| \quad (4.33)$$

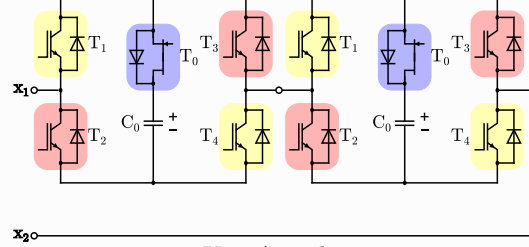
$$|\overline{I_{T2}}| = |\overline{I_{T3}}| = \frac{1}{2} |\overline{I_a}| - \frac{1}{2} |\overline{I_C}| + \frac{1}{2} |\overline{I_x}| \quad (4.34)$$

 $R_T$ -Anteil:

$$I_{T1}^2 = I_{T4}^2 = \frac{1}{2} I_a^2 + \frac{1}{2} I_y^2 \quad (4.35)$$

$$I_{T2}^2 = I_{T3}^2 = \frac{1}{2} I_a^2 - \frac{1}{2} I_y^2 \quad (4.36)$$

Box 4.9b: HL-Ströme innerhalb des DZ-SM

 $U_{T0}$ -Anteil:

$$|\overline{I_{T1}}| = |\overline{I_{T4}}| = \frac{1}{2} |\overline{I_a}| + \frac{1}{2} |\overline{I_C}| - \frac{1}{2} |\overline{I_x}| \quad (4.37)$$

$$|\overline{I_{T2}}| = |\overline{I_{T3}}| = \frac{1}{2} |\overline{I_a}| - \frac{1}{2} |\overline{I_C}| + \frac{1}{2} |\overline{I_x}| \quad (4.38)$$

$$|\overline{I_{T0}}| = |\overline{I_C}| \quad (4.39)$$

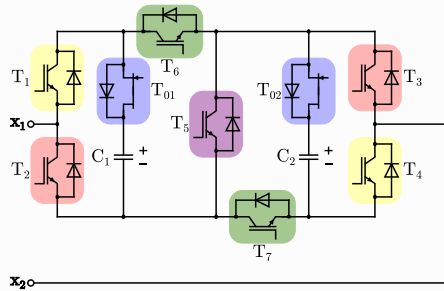
 $R_T|R_{DSon}$ -Anteil:

$$I_{T1}^2 = I_{T4}^2 = \frac{1}{4} I_a^2 + \frac{1}{2} I_y^2 + \frac{1}{4} I_C^2 \quad (4.40)$$

$$I_{T2}^2 = I_{T3}^2 = \frac{1}{4} I_a^2 - \frac{1}{2} I_y^2 + \frac{1}{4} I_C^2 \quad (4.41)$$

$$I_{T0}^2 = I_C^2 \quad (4.42)$$

Box 4.9c: HL-Ströme innerhalb des DZ-DC-SM

 $U_{T0}$ -Anteil:

$$|\overline{I_{T1}}| = |\overline{I_{T4}}| = \frac{1}{2} |\overline{I_a}| + |\overline{I_C}| - |\overline{I_x}| - |\overline{I_z}| \quad (4.43)$$

$$|\overline{I_{T2}}| = |\overline{I_{T3}}| = \frac{1}{2} |\overline{I_a}| - |\overline{I_C}| + |\overline{I_x}| + |\overline{I_z}| \quad (4.44)$$

$$|\overline{I_{T5}}| = 2 |\overline{I_z}| \quad (4.45)$$

$$|\overline{I_{T6}}| = |\overline{I_{T7}}| = \frac{1}{2} |\overline{I_a}| - |\overline{I_z}| \quad (4.46)$$

$$|\overline{I_{T01}}| = |\overline{I_{T02}}| = |\overline{I_C}| \quad (4.47)$$

 $R_T|R_{DSon}$ -Anteil:

$$I_{T1}^2 = I_{T4}^2 = \frac{1}{4} I_a^2 + I_y^2 + \frac{1}{2} I_C^2 - \frac{3}{2} I_z^2 \quad (4.48)$$

$$I_{T2}^2 = I_{T3}^2 = \frac{1}{4} I_a^2 - I_y^2 + \frac{1}{2} I_C^2 + \frac{1}{2} I_z^2 \quad (4.49)$$

$$I_{T5}^2 = 2 I_z^2 \quad (4.50)$$

$$I_{T6}^2 = I_{T7}^2 = \frac{1}{4} I_a^2 - \frac{1}{2} I_z^2 \quad (4.51)$$

$$I_{T01}^2 = I_{T02}^2 = \frac{1}{2} I_C^2 + I_z^2 \quad (4.52)$$

**Box 4.10: MMC-System- und Hilfsströme ( $-\pi \leq \varphi \leq +\pi$ )**

Hilfsparameter für die Berechnung der Gleichungen 4.58 und 4.60:

$$h = \frac{k}{\frac{k+1}{2r} - 1}$$

Betragsmittelwerte der MMC-Systemströme (siehe Abb. 4.22a):

$$|\overline{I_a}| = \frac{|I_d|}{3} \frac{2}{\pi} \left[ \sqrt{m^2 - 1} + \arcsin \left( \frac{1}{|m|} \right) \right] \quad (4.53)$$

$$|\overline{I_C}| = \frac{|I_d|}{3} \frac{2}{\pi} \frac{r}{k+1} \left[ \sqrt{k^2 - 1} \left( 1 - \frac{1}{k^2} \right) + \sqrt{m^2 - 1} \left( 1 - \frac{1}{m^2} \right) \right] \quad (4.54)$$

Quadratische RMS-Werte der MMC-Systemströme (siehe Abb. 4.22b):

$$I_a^2 = \left( \frac{I_d}{3} \right)^2 \left[ \frac{m^2}{2} + 1 \right] \quad (4.55)$$

$$I_C^2 = \left( \frac{I_d}{3} \right)^2 \frac{1}{\pi} \cdot \frac{r}{k+1} \left[ \sqrt{k^2 - 1} \left( \frac{4}{k^2} + 2 \right) - \frac{8}{3k^2} \sqrt{k^2 - 1} \left( \frac{1}{k^2} + 2 \right) - 2 \arcsin \left( \frac{1}{k} \right) + m^2 \left[ \frac{1}{3} \sqrt{k^2 - 1} \left( \frac{1}{k^2} + 2 \right) + \arcsin \left( \frac{1}{k} \right) \right] \right] \quad (4.56)$$

Betragsmittelwerte der MMC-Hilfsströme (siehe Abb. 4.22a):

$$|\overline{I_x}| = \frac{|I_d|}{3} \frac{2}{\pi} \frac{r}{k+1} \sqrt{k^2 - 1} \left( 1 - \frac{1}{k^2} \right) \quad (4.57)$$

$$|\overline{I_z}| = \begin{cases} |\overline{I_z}|_\alpha & \text{für } (-\pi + \varphi_{Gz} \leq \varphi \leq -\varphi_{Gz}) \wedge (\varphi_{Gz} \leq \varphi \leq \pi - \varphi_{Gz}) \\ |\overline{I_z}|_\beta & \text{sonst} \end{cases} \quad \left| \varphi_{Gz} = \arctan \left( \frac{\frac{k \cdot h}{2} - 1}{\sqrt{h^2 - 1}} \right) \right. \quad (4.58)$$

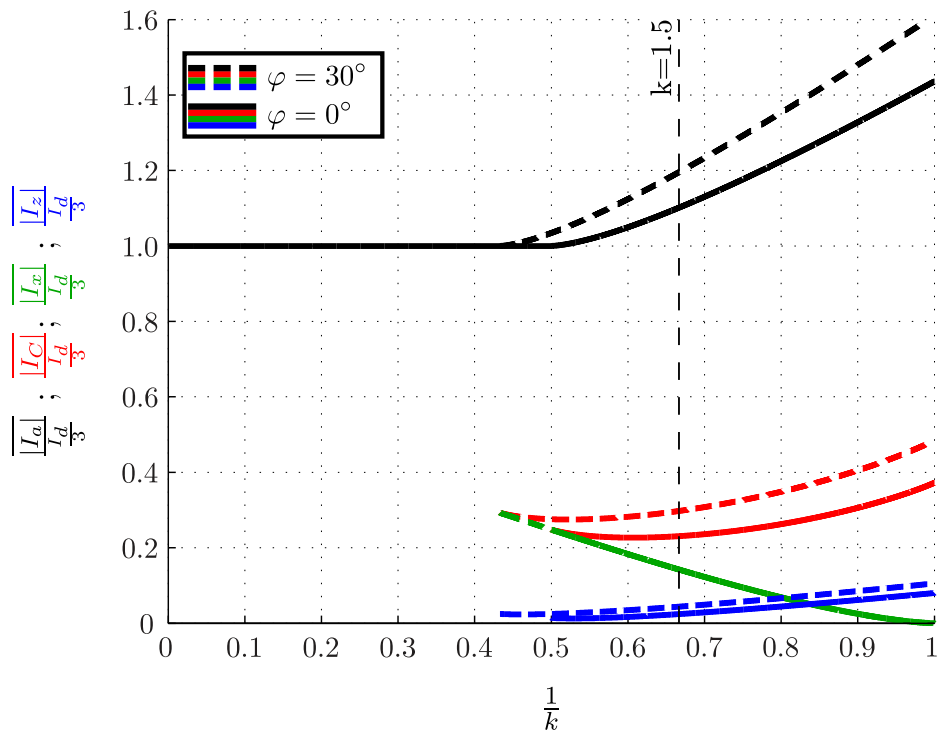
$$|\overline{I_z}|_\alpha = \frac{|I_d|}{3} \frac{1}{\pi} \frac{r}{k+1} \left[ \left( \frac{1}{m^2} + \frac{1}{h^2} + 1 \right) |\tan \varphi| - \sqrt{m^2 - 1} \left( \frac{1}{m^2} + \frac{k}{h} \right) + \left( \frac{k}{h} + 1 \right) \left| \frac{\pi}{2} - \arcsin \left( \frac{1}{m} \right) - |\varphi| \right| \right]$$

$$|\overline{I_z}|_\beta = \frac{|I_d|}{3} \frac{1}{\pi} \frac{r}{k+1} \left[ \sqrt{h^2 - 1} \left( \frac{1}{h^2} + \frac{k}{h} \right) - 2\sqrt{m^2 - 1} \left( \frac{1}{m^2} + \frac{k}{h} \right) + 2 \left( \frac{k}{h} + 1 \right) \left( \frac{\pi}{2} - \arcsin \left( \frac{1}{m} \right) - \frac{1}{2} \arccos \left( \frac{1}{h} \right) \right) \right]$$

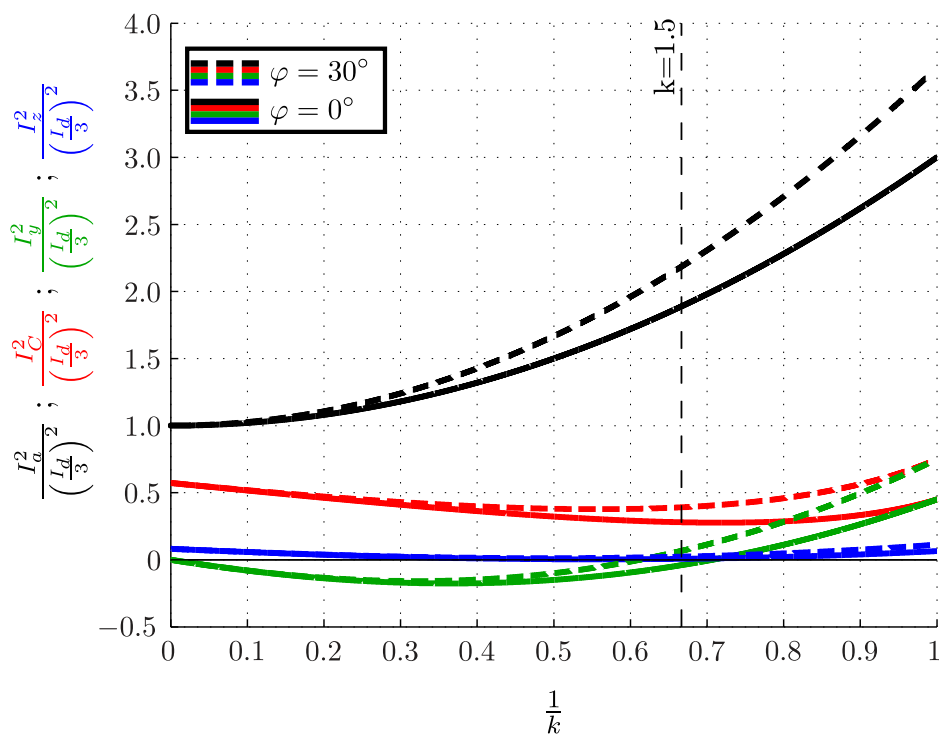
Quadratische RMS-Werte der MMC-Hilfsströme (siehe Abb. 4.22b):

$$I_y^2 = \left( \frac{I_d}{3} \right)^2 \frac{r}{k+1} \left[ \frac{m^2}{2} - 1 \right] \quad (4.59)$$

$$I_z^2 = \left( \frac{I_d}{3} \right)^2 \frac{1}{\pi} \cdot \frac{r}{k+1} \left[ \frac{1}{h^2} \sqrt{h^2 - 1} \left[ \frac{k}{h} \left( h^2 \left( \frac{4}{3} \frac{1}{k^2} + 1 \right) - \frac{4}{3} \frac{1}{k^2} \right) + 2 \right] - \arccos \left( \frac{1}{h} \right) \left( \frac{k}{h} + 2 \right) + m^2 \left[ \frac{1}{h^2} \sqrt{h^2 - 1} \left[ \frac{1}{3} \frac{k}{h} \left( h^2 + \frac{1}{2} \right) \right] - \frac{1}{2} \arccos \left( \frac{1}{h} \right) \frac{k}{h} \right] \right] \quad (4.60)$$



(a) Betragsmittelwerte der MMC-System- und Hilfsströme



(b) Quadratische RMS-Werte der MMC-System- und Hilfsströme

Abb. 4.22.: Normierte MMC-System- und Hilfsströme (siehe Box 4.10) für die Bestimmung der individuellen Halbleiterströme nach Box 4.9



## 5. Optimierte Dimensionierung des MMC mittels normierter Halbleiterparameter

Ziel dieses Kapitels ist es, die – in Kapitel 4 eingeführten – Berechnungsgrundlagen so zu erweitern, dass die wesentlichen Halbleiterverlustanteile in allgemeingültiger, normierter Form in analytischen Gleichungen berücksichtigt werden können. Es wird dabei angestrebt, sowohl Si- als auch SiC-Leistungshalbleiter mit ihren wesentlichen Verlustparametern – für die Schalt- sowie Durchlassverluste – in einheitlicher Form zu erfassen. Dadurch können auch MMC-Submodule mit „hybrider“ Halbleiterbestückung einbezogen werden, welche einen Kompromiss zwischen Investitionskosten sowie Effizienz darstellen. Um dies zu erreichen, müssen sinnvolle Normierungen der Halbleiterparameter und auch Näherungen – insbesondere Linearisierungen – gewisser Funktionen vorgenommen werden.

Die Schaltenergien der HV-IGBT und SiC-FET können hierfür mit den Zusammenhängen aus Box 5.1 – dargestellt mit Steigung und Offset – bestimmt werden, welche sich direkt aus einer Modifikation der Gleichungen 4.19 bis 4.21 ergeben. Da die Schaltenergien beim Ausschalten von SiC-Dioden prinzipiell insignifikant sind, werden diese für die folgenden Untersuchungen grundsätzlich vernachlässigt. Die Durchlasskennlinien aller Leistungshalbleiter können direkt in den bekannten, linearisierten Formen (Gl. 4.28 und 4.29) verwendet werden. Die numerische Genauigkeit der Gleichungen für Halbleiter mit

### Box 5.1: Linearisierte Energieverluste beim Schalten der HV-IGBT und SiC-FET

Energieverluste beim Schalten der HV-IGBT:

$$W_{on,IGBT}(\omega t_j) = \frac{\Delta W_{on,IGBT}}{\Delta I} \cdot i_{HL}(\omega t_j) \cdot \frac{\bar{U}_C}{U_{nom}} \quad (5.1)$$

$$W_{off,IGBT}(\omega t_j) = \frac{\Delta W_{off,IGBT}}{\Delta I} \cdot i_{HL}(\omega t_j) \cdot \frac{\bar{U}_C}{U_{nom}} \quad (5.2)$$

$$W_{rec,IGBT}(\omega t_j) = \left( W_{rec,0,IGBT} + \frac{\Delta W_{rec,IGBT}}{\Delta I} \cdot i_{HL}(\omega t_j) \right) \cdot \frac{\bar{U}_C}{U_{nom}} \quad (5.3)$$

Energieverluste beim Schalten der SiC-FET:

$$W_{on,FET}(\omega t_j) = \frac{\Delta W_{on,FET}}{\Delta I} \cdot i_{HL}(\omega t_j) \cdot \frac{\bar{U}_C}{U_{nom}} \quad (5.4)$$

$$W_{off,FET}(\omega t_j) = \frac{\Delta W_{off,FET}}{\Delta I} \cdot i_{HL}(\omega t_j) \cdot \frac{\bar{U}_C}{U_{nom}} \quad (5.5)$$

bipolarem Leitungstyp (Si-IGBT) sind vor allem im Bereich kleiner Stromdichten zwar nicht exakt abbildbar (siehe Abb. 4.21), jedoch können die gewonnenen Ergebnisse als gute Basis für eine grundlegende Dimensionierung des MMC angewendet werden. Besonders bei den hybriden Bestückungsvarianten ist es zweckmäßig, verschiedene Halbleiter-Chipflächen aufgrund von Technologie-, Prozess- und Preisentwicklung zu berücksichtigen. Hierzu soll bei der durchgeführten Verlustbetrachtung eine Variation des Verhältnisses der differentiellen Widerstände ( $\frac{R_{DSon}}{R_T}$ ) – von SiC-FET zu Si-IGBT – eingeführt werden.

Tabelle 5.1 fasst einen, konservativ angenommenen, Satz von Kenndaten für die Verlustbetrachtung der Leistungshalbleiter zusammen. Die allgemein geeigneten Methoden zur linearen Approximation der Halbleiterparameter für die Schalt- und Durchlassverluste sind – aus Gründen der Übersicht – im Anhang B dieser Arbeit angegeben.

Tab. 5.1.: Approximierte Halbleiterparameter eines HV-IGBT und eines SiC-FET aus der 3.3 kV-Spannungsklasse (Bestimmung der Parameter siehe Anhang B)

Halbleitertyp	Durchlassparameter		Schaltparameter			
	$U_{T0}$	$R_T$ $R_{DSon}$	$\frac{\Delta W_{on,HL}}{\Delta I}$	$\frac{\Delta W_{off,HL}}{\Delta I}$	$W_{rec,0,HL}$	$\frac{\Delta W_{rec,HL}}{\Delta I}$
HV-IGBT	1.20 V	0.75 m $\Omega$	2 $\frac{J}{kA}$	2 $\frac{J}{kA}$	1 J	1 $\frac{J}{kA}$
SiC-FET	—	{2, 3, 4} · $R_T$	1 $\frac{J}{kA}$	0.5 $\frac{J}{kA}$	0	0

Die weiteren Untersuchungen für die optimierte Dimensionierung des MMC und die Bestimmung dessen Wirkungsgrad für einen typ. Arbeitspunkt<sup>1</sup> nach Tab. 4.3 bedienen sich der analytischen Zusammenhänge aus Abschnitt 4.3 und sollen grundsätzlich in zwei Schritten erfolgen. Jedem dieser Schritte wird innerhalb dieses Kapitels ein eigener Abschnitt gewidmet. Zunächst seien für die untersuchten Submodul-Topologien (FB-SM, DZ-SM, DZ-DC-SM) verschiedene Bestückungsvarianten vorgestellt und verglichen, welche sich aus den HV-IGBT sowie SiC-FET Halbleitern nach Tab. 5.1 zusammensetzen. Die Variation der Anzahl von SiC-Bauelementen gibt dabei grundsätzlich Aufschluss darüber, ob sich die finanzielle Investition auch in einer Erhöhung des Wirkungsgrades widerspiegelt. Anschließend soll eine reine SiC-Bestückung der vorgestellten Submodule analysiert werden und deren Wirkungsgrade durch eine Optimierung der individuellen Halbleiter-Chipflächen innerhalb der Submodule verbessert werden.

<sup>1</sup>Neben den beiden bekannten Arbeitspunkten ( $\varphi = 30^\circ$ ;  $\varphi = -150^\circ$ ) wird zusätzlich noch der reine Wirkleistungsbetrieb ( $\varphi = 0^\circ$ ) untersucht. Die Tabellen mit den Schaltverlusten der drei Submodul-Topologien für den reinen Wirkleistungsbetrieb sind dem Anhang C zu entnehmen.

## 5.1. Halbleiter-Bestückungsvarianten innerhalb der Submodule

Die unterschiedlichen Halbleiter-Bestückungsvarianten für die vorgestellten Submodul-Topologien (FB-SM, DZ-SM, DZ-DC-SM) sind in den Abbildungen 5.1, 5.2 und 5.3 gezeigt, wobei die Farbgebung den Halbleitertyp:

- ) HV-IGBT
- ) SiC-FET

hervorhebt. Es kann dabei vernommen werden, dass die Bestückungsvarianten in den Subbildern von links nach rechts eine ansteigende Anzahl von SiC-Bauelementen aufweisen. Die Tabelle 5.2 verdeutlicht dies mit einer Zuweisung von römischen Zahlen zu der jeweiligen Submodul-Topologie und Bestückungsvariante.

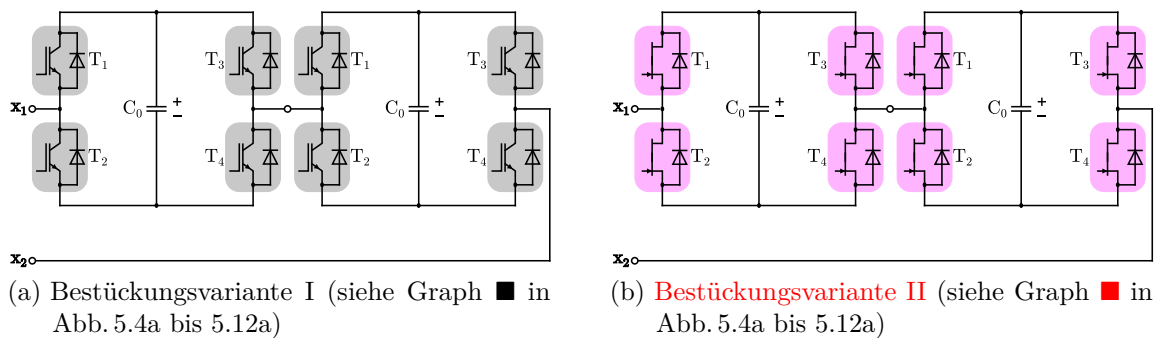


Abb. 5.1.: Verschiedene Bestückungsvarianten des FB-SM

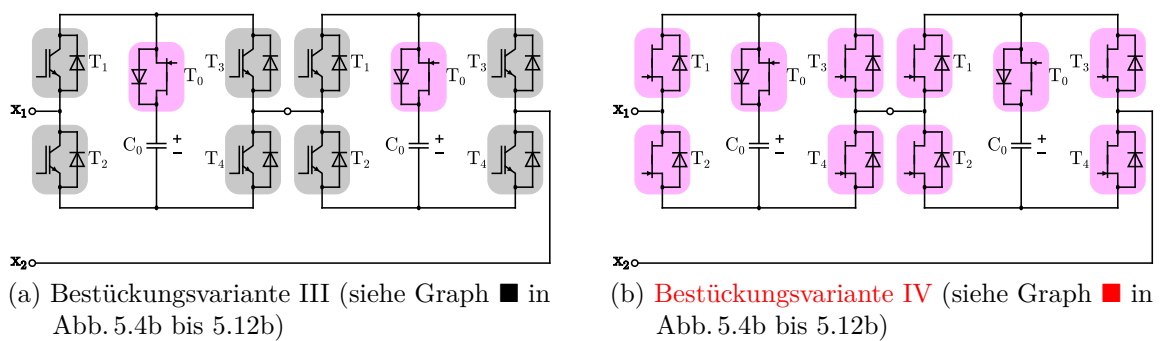


Abb. 5.2.: Verschiedene Bestückungsvarianten des DZ-SM

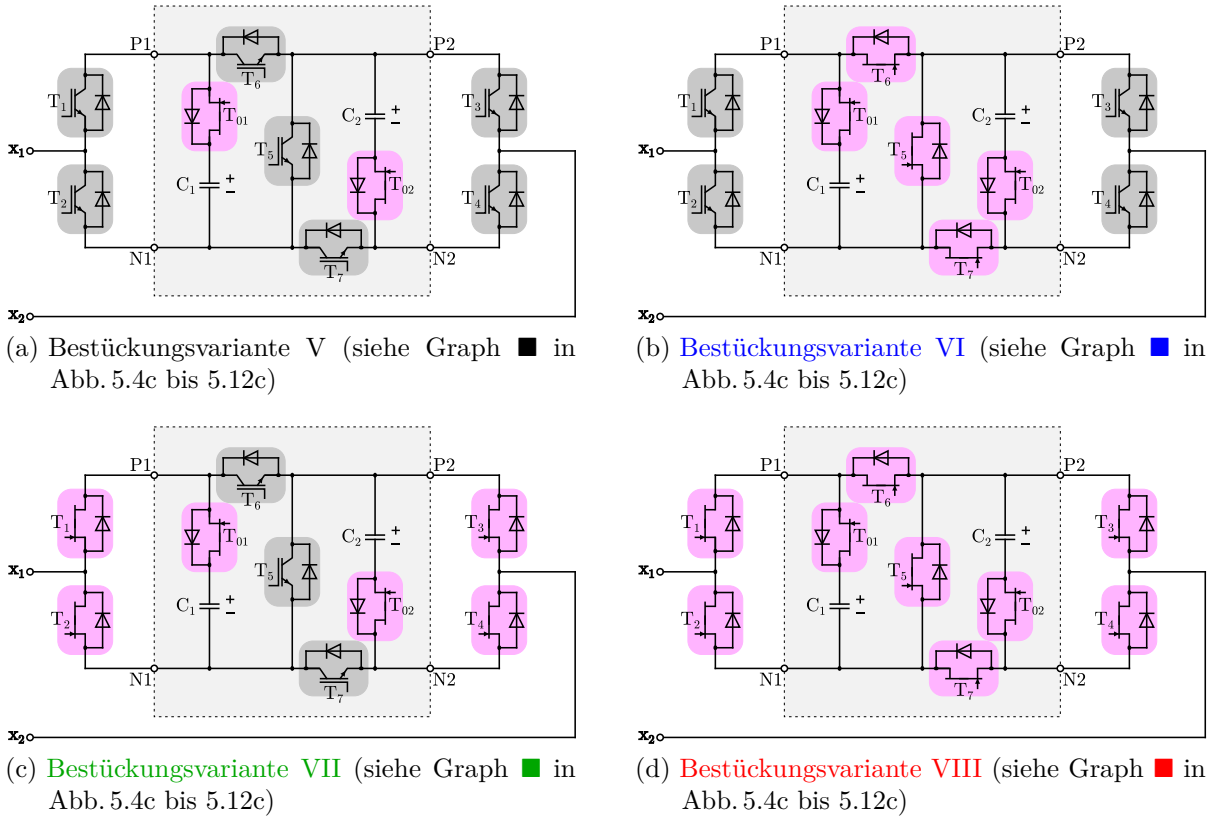


Abb. 5.3.: Verschiedene Bestückungsvarianten des DZ-DC-SM

Tab. 5.2.: Bezeichnung der Halbleiter-Bestückungsvarianten

	Bestückungsvariante			
HL-Aufwand	min. SiC ↔ max. SiC			
FB-SM	I	—	—	II
DZ-SM	III	—	—	IV
DZ-DC-SM	V	VI	VII	VIII

Die Farben (■, ■, ■, ■) indizieren die Anzahl der verwendeten SiC-Bauelemente in aufsteigender Reihenfolge. Bei dem FB-SM und DZ-SM sind jeweils zwei Bestückungsvarianten vorgesehen. Da arbeitspunktabhängig eine Verschiebung der Verluste in  $T_1/T_4$  bzw.  $T_2/T_3$  hervorgerufen wird, birgt eine asymmetrische Halbleiterbestückung keine Vorteile. Die minimale SiC-Bestückung des DZ-SM besitzt im Gegensatz zum FB-SM stets den SiC-FET im Kondensatorpfad. Wie es im letzten Kapitel bereits erläutert wurde, ist der Halbleiter-Chipaufwand für SiC-FET sehr gering, weil die mittlere Strombelastung in dem Kondensatorpfad ohnehin deutlich niedriger ausfällt. Die maximale SiC-Bestückung beider Topologien ist vollständig mit SiC-FET-Bauelementen ausgeführt. Bei dem DZ-



DC-SM können vier sinnvolle Bestückungsvarianten betrachtet werden. Bewertet man die dominierenden Haupt-Schaltzustände  $\pm U_C$  und  $0\text{ V}$  nach Abb. 4.5, kann man erkennen, dass sich die vier Varianten in ihrer summarisch auftretenden  $U_{T0}$ -Komponente der Durchlassspannung unterscheiden:

- Bestückungsvariante V  $\rightarrow 3 \cdot U_{T0}$
- Bestückungsvariante VI  $\rightarrow 2 \cdot U_{T0}$
- Bestückungsvariante VII  $\rightarrow 1 \cdot U_{T0}$
- Bestückungsvariante VIII  $\rightarrow 0 \cdot U_{T0}$ .

Von der Variante V (■) zu der Variante VIII (■) nimmt also nicht nur die Anzahl der SiC-Halbleiterbauelemente zu, sondern auch der resultierende  $U_{T0}$ -Anteil der Durchlassspannung des Submoduls ab.

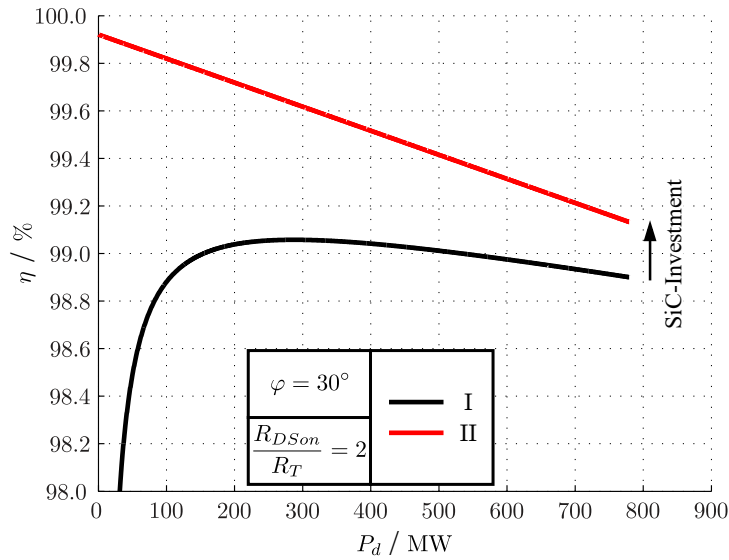
Um die Abhängigkeit nicht nur von dem Arbeitspunkt, sondern auch von der bestückten SiC-Halbleiterfläche zu zeigen, sind auf den folgenden Seiten (in Abb. 5.4 bis 5.12) die Wirkungsgrade ( $\eta$ ) für verschiedene Phasenverschiebungen ( $\varphi$ ) und Verhältnisse der differentiellen Widerstände ( $\frac{R_{Dson}}{R_T}$ ) über der Wirkleistung ( $P_d$ ) des Umrichters aufgetragen. Dabei stellen die Teilbilder (a), (b) und (c) nach Tab. 5.2 je Seite die Ergebnisse für die jeweilige Submodul-Topologie dar:

- a) FB-SM
- b) DZ-SM
- c) DZ-DC-SM.

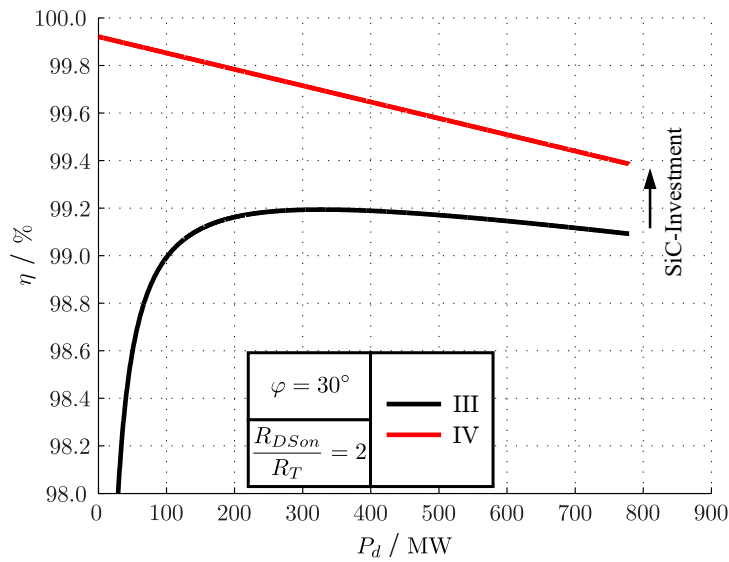
Zunächst soll das Augenmerk – bei dem Konstanthalten der Phasenverschiebung  $\varphi$  – auf die Variation des Verhältnisses des differentiellen Widerstandes  $\frac{R_{Dson}}{R_T}$  gerichtet werden (Abb. 5.4 bis 5.6). Tabelle 5.3 ermöglicht eine Übersicht der dargestellten Graphen. Es sei angemerkt, dass bei allen Berechnungen die Wirkleistung  $P_d$  von null bis zum Nennarbeitspunkt (mit der Scheinleistung von  $S = 900\text{ MVA}$ ) aufgetragen ist. Die Graphen mit einer von  $\varphi = 0^\circ$  verschiedenen Phasenverschiebung weisen dabei eine reduzierte maximale Wirkleistung (von  $P_d = 780\text{ MW}$ ) auf.

Tab. 5.3.: Übersichtsverzeichnis für die Submodul-Wirkungsgrade der Abbildungen 5.4 bis 5.12

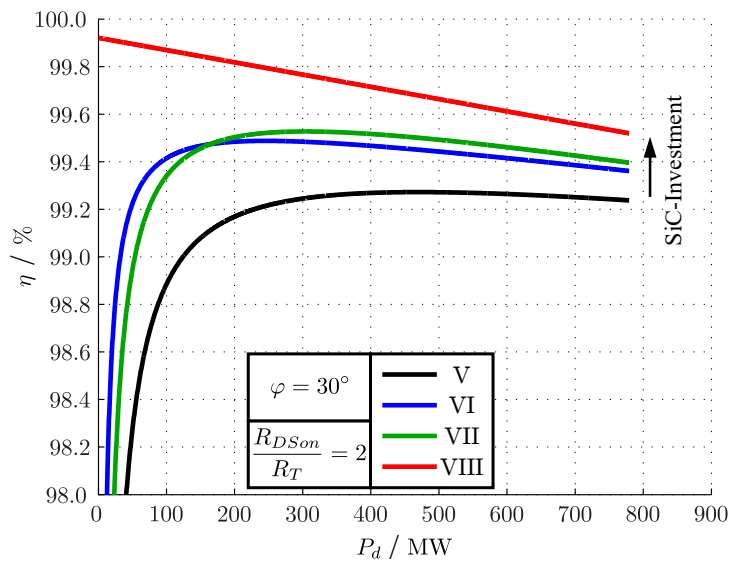
		$\frac{R_{Dson}}{R_T}$		
		2	3	4
$\varphi$	$30^\circ$	Abb. 5.4	Abb. 5.5	Abb. 5.6
	$-150^\circ$	Abb. 5.7	Abb. 5.8	Abb. 5.9
	$0^\circ$	Abb. 5.10	Abb. 5.11	Abb. 5.12



(a) FB-SM mit der Bestückung nach Abb. 5.1

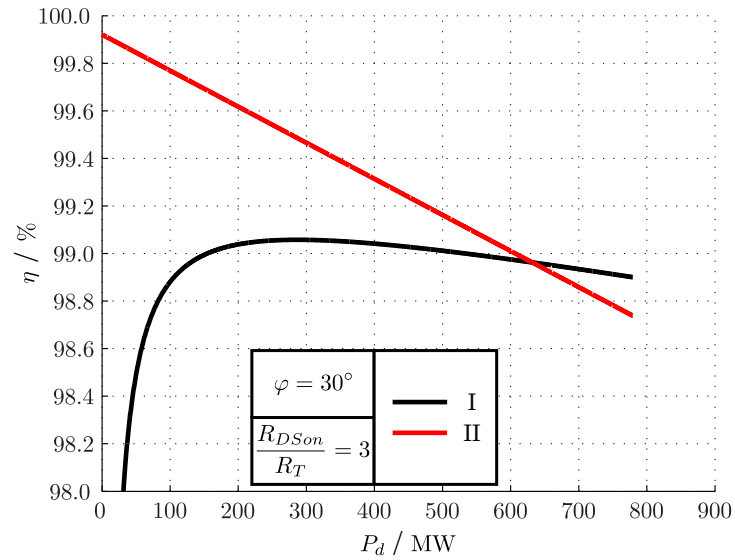


(b) DZ-SM mit der Bestückung nach Abb. 5.2

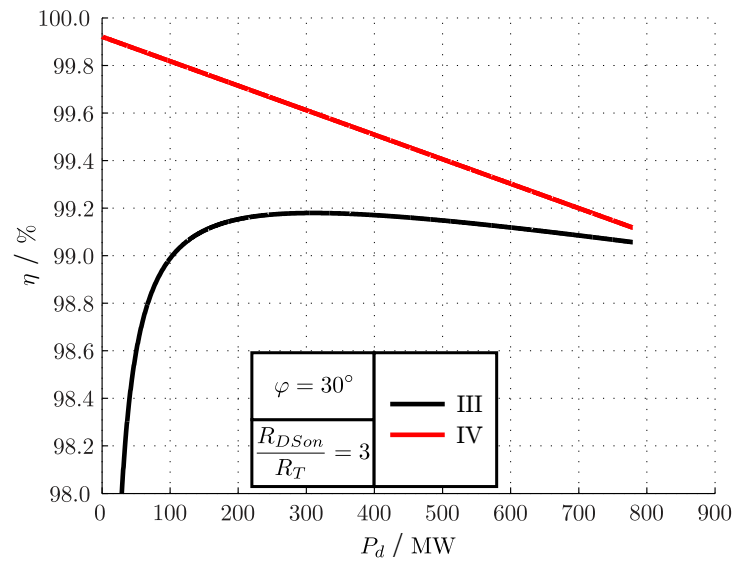


(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

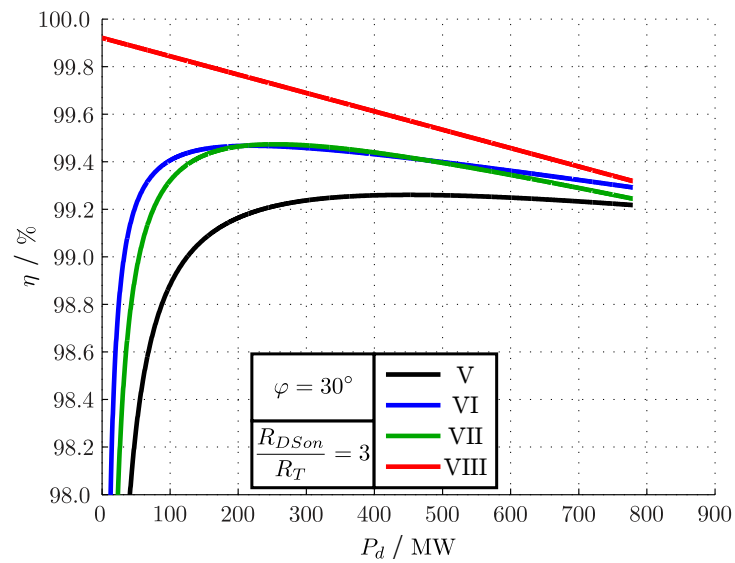
Abb. 5.4.: Submodul-Wirkungsgrad ( $\varphi = 30^\circ$  ;  $\frac{R_{DSon}}{R_T} = 2$ )



(a) FB-SM mit der Bestückung nach Abb. 5.1

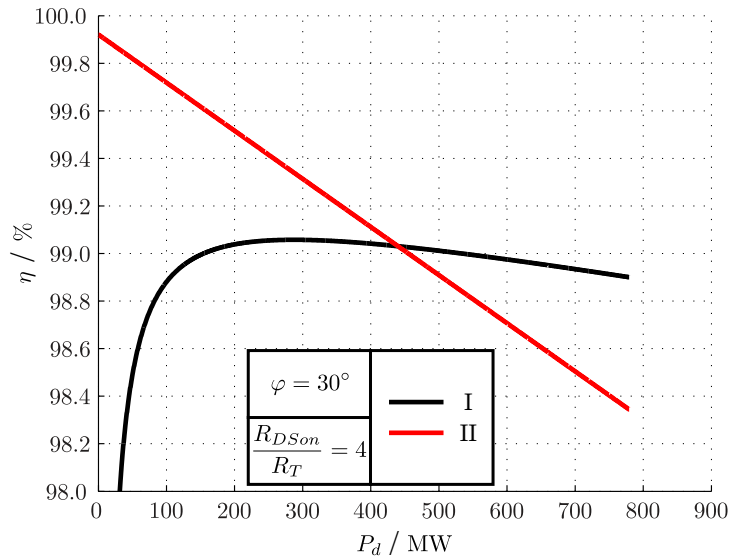


(b) DZ-SM mit der Bestückung nach Abb. 5.2

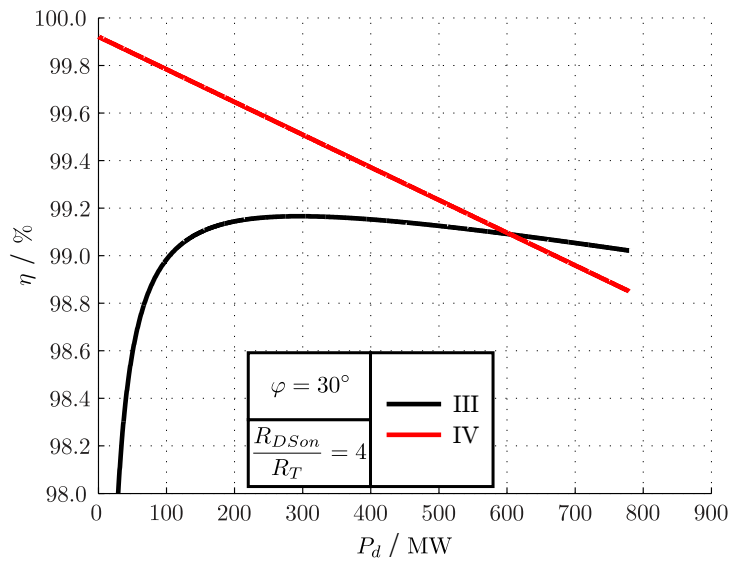


(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

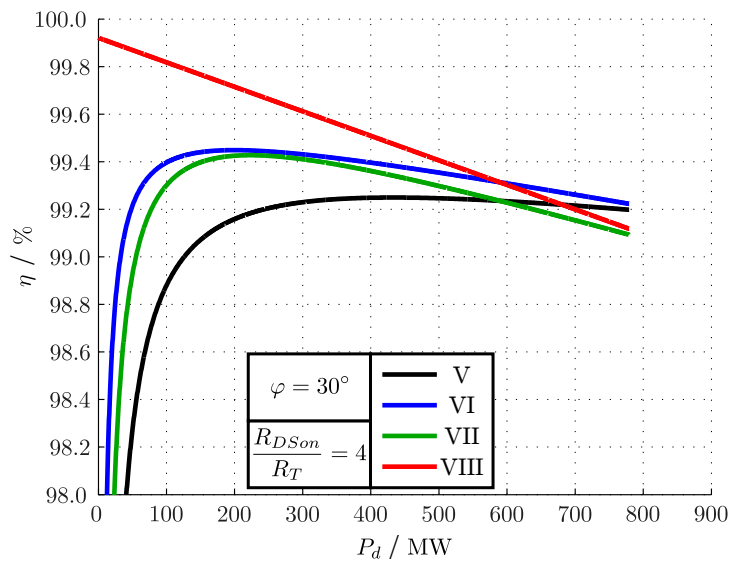
Abb. 5.5.: Submodul-Wirkungsgrad ( $\varphi = 30^\circ$  ;  $\frac{R_{DSon}}{R_T} = 3$ )



(a) FB-SM mit der Bestückung nach Abb. 5.1

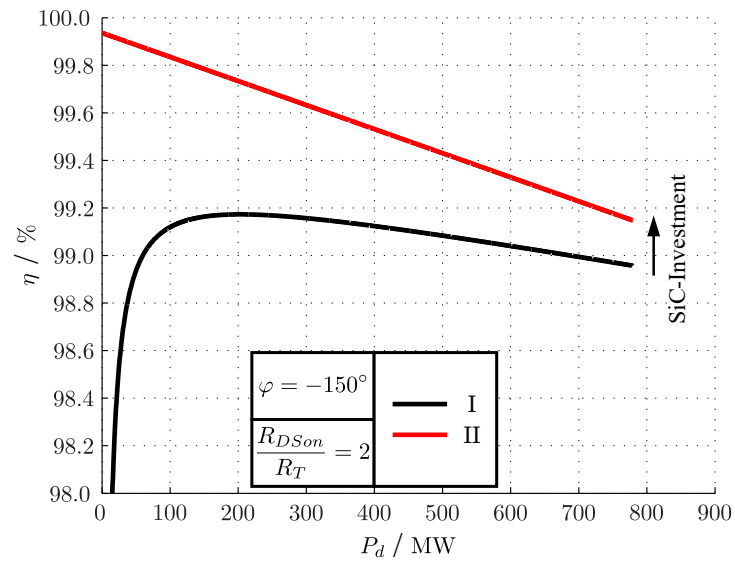


(b) DZ-SM mit der Bestückung nach Abb. 5.2

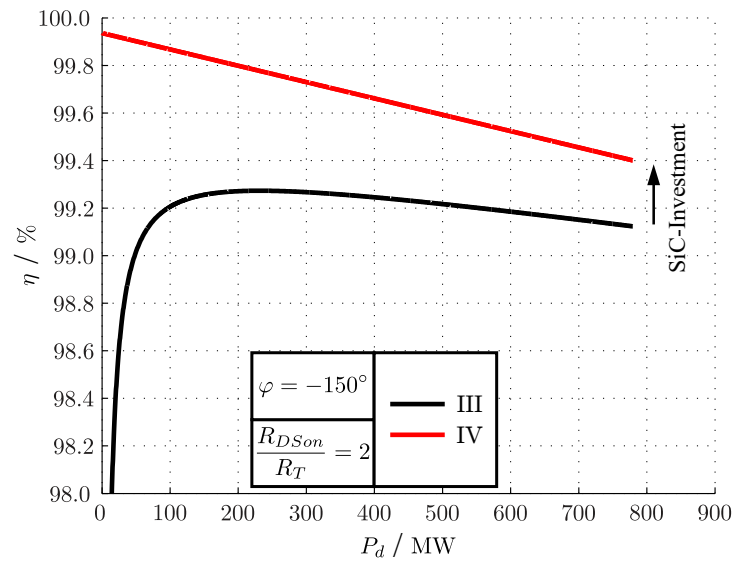


(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

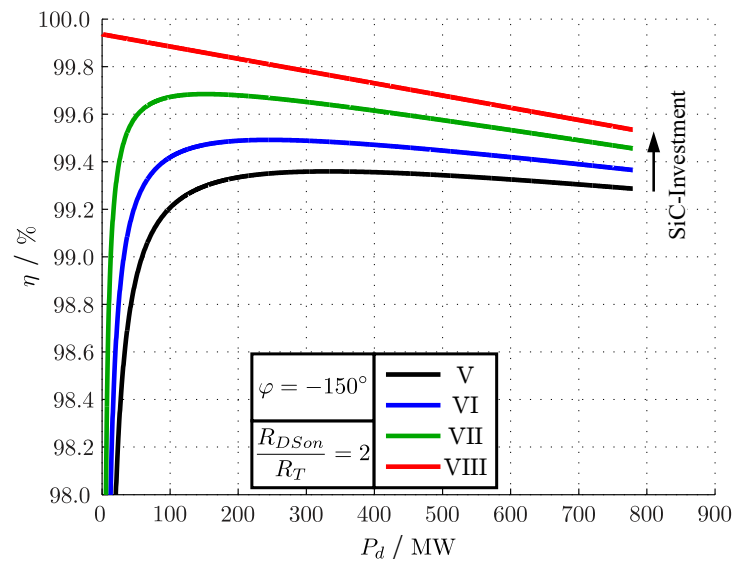
Abb. 5.6.: Submodul-Wirkungsgrad ( $\varphi = 30^\circ$  ;  $\frac{R_{DSon}}{R_T} = 4$ )



(a) FB-SM mit der Bestückung nach Abb. 5.1

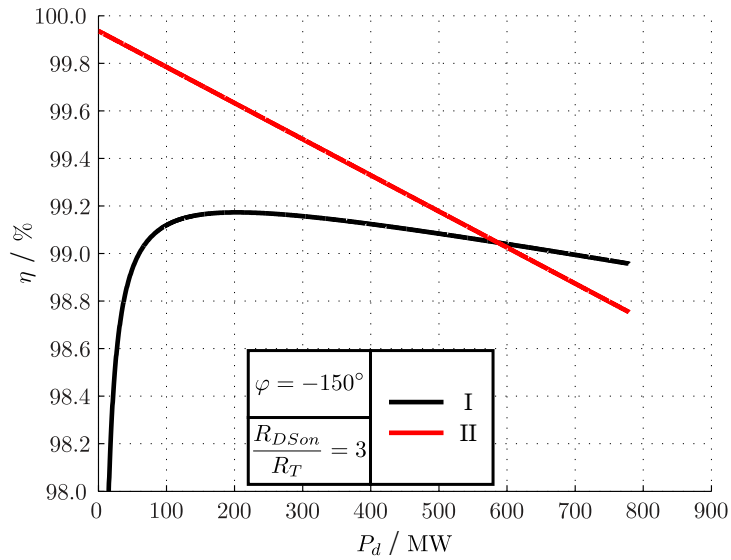


(b) DZ-SM mit der Bestückung nach Abb. 5.2

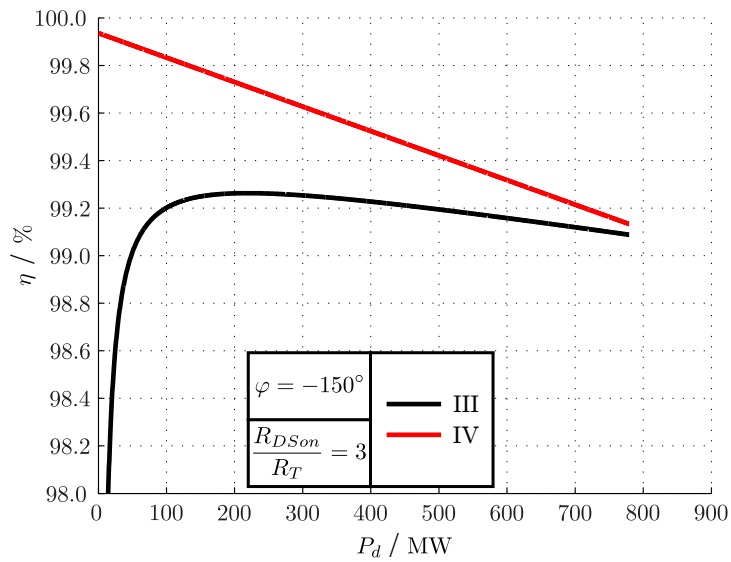


(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

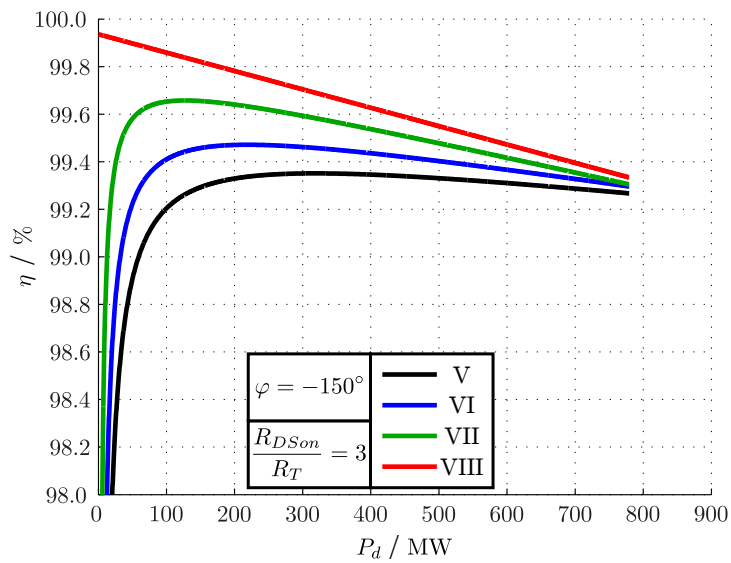
Abb. 5.7.: Submodul-Wirkungsgrad ( $\varphi = -150^\circ$  ;  $\frac{R_{DSon}}{R_T} = 2$ )



(a) FB-SM mit der Bestückung nach Abb. 5.1

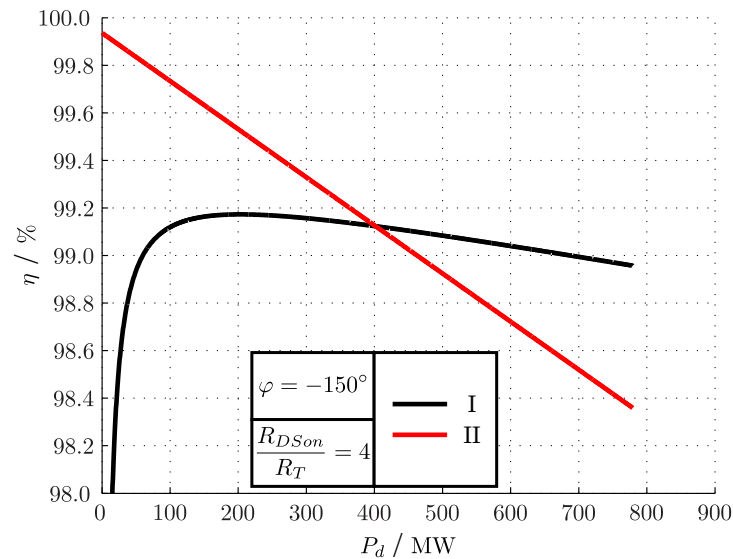


(b) DZ-SM mit der Bestückung nach Abb. 5.2

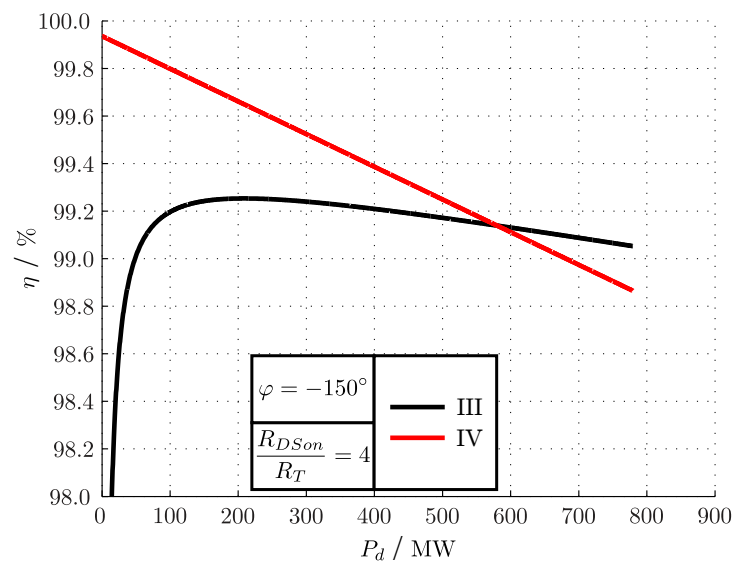


(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

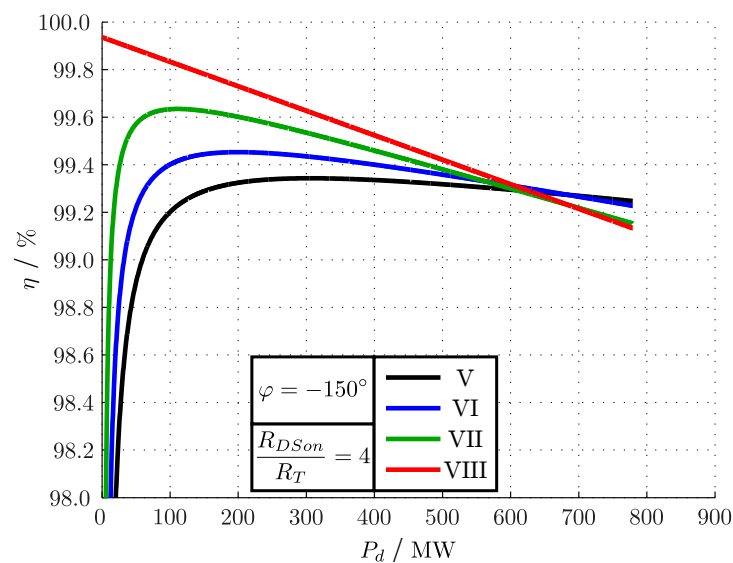
Abb. 5.8.: Submodul-Wirkungsgrad ( $\varphi = -150^\circ$  ;  $\frac{R_{DSon}}{R_T} = 3$ )



(a) FB-SM mit der Bestückung nach Abb. 5.1

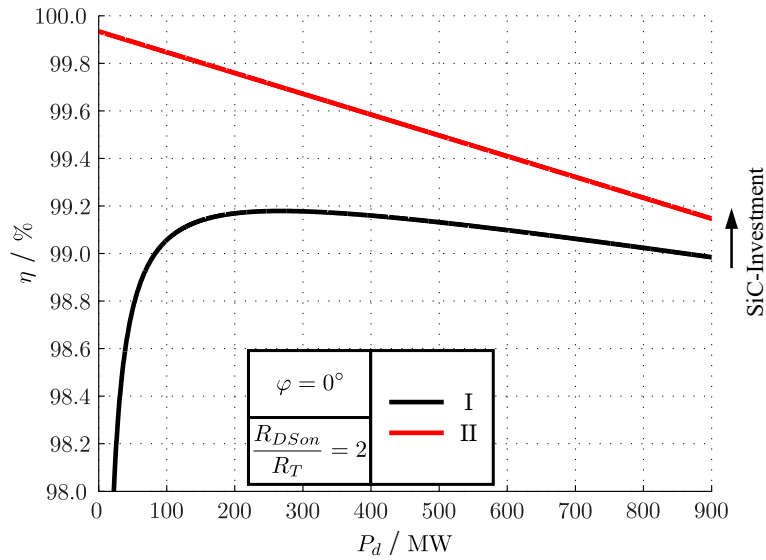


(b) DZ-SM mit der Bestückung nach Abb. 5.2

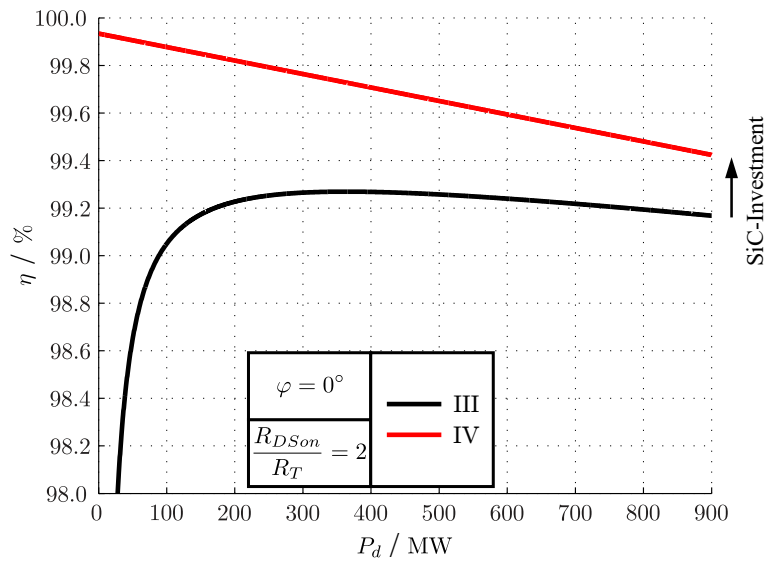


(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

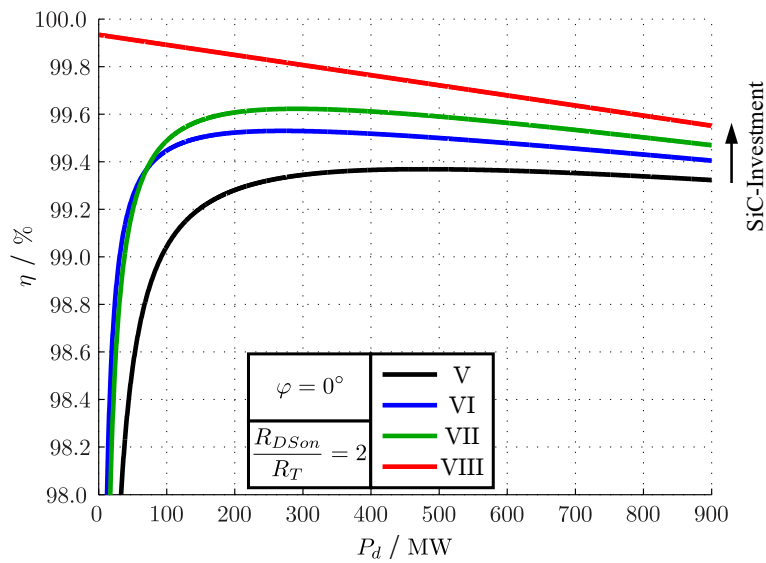
Abb. 5.9.: Submodul-Wirkungsgrad ( $\varphi = -150^\circ$  ;  $\frac{R_{DS(on)}}{R_T} = 4$ )



(a) FB-SM mit der Bestückung nach Abb. 5.1



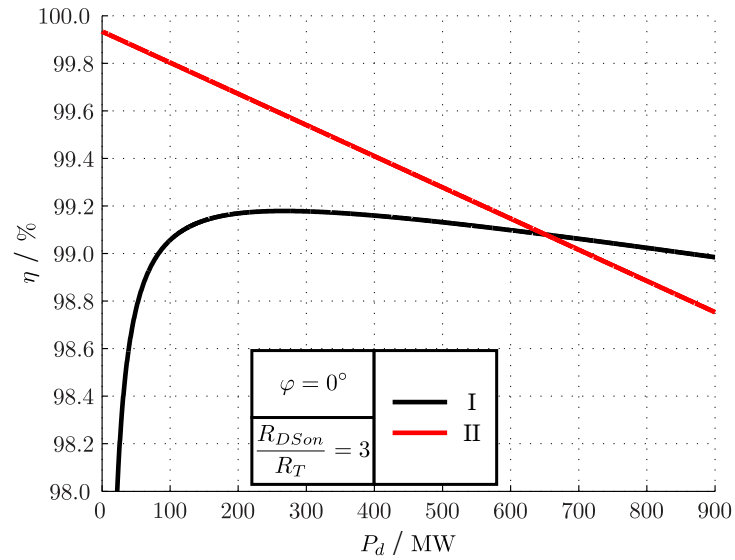
(b) DZ-SM mit der Bestückung nach Abb. 5.2



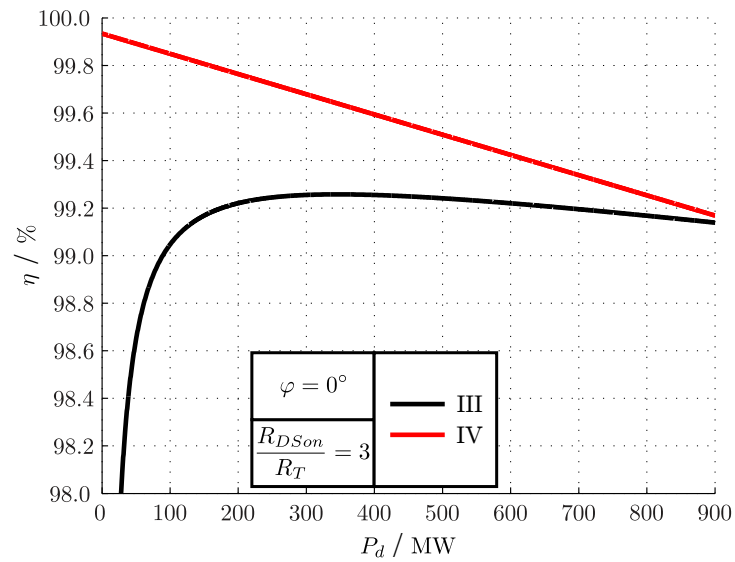
(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

Abb. 5.10.: Submodul-Wirkungsgrad ( $\varphi = 0^\circ$  ;  $\frac{R_{DSon}}{R_T} = 2$ )

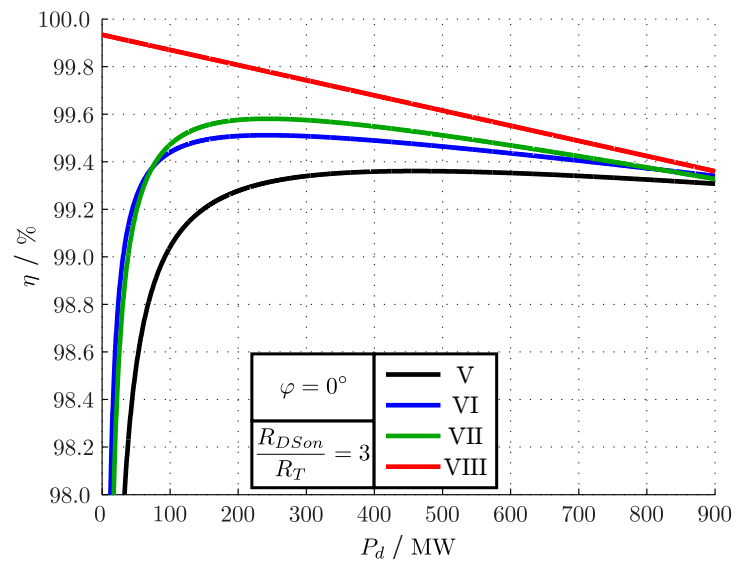




(a) FB-SM mit der Bestückung nach Abb. 5.1

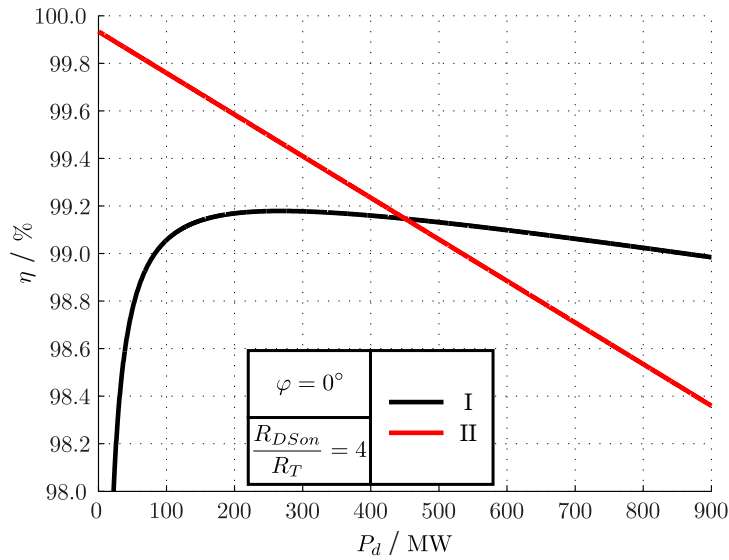


(b) DZ-SM mit der Bestückung nach Abb. 5.2

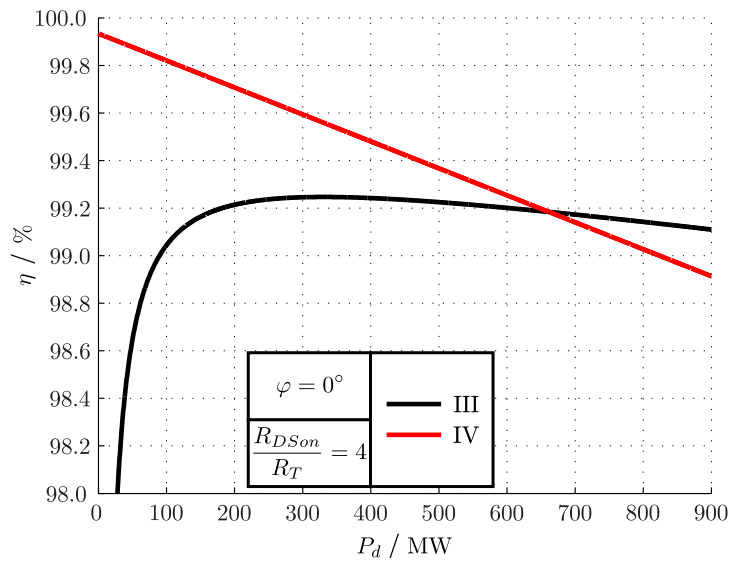


(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

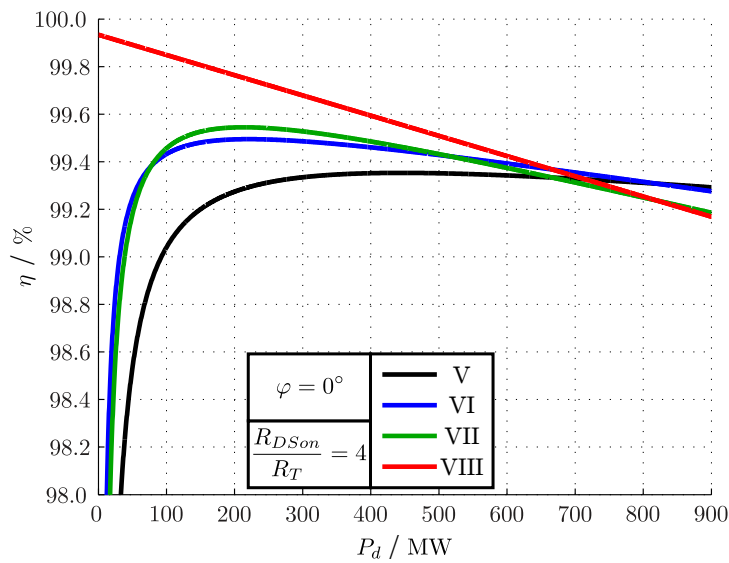
Abb. 5.11.: Submodul-Wirkungsgrad ( $\varphi = 0^\circ$  ;  $\frac{R_{DSon}}{R_T} = 3$ )



(a) FB-SM mit der Bestückung nach Abb. 5.1



(b) DZ-SM mit der Bestückung nach Abb. 5.2



(c) DZ-DC-SM mit der Bestückung nach Abb. 5.3

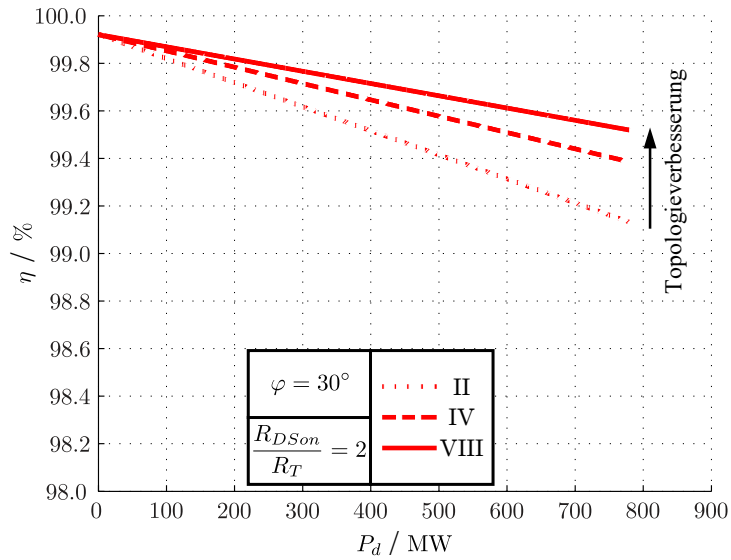
Abb. 5.12.: Submodul-Wirkungsgrad ( $\varphi = 0^\circ$  ;  $\frac{R_{DSon}}{R_T} = 4$ )

Beginnend mit einer Phasenverschiebung von  $\varphi = 30^\circ$  werden in Abb. 5.4 die Wirkungsgrade für ein Widerstandsverhältnis von  $\frac{R_{DSon}}{R_T} = 2$  dargestellt. Die Verläufe der Kurven lassen dabei Folgendes deutlich werden: Je weniger SiC-FET-Halbleiterbauelemente in dem Submodul verbaut werden, desto geringer ist – aufgrund der konstanten  $U_{T0}$ -Komponente der Durchlassspannung der IGBT – die Effizienz im Teillastbetrieb. Im Vollastbetrieb nähern sich diese dann asymptotisch. Die Verbesserung des Wirkungsgrades für die minimale SiC-Halbleiterbestückung (I  $\rightarrow$  III) von dem FB-SM zum DZ-SM beläuft sich im Nennarbeitspunkt auf ca. 0.2 %. Bei der maximalen SiC-Bestückung (II  $\rightarrow$  IV) kann die Effizienz sogar um weitere ca. 0.05 % gesteigert werden. Das DZ-DC-SM ermöglicht bei der minimalen und maximalen SiC-Halbleiterbestückung im Vergleich zum DZ-SM (III  $\rightarrow$  V bzw. IV  $\rightarrow$  VIII) sogar noch eine zusätzliche Effizienzsteigerung von mehr als 0.1 % (und somit im Vergleich zum FB-SM mehr als 0.35 %).

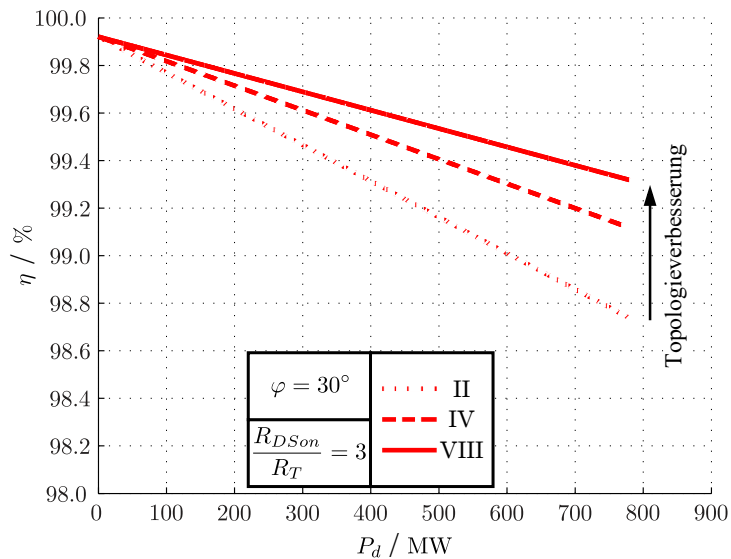
Mit der Erhöhung des Widerstandsverhältnisses  $\frac{R_{DSon}}{R_T}$  in Abb. 5.5 und 5.6 wird ersichtlich, dass der Wirkungsgrad der Submodule bei den Bestückungsvarianten mit vielen SiC-Halbleitern schon vor dem Erreichen des Nennarbeitspunktes geringer ausfallen kann. Bei dem Verhältnis von  $\frac{R_{DSon}}{R_T} = 3$  kann das FB-SM mit reiner SiC-Bestückung schon nicht mehr vollständig angesteuert werden, da es dort schon höhere Verluste als die Variante mit reiner IGBT-Bestückung aufweist. Die vernachlässigbare Effizienzverbesserung im Nennarbeitspunkt für die Topologien DZ-SM und DZ-DC-SM ist durch die deutlichen Mehrkosten der SiC-Bauelemente ebenfalls nicht mehr vertretbar. Bei einem Verhältnis von  $\frac{R_{DSon}}{R_T} = 4$  ist die SiC-Bestückung für keine der Topologien mehr wirtschaftlich implementierbar.

Betrachtet man die hybriden Bestückungsvarianten des DZ-DC-SM mit mittlerer SiC-Halbleiteranzahl (VI und VII), erkennt man einen angemessenen Kompromiss zwischen Kostenaufwand und Wirkungsgrad. Auch im Teillastbereich ergeben sich bei diesen im Vergleich zur minimalen Bestückungsvariante deutlich verbesserte Wirkungsgrade. Für die Betriebsbereiche mit einer Phasenverschiebung von  $\varphi = -150^\circ$  und  $\varphi = 0^\circ$  zeigen Abb. 5.7c und 5.10c die Wirkungsgrade des DZ-DC-SM bei dem geringsten Widerstandsverhältnis ( $\frac{R_{DSon}}{R_T} = 2$ ). Besonders in diesen beiden Graphen wird im Nennarbeitspunkt eine gleichmäßige Verbesserung der Effizienz (von 0.065 %  $\dots$  0.091 %) von einer Bestückungsvariante zur nächsten – und somit steigendem SiC-Investment – ersichtlich.

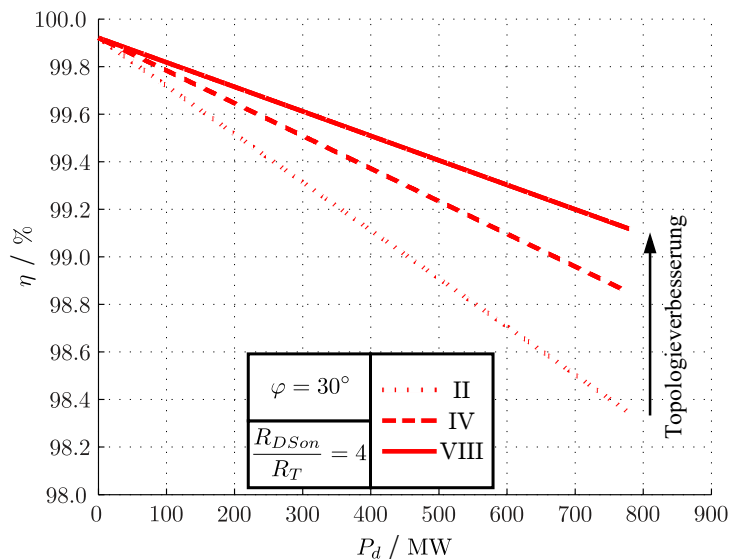
In Abbildung 5.13 sind noch einmal die Wirkungsgrade aller Submodul-Topologien mit reiner SiC-FET-Bestückung – beispielhaft mit einer Phasenverschiebung von  $\varphi = 30^\circ$  – aufgeführt. Die deutliche Verbesserung der Effizienz von 0.77 % bei einem Verhältnis von  $\frac{R_{DSon}}{R_T} = 4$  und die Verbesserung von 0.39 % bei einem Verhältnis von  $\frac{R_{DSon}}{R_T} = 2$  ist ausschließlich der Submodul-Topologie zuzuschreiben.



(a)  $\frac{R_{DSon}}{R_T} = 2$



(b)  $\frac{R_{DSon}}{R_T} = 3$



(c)  $\frac{R_{DSon}}{R_T} = 4$

Abb. 5.13.: Submodul-Wirkungsgrad bei  $\varphi = 30^\circ$  und maximaler SiC-Bestückung

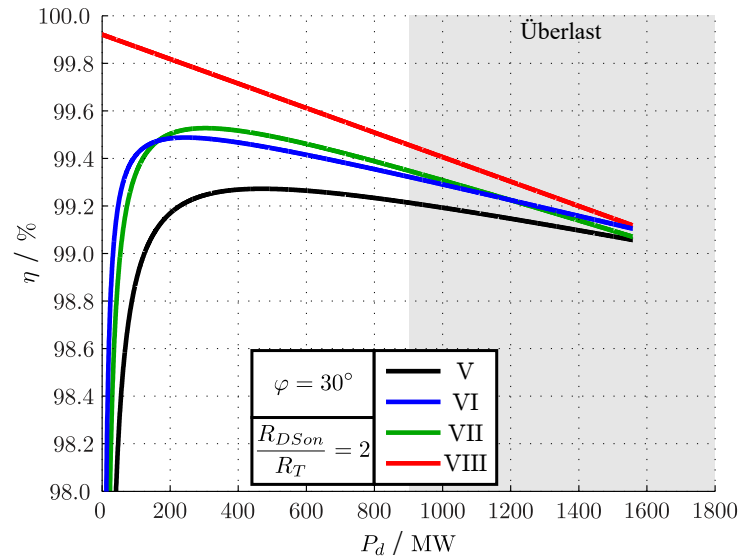
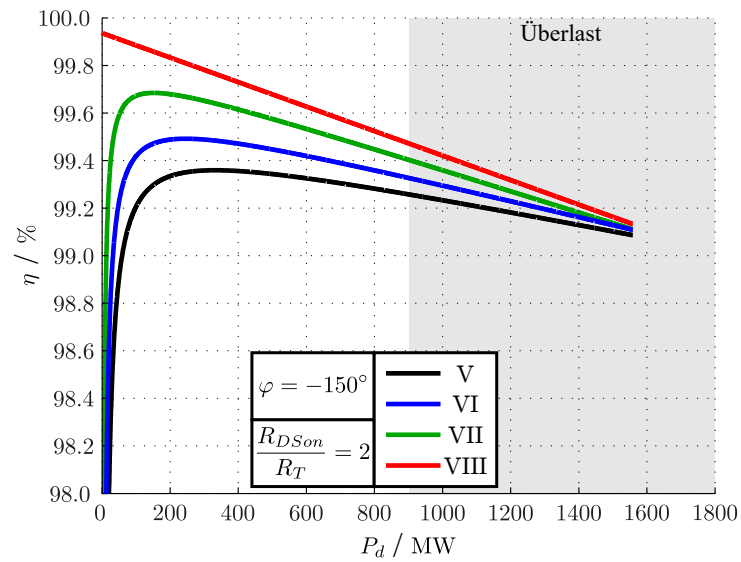
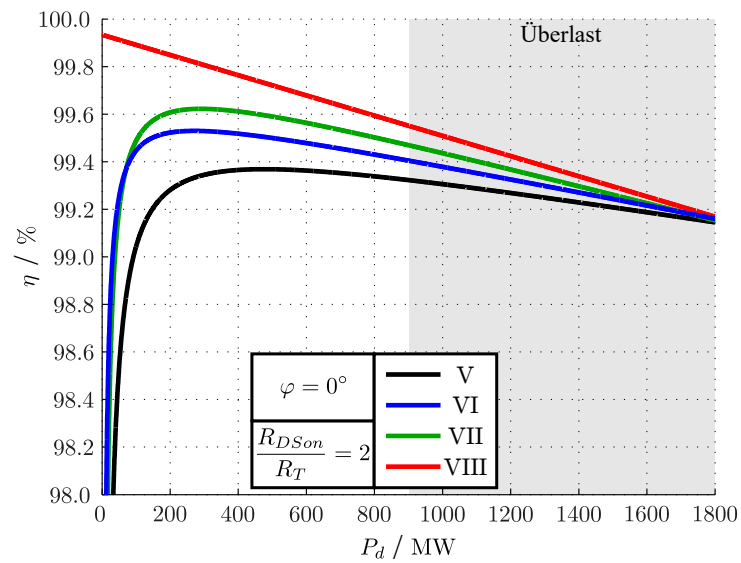
(a)  $\varphi = 30^\circ$ (b)  $\varphi = -150^\circ$ (c)  $\varphi = 0^\circ$ 

Abb. 5.14.: Submodul-Wirkungsgrad des DZ-DC-SM im Überlastbetrieb ( $S = 1.8 \text{ GVA}$  ;  $\frac{R_{D\text{Son}}}{R_T} = 2$ )

Weiterhin ist es interessant zu betrachten, wie sich eine Überlast speziell auf das DZ-DC-SM auswirkt. Hierzu wird in Abb. 5.14 die Effizienz des DZ-DC-SM ( $\frac{R_{DSon}}{R_T} = 2$ ) bis zu der doppelten Nennwirkleistung aufgetragen. Erwähnenswert ist grundsätzlich, dass ab einer bestimmten Wirkleistung die Bestückungsvariante VI – mit SiC-FET im inneren Kern – annähernd so effizient ist, wie die Bestückungsvariante VIII und damit in diesem Arbeitspunkt die wirtschaftlichste Wahl der vier Varianten ist. Dieser Effekt kann verstanden werden, wenn man bedenkt, dass bei dem Überschreiten einer gewissen Halbleiterleistung (und somit Halbleiterstrom) der HV-IGBT weniger Durchlassverluste als der SiC-FET aufweist. Dadurch, dass die Halbleiter  $T_1 - T_4$  hier als IGBT-Bauelemente vorliegen und an diesen Positionen im Submodul ohnehin die größten Halbleiterströme auftreten, ist die Bestückung jeder Halbleiterposition optimal ausgenutzt.

Abschließend sollen noch die individuellen Halbleiter-Leistungsverluste innerhalb der drei Submodul-Topologien und deren Entstehung begründet werden [DM19b]. In Abschnitt 4.3.2 wurden dazu bereits die Farben (■, ■, ■, ■, ■) für die jeweiligen Halbleiterpositionen innerhalb der Submodul-Topologien ( $T_1/T_4$ ,  $T_2/T_3$ ,  $T_5$ ,  $T_6/T_7$ ,  $T_0/T_{01}/T_{02}$ ) nach Abb. 5.15 eingeführt. Abbildung 5.15 zeigt exemplarisch nur die Referenzbestückungsvarianten (mit minimaler SiC-Bestückung). Die Analyse wird jedoch für alle Varianten nach Abb. 5.1, 5.2 und 5.3 durchgeführt. Um mit der Bestückung von SiC-Bauelementen eine Verbesserung der Umrichter-Effizienz erzielen zu können, erfolgt die Darstellung der Verluste – wie oben bereits erläutert – nur mit dem Verhältnis des differentiellen Wider-

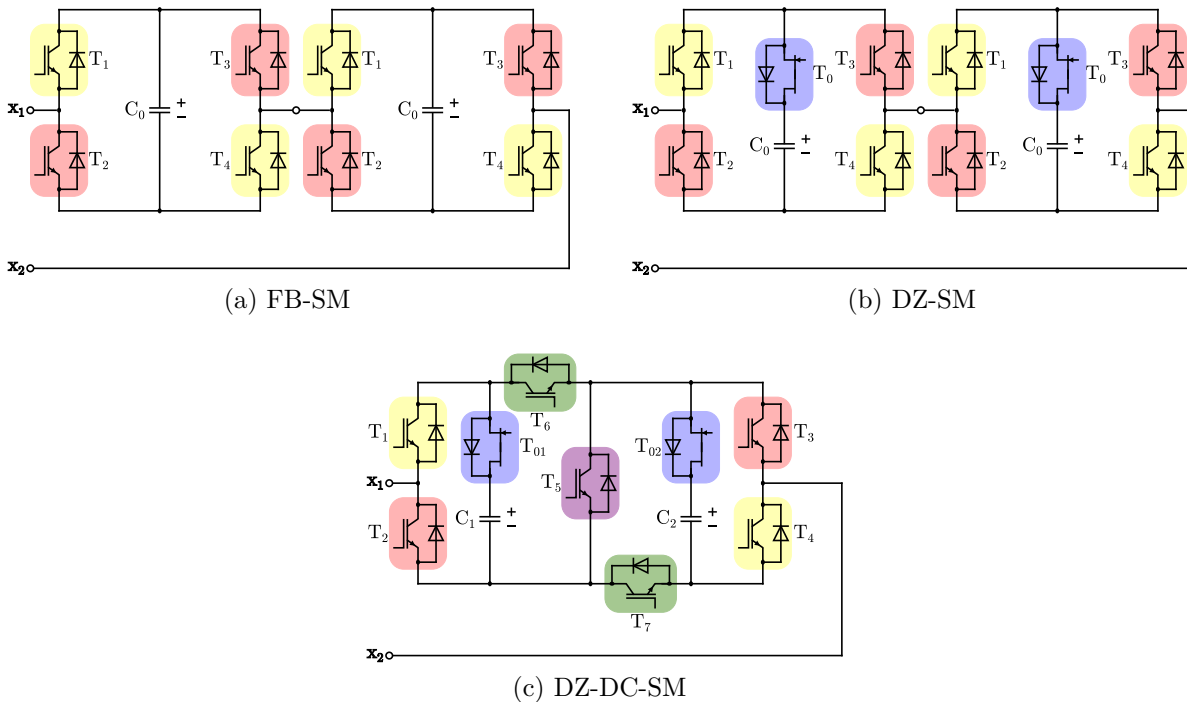


Abb. 5.15.: Farbzuzuweisung für die individuellen Halbleiterverluste innerhalb der Submodul-Topologien

**Box 5.2: Wirkleistung eines Submoduls in Double-Connection (Cluster-Wirkleistung)**

$$P_{D-Con.} = 2 \cdot \frac{r}{k+1} \cdot \bar{U}_C \cdot \frac{I_d}{3} \quad (5.6)$$

standes von  $\frac{R_{DSon}}{R_T} = 2$ . Das Balkendiagramm in Abb. 5.16 zeigt dazu die individuellen Submodul-Verluste  $(1 - \eta)$  für den Nennarbeitspunkt ( $S = 900$  MVA) mit einer Phasenverschiebung von  $\varphi = 30^\circ$ . Für eine grundsätzliche Vergleichbarkeit – auch mit anderen Umrichtertypen sowie Nennwirkleistungen – sind die Verluste in dem Balkendiagramm auf die Wirkleistung eines Submoduls in Double-Connection ( $P_{D-Con.}$ ) normiert (siehe Gl. 5.6 in Box 5.2) [DM19b]. Die drei Gruppen der Balken unterscheiden die Submodul-Topologien FB-SM, DZ-SM und DZ-DC-SM. Innerhalb dieser Gruppen sind die Bestückungsvarianten wieder nach Abb. 5.1 bis 5.3 fraktioniert. Es sei noch angemerkt, dass die Durchlass- und Schaltverluste jeweils zusammenhängend in einem Balken dargestellt sind. Die Schaltverluste weisen indessen eine Kennzeichnung durch eine schraffierte Hinterlegung auf.

### 5.1.1. Grundlegende Ursachen für die Reduktion der Durchlassverluste

#### 5.1.1.1. Verbesserung der Durchlassverluste vom FB-SM zum DZ-SM

In Modular Multilevel Converttern treten in typischen Arbeitspunkten hohe Zweigströme stets simultan mit geringen Mittelwerten der Zweigspannung (und somit Submodul-Klemmenspannungen von mehrheitlich 0 V) auf – wie in Abb. 3.2 bereits gezeigt wurde. Diese Gegebenheit besitzt beim MMC eine generelle Bedeutung, da diese von den grundlegenden Bedingungen der Energiebilanz innerhalb der Submodul-Kondensatoren unmittelbar vorgegeben ist. Deshalb führt die Reduktion der Durchlassspannung eines Submoduls im 0 V-Schaltzustand durch die Parallelschaltung der Halbleiter des oberen und unteren Submodul-Zweiges (Double-Zero) – erkennbar in Abb. 4.2b und 4.5c – zu einer wesentlichen Verringerung der Durchlassverluste. Diese Prämisse gilt allerdings nur für den  $R_T | R_{DSon}$ -Anteil der Durchlassverluste, was an der Halbierung des quadratischen RMS-Wertes des MMC-Zweigstromes ( $I_a^2$ ) in den Gleichungen 4.35, 4.36, 4.40 und 4.41 ersichtlich ist. Eine kleine Erhöhung ist in den Gleichungen nur durch den quadratischen RMS-Wert des Submodul-Kondensatorstromes zu verzeichnen. Abbildung 4.22b bestätigt bei einer typ. Spannungsmodulation (von  $k = 1.5$ ) jedoch einen vernachlässigbaren Anteil der  $I_C^2$ -Komponente. Die Verluste des  $U_{T0}$ -Anteils bleiben hingegen bei einer Parallelschaltung aufgrund seines linearen Charakters im Strom identisch (siehe Gl. 4.33, 4.34, 4.37 und 4.38). Die relative Verbesserung der Umrichter-Effizienz ist bei der Verwendung von ausschließlich SiC-Halbleiterbauelementen am stärksten ausgeprägt, weil deren Durchlasskennlinie keine  $U_{T0}$ -Komponente aufweist. Allumfassend kann – im Arbeitspunkt mit  $\varphi = 30^\circ$  (Abb. 5.16) – bei einer minimalen SiC-Halbleiterbestückung (I  $\rightarrow$  III) eine Reduktion der Durchlassverluste auf  $\frac{0.70}{0.79}$  und bei einer maximalen SiC-Bestückung (II  $\rightarrow$  IV) sogar eine Reduktion der Durchlassverluste auf  $\frac{0.54}{0.79}$  erreicht werden [DM19b].

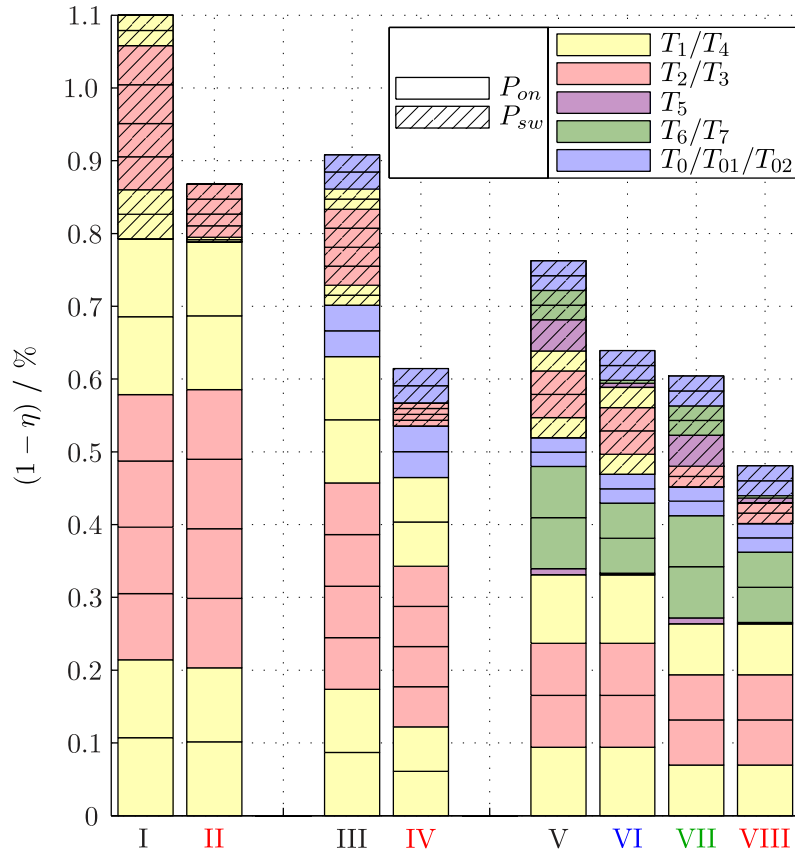


Abb. 5.16.: Normierte Submodul-Verluste ( $\varphi = 30^\circ$  ;  $\frac{R_{DSon}}{R_T} = 2$ )

Bemerkenswert ist, dass die Durchlassverluste des FB-SM in allen untersuchten Arbeitspunkten (Abb. 5.16, 5.17 und 5.18) durch die SiC-Bestückung nicht reduziert werden. In dem Arbeitspunkt  $\varphi = 0^\circ$  (Abb. 5.18) sind diese sogar erhöht. Daraus kann letztendlich gefolgert werden, dass sich die SiC-Bestückung beim FB-SM außerhalb des Teillastbereiches ausschließlich mit einem deutlich erhöhten Flächenaufwand von SiC-Halbleiterchips rentiert [DM19b].

### 5.1.1.2. Verbesserung der Durchlassverluste vom DZ-SM zum DZ-DC-SM

Die Effizienzsteigerung der Double-Connection wird überwiegend durch die Verringerung der, im gesamten Zweig des Submoduls in Serie liegenden, Durchlassspannungen erreicht. Wie man an den dominierenden Haupt-Schaltzuständen  $\pm U_C$  und  $0V$  gemäß Abb. 4.5 erkennen kann, liegen bei dem DZ-DC-SM im Vergleich zur Reihenschaltung zweier DZ-SM drei Durchlassspannungen (statt vier) in Serie vor. Dadurch ergibt sich bezüglich der Durchlassverluste für die generelle Anordnung einer Double-Connection stets ein Reduktionsfaktor von  $\frac{3}{4}$ . Im Gegensatz zum letzten Abschnitt gilt diese Reduktion der Durchlassverluste gleichermaßen für den  $U_{T0}$ - sowie den  $R_T | R_{DSon}$ -Anteil [DM19b].



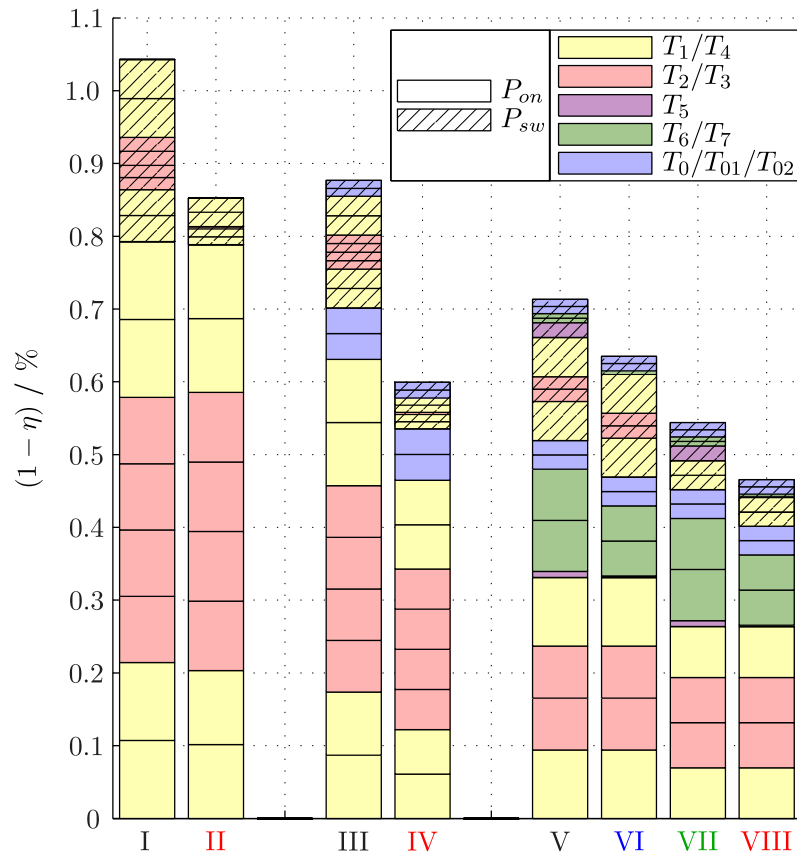


Abb. 5.17.: Normierte Submodul-Verluste ( $\varphi = -150^\circ$ ;  $\frac{R_{DSon}}{R_T} = 2$ )

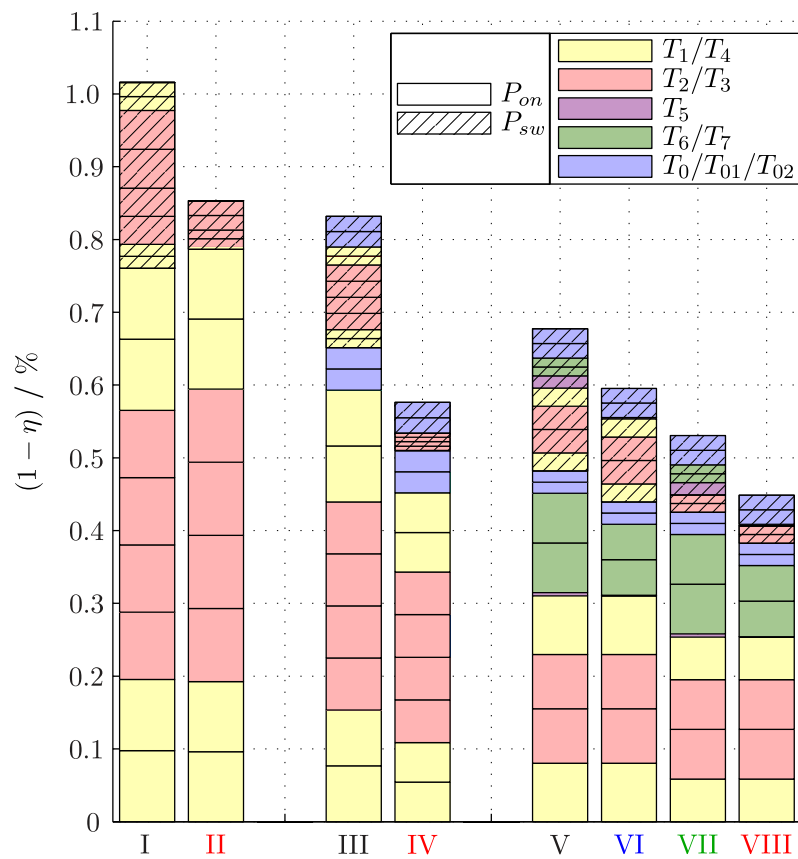


Abb. 5.18.: Normierte Submodul-Verluste ( $\varphi = 0^\circ$ ;  $\frac{R_{DSon}}{R_T} = 2$ )

Vergleicht man die  $U_{T0}$ -Anteile (siehe Box 4.9) der Transistorpaare  $T_1/T_4$  und  $T_2/T_3$  (in den Gleichungen 4.37, 4.38, 4.43 und 4.44) kann man erkennen, dass die individuellen Halbleiterbauelemente in beiden Submodul-Topologien in ähnlichen Lastzuständen betrieben werden. Abbildung 4.22a offenbart dabei, dass selbst mit einer geringfügig höheren Verschiebung der Verluste in Richtung eines der Transistorpaare die Gesamtheit der Durchlassverluste einer Gruppe  $T_1 - T_4$  unverändert bleibt. Zusätzlich besitzt das DZ-DC-SM die Halbleitergruppe  $T_5, T_6$  und  $T_7$  – dargestellt in den Gleichungen 4.45 und 4.46. Aus Abb. 4.22a wird deutlich, dass der Betragsmittelwert des Stromes in  $T_5$  ( $|\overline{I_{T5}}|$ ) nur einen marginalen Wert besitzt. Die Begründung liegt in dem zeitlichen Zusammentreffen einer hohen Zweigspannung – und deshalb der Submodul-Klemmenspannung von  $+2U_C$  – bei gleichzeitig sehr geringen Werten des Zweigstromes ( $t_E \leq t \leq t_F$  in Abb. 4.10) [DM19b].

Bei der Analyse der  $R_T|R_{DSon}$ -Anteile (siehe Box 4.9) ist es nötig zu berücksichtigen, dass die quadratischen RMS-Werte der Stromkomponenten  $I_C^2$ ,  $I_y^2$  und  $I_z^2$  sehr gering gegenüber dem des Zweigstromes  $I_a^2$  sind. Bildet man auch hier die Gesamtheit der Durchlassverluste einer Gruppe  $T_1 - T_4$ , erkennt man bei dem Vergleich von DZ-DC-SM und DZ-SM jedoch keine nennenswerte Erhöhung dieser. Der quadratische RMS-Wert der Stromkomponente des Transistors  $T_5$  ( $I_{T5}^2$ ) ist ebenfalls ausgesprochen niedrig. Strebt man eine optimierte Dimensionierung des Double-Zero-Submoduls in Double-Connection an, kann es deshalb sinnvoll sein, eine reduzierte Halbleiter-Chipfläche für  $T_5$  vorzusehen [DM19b]. Diese Grundidee soll in Abschnitt 5.2 weiter verfolgt werden.

Zusammenfassend stellt sich bezüglich der  $U_{T0}$ - und  $R_T|R_{DSon}$ -Anteile der Durchlassverluste des DZ-SM und DZ-DC-SM heraus, dass die erwartete Reduktion der Double-Connection von  $\frac{3}{4}$  sowohl bei der minimalen (III  $\rightarrow$  V) als auch bei der maximalen SiC-Halbleiterbestückung (IV  $\rightarrow$  VIII) stets sehr präzise erreicht wird (siehe Abb. 5.16 bis 5.18). Betrachtet man abschließend noch die Effizienzsteigerung des DZ-DC-SM in Abhängigkeit von der Bestückungsvariante (V bis VIII), erkennt man, dass die hybriden Varianten mit mittlerer SiC-Halbleiteranzahl (VI und VII) den angemessenen Kompromiss zwischen Kostenaufwand und Wirkungsgrad erneut bestätigen können.

### 5.1.2. Grundlegende Ursachen für die Reduktion der Schaltverluste

Die Reduktion der Schaltverluste (schraffiert hinterlegte Bereiche in Abb. 5.16, 5.17 und 5.18) kann für die Gesamtheit der untersuchten Arbeitspunkte eindeutig nur vom FB-SM zum DZ-SM – und ausschließlich bei der minimalen SiC-Bestückung (I  $\rightarrow$  III) – beobachtet werden. Auch wenn die Anzahl der verbauten Halbleiterbauelemente bei dem DZ-SM höher ist, können die individuellen Schaltverluste innerhalb der IGBT – aufgrund der Prämisse dass nur der halbe Momentanwert des Zweigstromes geschaltet werden muss – näherungsweise halbiert werden.

Beurteilt man die Veränderung der Schaltverluste vom DZ-SM zum DZ-DC-SM, können bei den Bestückungsvarianten mit wenig SiC-Halbleiterbauelementen keine Reduktion dieser verzeichnet werden. Diese Erkenntnis ist grundsätzlich erwartungsgemäß, denn das Schalten von dem halben Zweigstrom tritt bei dem Hauptanteil der Halbleiter in beiden Submodul-Topologien auf. Eine Reduktion der Schaltverluste wird nur innerhalb einer Submodul-Topologie – durch die Erhöhung der Anzahl von SiC-FET-Bauelementen – erreicht (I → II, III → IV, V → VI → VII → VIII). Es wird bei der Verwendung von SiC-FET-Bauelementen nicht nur die grundlegende Reduktion von Ein- und Ausschaltverlusten eminent, ein wesentlicher Anteil kann auch dem Nichtvorhandensein der Dioden-Schaltverluste zugeschrieben werden (siehe Tab. 5.1).

Aus den Balkendiagrammen (Abb. 5.16 bis 5.18) wird evident, dass die Zusammensetzung der Schaltverluste erheblich mit dem Arbeitspunkt variiert. In den Arbeitspunkten  $\varphi = 30^\circ$  und  $\varphi = 0^\circ$  (Abb. 5.16 und 5.18) dominieren die Schaltverluste der Transistorpaare  $T_2/T_3$ . In dem Arbeitspunkt  $\varphi = -150^\circ$  (Abb. 5.17) sind hingegen die Schaltverluste der Transistorpaare  $T_1/T_4$  stärker ausgeprägt (siehe Tab. 4.9, 4.10 und C.3). Innerhalb der Transistorgruppe  $T_5$ ,  $T_6$  und  $T_7$  sind die Schaltverluste im Arbeitspunkt  $\varphi = 30^\circ$  grundsätzlich ausgeglichen. In dem Gleichrichter-Betrieb (reinen Wirkleistungsbetrieb) verschieben sich diese jedoch marginal in Richtung von  $T_5$  ( $T_6/T_7$ ).

## 5.2. Optimierung der Halbleiter-Chipfläche und Leistungsverluste

Im letzten Abschnitt sind verschiedene Bestückungsvarianten analysiert worden, welche eine deutliche Reduktion der Leistungsverluste – nicht nur durch den Einsatz der neuartigen Double-Zero-Submodule, sondern auch durch die Investition von SiC-Halbleitern – herbeiführen. Bisher wurden die Halbleiter-Chipflächen je Halbleitertyp (IGBT bzw. FET) für die individuellen Positionen innerhalb der Submodule als identisch angenommen. Durch eine Umverteilung der Halbleiter-Chipflächen kann die Effizienz der Double-Zero-Submodule hingegen zusätzlich gesteigert werden. Bei der Verwendung von reinen SiC-FET-Bestückungen kann für die eingeführten, analytischen Gleichungen eine besonders übersichtliche Form gefunden werden, welche nur noch von einem Halbleiter-Kennwert – dem differentiellen Widerstand  $R_{DSon}$  – abhängt. Ein zweckmäßiger Vergleich entsteht dann, wenn die gesamte aufgewendete Halbleiter-Chipfläche der SiC-Bauelemente konstant gehalten wird [DM20]. Die Optimierung soll dabei ausschließlich auf Basis der Gleichungen für die Durchlassverluste erfolgen, denn die Schaltverluste variieren bei den oben getroffenen und idealisierten Annahmen lediglich in dem Recovery-Anteil der modulinternen Freilaufdiode. Dieser Schaltverlustanteil des verwendeten SiC-FET-Bauelementes wurde aber in dem vorherigen Abschnitt ohnehin vernachlässigt (siehe Tab. 5.1).

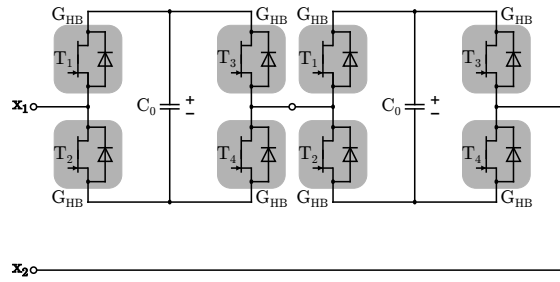


Abb. 5.19.: Gleichverteilte Halbleiter-Chipflächen innerhalb des FB-SM als Referenzschaltung für die Optimierung der Durchlassverluste (Leistungsverluste)

**Box 5.3: Optimierung der Durchlassverluste (Leistungsverluste)**

FB-SM als Referenzschaltung (siehe Abb. 5.19):

$$G_0 = 8 \cdot G_{HB} = \frac{8}{R_{DSon}} = \text{konst.}$$

$$\sum P_{on,ref} = \frac{32}{G_0} \cdot I_a^2 \quad (5.7)$$

a) DZ-SM mit einer reduzierten Chipfläche im Kondensatorpfad (siehe Abb. 5.20a):

$$G_0 = (8 + 2x) \cdot G_{HB} = \text{konst.} \quad ; \quad 0 \leq x \leq 1$$

$$\sum P_{on,DZ,opt} = \frac{4(4+x)}{G_0} \cdot \left[ I_a^2 + I_C^2 \left( 1 + \frac{1}{x} \right) \right] \quad (5.8)$$

b) DZ-DC-SM mit einer reduzierten Chipfläche im inneren Kern (siehe Abb. 5.20b):

$$G_0 = (4 + 5x) \cdot G_{HB} = \text{konst.} \quad ; \quad 0 \leq x \leq 1$$

$$\sum P_{on,DZDC,IC,opt} = \frac{(4+5x)}{G_0} \cdot \left[ I_a^2 \left( 1 + \frac{1}{2x} \right) + 2 I_C^2 \left( 1 + \frac{1}{2x} \right) - 2 I_z^2 \left( 1 - \frac{3}{2x} \right) \right] \quad (5.9)$$

c) DZ-DC-SM mit einer reduzierten Chipfläche im zentralen Schalter (siehe Abb. 5.20c):

$$G_0 = (8+x) \cdot G_{HB} = \text{konst.} \quad ; \quad 0 \leq x \leq 1$$

$$\sum P_{on,DZDC,CS,opt} = \frac{(8+x)}{G_0} \cdot \left[ \frac{3}{2} I_a^2 + 3 I_C^2 - I_z^2 \left( 1 - \frac{2}{x} \right) \right] \quad (5.10)$$

d) DZ-DC-SM mit einer reduzierten Chipfläche im inneren Kern sowie zentralen Schalter (siehe Abb. 5.20d):

$$G_0 = (4 + 4x + y) \cdot G_{HB} = \text{konst.} \quad ; \quad 0 \leq x \leq 1 \quad ; \quad 0 \leq y \leq 1$$

$$\sum P_{on,DZDC,ICCS,opt} = \frac{(4+4x+y)}{G_0} \cdot \left[ I_a^2 \left( 1 + \frac{1}{2x} \right) + 2 I_C^2 \left( 1 + \frac{1}{2x} \right) - 2 I_z^2 \left( 1 - \frac{1}{2x} - \frac{1}{y} \right) \right] \quad (5.11)$$

Das in Abb. 5.19 gezeigte, konventionelle FB-SM – gleichmäßig mit SiC-FET bestückt – wird für die folgende Optimierung der Leistungsverluste ( $\sum P_{on,ref}$ ) als Referenzschaltung herangezogen. Es wurde bereits erläutert, dass für die Gewährleistung identischer Eigenschaften des Pulsmusters ein Submodul in Double-Connection ausschließlich mit einer Serienschaltung von zwei Submodulen in Single-Connection verglichen werden darf.

Die gesamte, investierte Halbleiter-Chipfläche ist dann proportional zu dem resultierenden, elektrischen Leitwert ( $G_0$ ), wenn alle 8 SiC-FET-Halbleiter parallelgeschaltet werden. Folglich weist jeder der 8 SiC-FET-Halbleiter nach Box 5.3 einen differentiellen Widerstand von  $R_{DSon} = \frac{8}{G_0}$  auf und setzt die Durchlassverluste nach Tab. 5.4 um. Daraus ergeben sich die summarischen Referenz-Durchlassverluste nach Gleichung 5.7. Diese sind proportional zum quadratischen RMS-Wert des MMC-Zweigstromes (siehe Gl. 4.55 in Box 4.10) und können prinzipiell mit einer Erhöhung von  $G_0$  reduziert werden. Bezogen auf den aktuellen Stand der technologischen Entwicklung kann diese Grundlage aber ausschließlich mit einer Erhöhung der gesamten SiC-Halbleiter-Chipfläche erreicht werden. Wird dieselbe SiC-Chipfläche für die Double-Zero-Submodule aufgewendet, können die Durchlassverluste essentiell reduziert werden. Für eine Optimierung der Effizienz muss dazu die Halbleiter-Chipfläche ungleich auf die jeweiligen Halbleiterpositionen aufgeteilt werden [DM20].

Die Abbildungen 5.20a bis 5.20d zeigen für die Optimierung der Durchlassverluste ( $\sum P_{on,opt}$ ) vier unterschiedliche Varianten, die Halbleiter-Chipflächen innerhalb der Submodul-Topologien zu verteilen. Neben den Halbleitern der **äußeren Halbbrücken** sollen die **blau**, **grün** bzw. **gelb** hinterlegten Halbleiter mit einer reduzierten Chipfläche

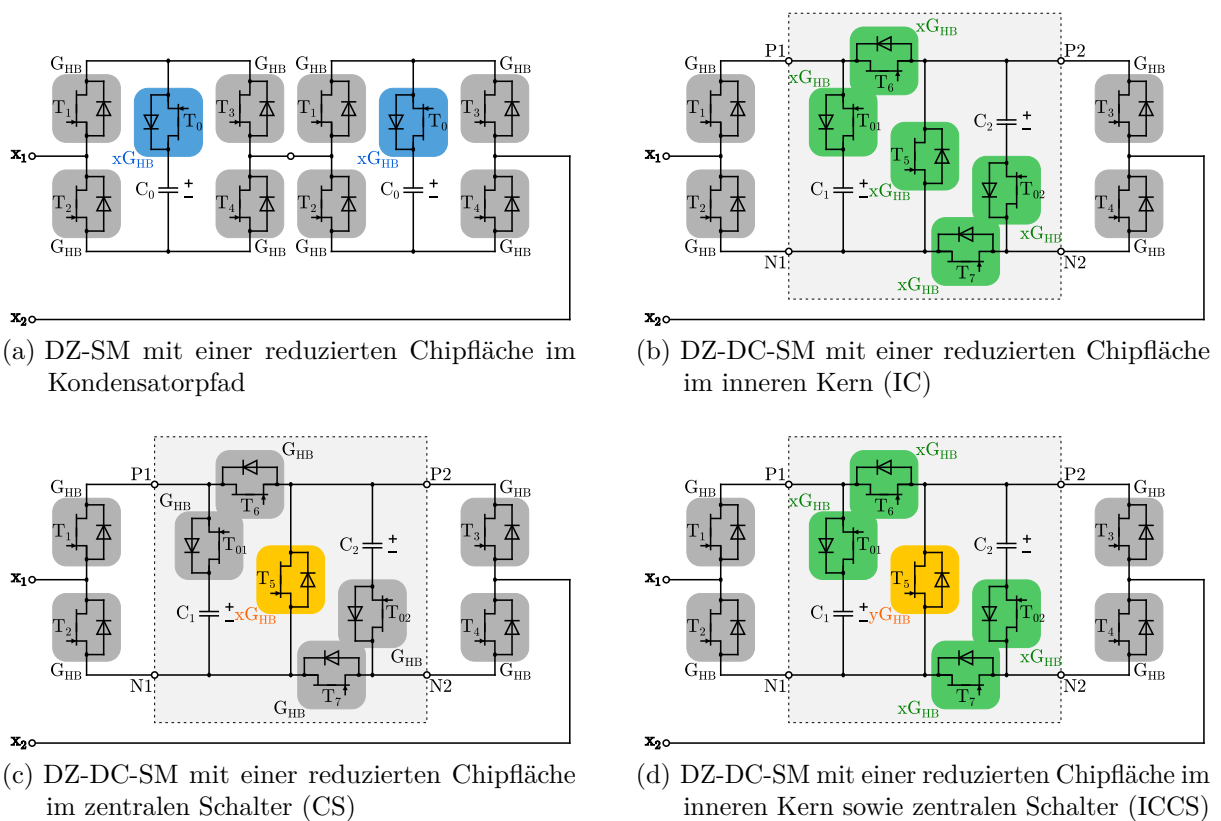


Abb. 5.20.: Verteilung der Halbleiter-Chipflächen innerhalb der Submodule für die Optimierung der Durchlassverluste (Leistungsverluste)

Tab. 5.4.: Individuelle Durchlassverluste für die Optimierung der Leistungsverluste

		Optimierte Submodul-Topologie				
		FB-SM	DZ-SM	DZ-DC-SM (IC)	DZ-DC-SM (CS)	DZ-DC-SM (ICCS)
Individuelle Durchlassverluste	$P_{onT1}$	$\frac{I_{T1}^2}{G_{HB}}$	$\frac{I_{T1}^2}{G_{HB}}$	—	—	—
	$P_{onT2}$	$\frac{I_{T2}^2}{G_{HB}}$	$\frac{I_{T2}^2}{G_{HB}}$	—	—	—
	$P_{onT3}$	$\frac{I_{T3}^2}{G_{HB}}$	$\frac{I_{T3}^2}{G_{HB}}$	—	—	—
	$P_{onT4}$	$\frac{I_{T4}^2}{G_{HB}}$	$\frac{I_{T4}^2}{G_{HB}}$	—	—	—
	$P_{onT0}$	—	$\frac{I_{T0}^2}{x \cdot G_{HB}}$	—	—	—
	$P_{onT1}$	—	—	$\frac{I_{T1}^2}{G_{HB}}$	$\frac{I_{T1}^2}{G_{HB}}$	$\frac{I_{T1}^2}{G_{HB}}$
	$P_{onT2}$	—	—	$\frac{I_{T2}^2}{G_{HB}}$	$\frac{I_{T2}^2}{G_{HB}}$	$\frac{I_{T2}^2}{G_{HB}}$
	$P_{onT3}$	—	—	$\frac{I_{T3}^2}{G_{HB}}$	$\frac{I_{T3}^2}{G_{HB}}$	$\frac{I_{T3}^2}{G_{HB}}$
	$P_{onT4}$	—	—	$\frac{I_{T4}^2}{G_{HB}}$	$\frac{I_{T4}^2}{G_{HB}}$	$\frac{I_{T4}^2}{G_{HB}}$
	$P_{onT5}$	—	—	$\frac{I_{T5}^2}{x \cdot G_{HB}}$	$\frac{I_{T5}^2}{x \cdot G_{HB}}$	$\frac{I_{T5}^2}{y \cdot G_{HB}}$
	$P_{onT6}$	—	—	$\frac{I_{T6}^2}{x \cdot G_{HB}}$	$\frac{I_{T6}^2}{G_{HB}}$	$\frac{I_{T6}^2}{x \cdot G_{HB}}$
	$P_{onT7}$	—	—	$\frac{I_{T7}^2}{x \cdot G_{HB}}$	$\frac{I_{T7}^2}{G_{HB}}$	$\frac{I_{T7}^2}{x \cdot G_{HB}}$
	$P_{onT01}$	—	—	$\frac{I_{T01}^2}{x \cdot G_{HB}}$	$\frac{I_{T01}^2}{G_{HB}}$	$\frac{I_{T01}^2}{x \cdot G_{HB}}$
	$P_{onT02}$	—	—	$\frac{I_{T02}^2}{x \cdot G_{HB}}$	$\frac{I_{T02}^2}{G_{HB}}$	$\frac{I_{T02}^2}{x \cdot G_{HB}}$

versehen werden. Der elektrische Leitwert  $G_{HB}$  eines individuellen SiC-FET der äußeren Halbbrücke wird also bei den farbig hinterlegten FET mit einem Reduktionsfaktor von  $x$  bzw.  $y$  ( $0 \leq x \leq 1$ ;  $0 \leq y \leq 1$ ) multipliziert (siehe Tab. 5.4). Dabei wird nicht nur eine Variante des **DZ-SM** mit reduzierter Halbleiter-Chipfläche im **Kondensatorzweig** untersucht, sondern auch DZ-DC-SM-Varianten mit reduzierter Chipfläche im **inneren Kern** (IC<sup>2</sup>), **zentralen Schalter** (CS<sup>3</sup>) und einer Kombination der beiden letztgenannten (ICCS). Die Gleichungen 5.8 bis 5.11 in Box 5.3 zeigen die zugehörigen, gesamten Durchlassverluste und die Zusammensetzung deren individuellen Leitwerte<sup>4</sup> zum Gesamtleitwert  $G_0$  in Abhängigkeit von den beiden Parametern  $x$  und  $y$ . Möchte man eine generelle Aussage über die Effizienzsteigerung der Submodul-Topologien treffen, ist es notwendig die Varianten aus Abb. 5.20a bis 5.20d im Verhältnis zur Referenzschaltung – dem FB-SM – aus Abb. 5.19 darzustellen [DM20].

<sup>2</sup>Inner Core

<sup>3</sup>Central Switch

<sup>4</sup>Die Leitwerte  $G_{HB}$  der Submodul-Topologien in Box 5.3 sind i. Allg. unterschiedlich.

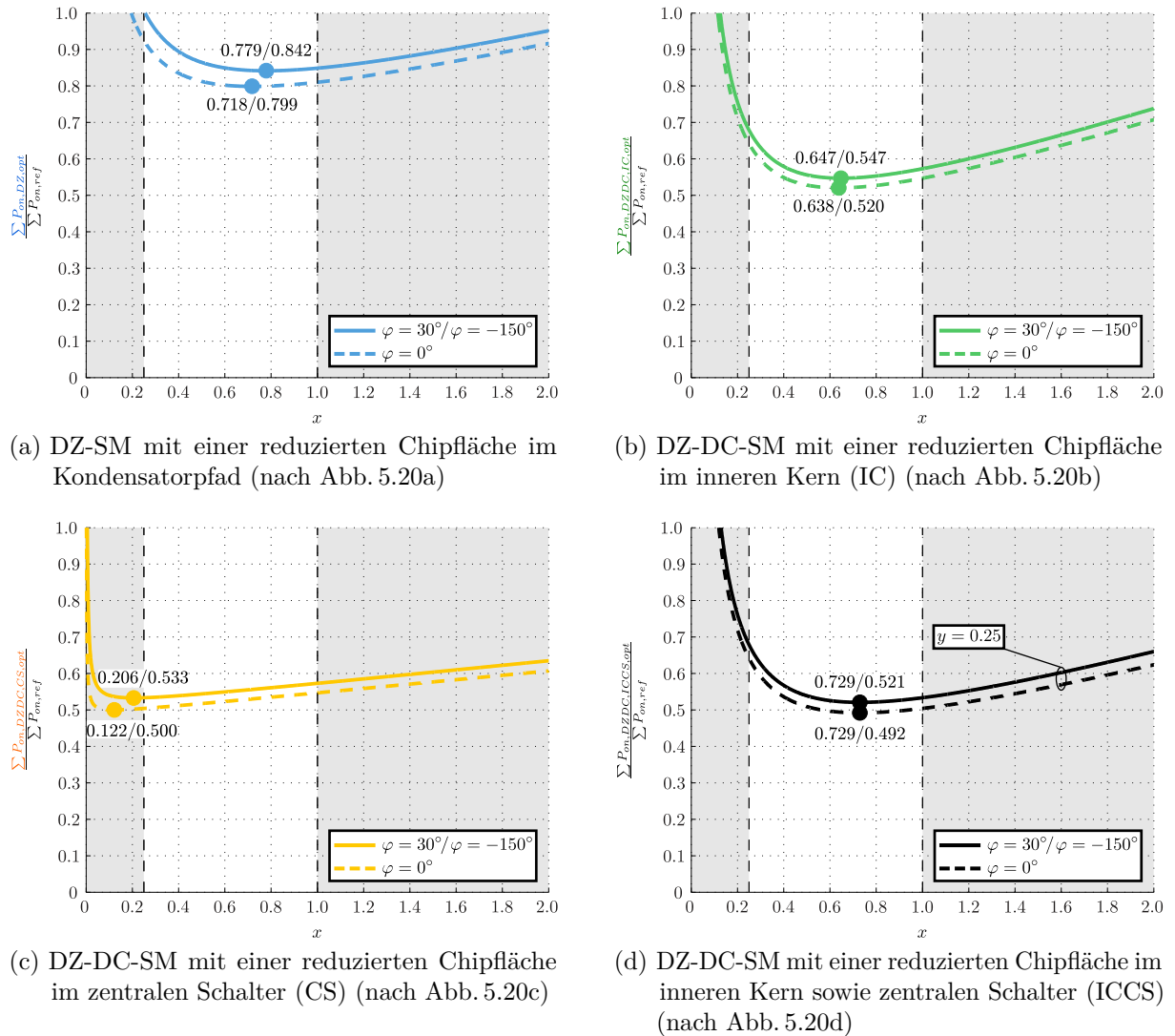


Abb. 5.21.: Ergebnis der Optimierung der relativen Durchlassverluste (Leistungsverluste) in Abhängigkeit der Reduktionsfaktoren

Die Graphen in Abb. 5.21a bis 5.21d stellen die relativen, gesamten Durchlassverluste (Leistungsverluste) der vier Schaltungsvarianten (Abb. 5.20) – bezogen auf die Referenzschaltung (Abb. 5.19) – über dem Reduktionsfaktor  $x$  dar. Es sei erneut verdeutlicht, dass jede dieser Submodul-Topologien eine identische Halbleiter-Chipfläche aufweist. Aus Gründen des Verständnisses sind in den Verläufen Parameterwerte bis  $x = 2$  aufgetragen. Die Minima der einzelnen Kurven – in den Abbildungen dargestellt durch Punkte sowie deren Koordinaten – liegen allerdings in dem erwarteten Bereich unterhalb von eins ( $0 < x < 1$ ). Die Schaltungsvarianten IC und CS des DZ-DC-SM (Abb. 5.21b und 5.21c) bilden in ihrer Optimierung die Grundlage für die Variante ICCS (Abb. 5.21d). Betrachtet man den reinen Wirkleistungsbetrieb, kann mit der optimierten Variante ICCS (Abb. 5.20d) im Vergleich zum konventionellen FB-SM (Abb. 5.19) eine Reduktion der Durchlassverluste von mehr als 50% (auf 49.2%) erreicht werden. Damit das DZ-DC-SM

nicht in seiner Fähigkeit eingeschränkt wird, interne sowie externe Submodul-Fehler zu beherrschen, ist der Reduktionsfaktor  $y$  der Variante ICCS in einer konservativen Manier auf  $y = \frac{1}{4}$  festgesetzt [DM20].

Es ist naheliegend, dass in der Praxis ein Kompromiss für die Auswahl der Reduktionsfaktoren eingegangen werden muss. Wird eine definierte Anzahl von parallel geschalteten Halbleiter-Chips derselben Fläche vorgegeben, können die Reduktionsfaktoren selbstverständlich ausschließlich diskrete Werte annehmen. Es sei darauf hingewiesen, dass die Minima der Kurven nur sehr flach ausgeprägt sind. Diese sind deshalb nicht nur stabil bei der Variation des Arbeitspunktes  $(k, \varphi)$ , sondern auch bei der Variation der Reduktionsfaktoren selbst. Die leichte Erhöhung der relativen Durchlassverluste (Leistungsverluste) mit zunehmender Phasenverschiebung  $(\varphi)$  ist durch deren Normierung auf die Cluster-Wirkleistung  $P_{D-Con.}$  (und nicht die Scheinleistung  $S$ ) begründet [DM19b].



---

## 6. Ansteuerung und Kondensator-Balancing des Double-Zero-Submoduls in Double-Connection

Es wurde bereits aufgezeigt, welche Vorzüge sich durch den Aufbau des Modular Multilevel Converters mit dem neuartigen Double-Zero-Submodul in Double-Connection ergeben. Nicht nur die erhöhte Funktionalität und Fehlerbeherrschbarkeit (sowohl extern als auch intern), sondern ebenfalls die geringen Halbleiterverluste stellen einen deutlichen Fortschritt des DZ-DC-SM gegenüber den State of the Art Submodul-Topologien dar.

Im Verlauf dieses Kapitels werden die Themen bezüglich der praktischen Realisierung diskutiert. Zunächst soll auf ein logisches Konzept für die Ansteuerung der Submodul-Halbleiterbauelemente eingegangen werden. Weiterhin sind für das Einsetzen von Submodul-Kondensatoren mit endlicher Kapazität die Energiepulsationen – innerhalb der MMC-Zweige und somit auch der Submodul-Kondensatoren – zu beachten. Abgerundet wird dieses Kapitel mit der grundlegenden Beschreibung der Kondensator-Balancing-Sequenz und der Kommutierungen, die dadurch innerhalb des DZ-DC-SM stattfinden.

### 6.1. Ansteuerung des DZ-DC-SM

Die Steuerung und Regelung von Modular Multilevel Convertern nach neuartigen Konzepten kann grundsätzlich in zwei Hierarchie-Ebenen unterteilt werden [DHM19, DHM20]:

- **Obere Ebene (Energieregelung):**
  - Regelung der Leistungsbilanz der DC- und AC-Seite (Netzsynchrisation)
  - Balancing der Zweigenenergien
- **Untere Ebene (MVC<sup>1</sup>):**
  - Bestimmung der Transistor-Gate-Signale für die einzelnen Submodule basierend auf Referenzgrößen und gemessenen Umrichtergrößen
  - Balancing der Submodul-Kondensatorspannungen.

---

<sup>1</sup>Multi-Variable Control

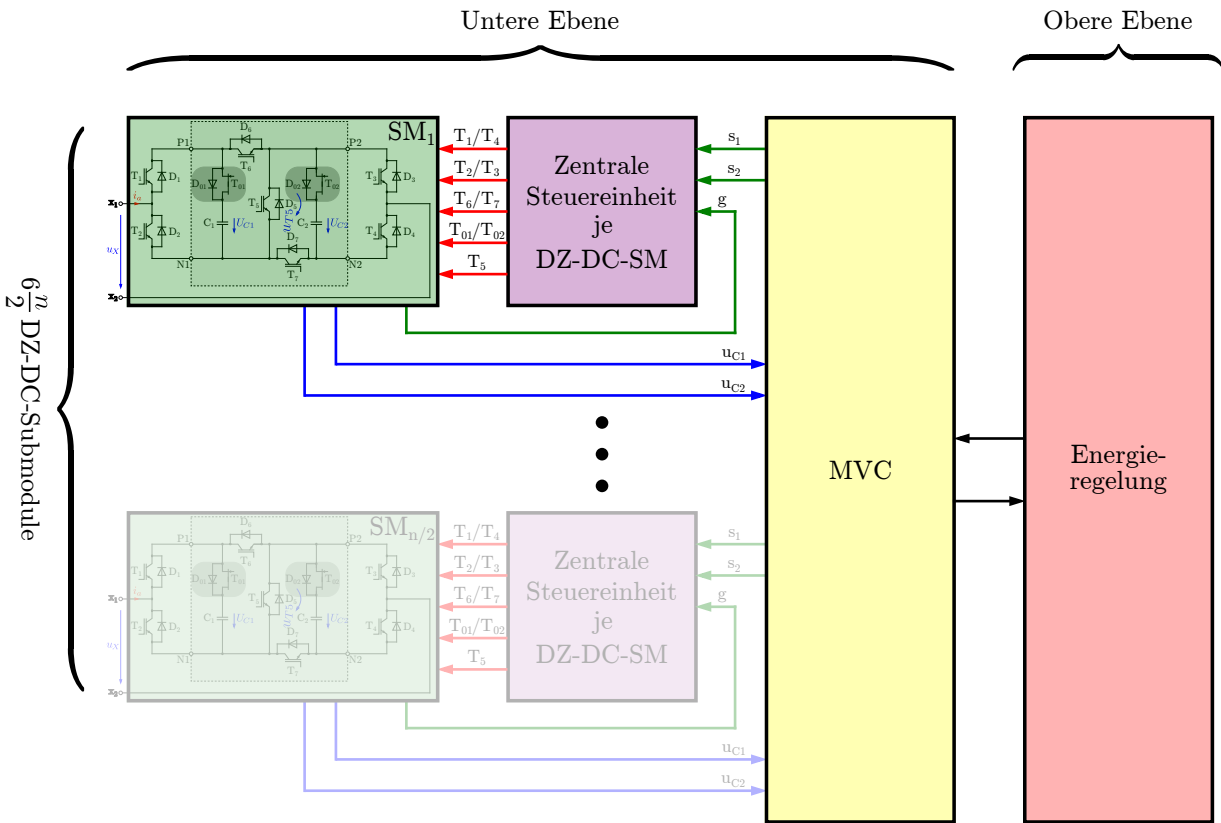


Abb. 6.1.: Blockschaltbild der Ansteuerung des DZ-DC-SM

Abbildung 6.1 zeigt die generelle Struktur der eben erwähnten Hierarchie-Ebenen. Die **MVC** konnte dabei in jüngsten Veröffentlichungen bereits erfolgreich mit Vollbrücken-Submodulen implementiert werden [DHM19, DHM20]. Möchte man dieses Regelungskonzept auch mit der Bestückung von **DZ-DC-SM** anwenden, kann dies durch das Einführen einer weiteren Hierarchie-Ebene – der **zentralen Steuereinheit (ZSE)** – erreicht werden. Die ZSE bekommt von der übergeordneten MVC je Submodul lediglich ein 2 bit Steuerwort  $s = \{s_1, s_2\}$  für den einzustellenden 4-Level Schaltzustand. Die direkte Ansteuerung der Halbleiter sowie das interne Balancing der beiden Kondensatoren im DZ-DC-SM wird indessen ausschließlich von der ZSE bewältigt.

Durch das Auftreten einer Spannungsdifferenz zwischen den Submodul-Kondensatoren – während des Schaltzustandes  $+2U_C$  – soll ein intelligentes Ansteuerkonzept der ZSE dafür sorgen, dass ein nahtloser, passiver und verlustloser Übergang in die Kondensator-Parallelschaltung ( $+U_C$ ) ermöglicht wird. Dieser Übergang muss dabei unabhängig von der Zweigstromrichtung erreicht werden. Wie Abb. 6.1 zeigt, kann diese Aufgabe von der ZSE bewältigt werden, ohne dazu die Kondensatorspannungen zu messen. Die Kenntnis, welcher der beiden Kondensatoren die höhere Spannung besitzt, wird also zu keiner Zeit benötigt. Grundsätzlich muss der übergeordneten MVC für ein Balancing der Submodule im Zweig des MMC mindestens der gemeinsame Kondensator-Spannungswert (nach dem internen Balancing) bekannt sein. Aus Gründen der Fehlersicherheit ist es jedoch sinnvoll, beide

Tab. 6.1.: Schaltzustände für die Ansteuerung des DZ-DC-SM

Schalt- zustand	<i>Äußere Halbrücken</i>		<i>Innerer Kern</i>			g ( $u_{T5} \gg 0$ )	$u_{X,soll}$	$u_{X,ist}$
	T <sub>1</sub> /T <sub>4</sub>	T <sub>2</sub> /T <sub>3</sub>	T <sub>6</sub> /T <sub>7</sub>	T <sub>01</sub> /T <sub>02</sub>	T <sub>5</sub>			
③	1	0	0	1	1	—	$+2U_C$	$+2U_C$
②t <sub>2</sub>	1	0	0	1	0	0	$+U_C$	$+2U_C$
②d	1	0	0	1	0	1	$+U_C$	$+U_C$
②c	1	0	1	0	0	1	$+U_C$	$+U_C$
②t <sub>1</sub>	1	0	1	0	0	0	$+U_C$	0V
①	1	1	1	0	0	—	0V	0V
①t <sub>0</sub>	0	1	1	0	0	0	$-U_C$	0V
①c	0	1	1	0	0	1	$-U_C$	$-U_C$
①	0	1	1	1	0	—	$-U_C$	$-U_C$

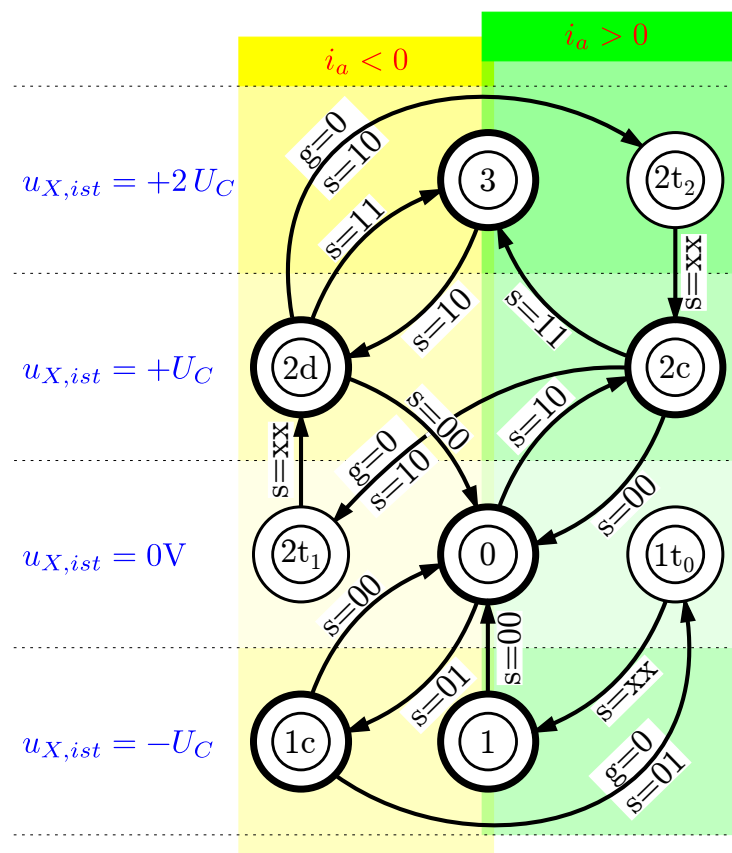


Abb. 6.2.: Zustandsautomat (EA) für die Ansteuerung des DZ-DC-SM

Kondensatorspannungen ( $U_{C1}$  und  $U_{C2}$ ) an diese zu übermitteln. Tabelle 6.1 zeigt alle, für die Ansteuerung des DZ-DC-SM erforderlichen, Schaltzustände. Wie in Abschnitt 4.1.2 bereits gezeigt wurde, nutzen zwei Transistoren immer ein gemeinsames Steuersignal. Die Schaltzustände sind in der Tabelle dem Sollwert der Submodul-Klemmenspannung ( $u_{X,soll}$ ) nach durchnummeriert [DM19a]:

- $\textcircled{3} \rightarrow +2U_C$
- $\textcircled{2} \rightarrow +U_C$
- $\textcircled{0} \rightarrow 0V$
- $\textcircled{1} \rightarrow -U_C$ .

Der nachstehende Buchstabe gibt Auskunft über den detaillierten Charakter des Schaltzustandes. Nach dem Auftreten einer Spannungsdifferenz zwischen den Submodul-Kondensatoren kann, in Abhängigkeit von der Zweigstromrichtung, der Kondensator mit der höheren Spannung entladen ( $d^2$ ) oder der Kondensator mit der geringeren Spannung geladen ( $c^3$ ) werden. In dem Moment des Vorzeichenwechsels des Zweigstromes befindet sich das Submodul zunächst temporär (t) – für einen Taktzyklus der ZSE – in einem falschen Schaltzustand. Es sei angemerkt, dass das passive Kondensator-Balancing nicht in allen Schaltzuständen erfolgen muss. Da der Zustand  $\textcircled{3}$  für die Spannungsdifferenz verantwortlich ist, sollte der benachbarte (und zeitlich folgende) Zustand  $\textcircled{2}$  dazu verwendet werden diesen Spannungsfehler zu annullieren<sup>4</sup> [DM19a].

Abbildung 6.2 stellt die Umsetzung des neuen Ansteuerkonzeptes der ZSE mithilfe eines Zustandsautomaten (EA<sup>5</sup>) dar. Es wird hier erneut sichtbar, dass der EA lediglich mit dem erwähnten 2 bit Steuerwort ( $s = \{s_1, s_2\}$ ) gespeist wird, um den Sollwert der Submodul-Klemmenspannung einzustellen. Für eine bessere Übersicht ist die Zweigstromrichtung in dem EA farblich in grün ( $i_a > 0$ ) bzw. gelb ( $i_a < 0$ ) hinterlegt. Die Überlappung (gemischte Farbe) in der Mitte indiziert währenddessen die Unabhängigkeit der Schaltzustände  $\textcircled{3}$ ,  $\textcircled{0}$  und  $\textcircled{1}$  von der Zweigstromrichtung. In der vertikalen Ebene werden die Istwerte der Submodul-Klemmenspannung ( $u_{X,ist}$ ) unterschieden. Die Intensität der farbigen Hinterlegung ist dabei stellvertretend für die Höhe des anliegenden Spannungswertes. Die transienten Schaltzustände (t) sind in dem EA in Abb. 6.2 ausgedünnt dargestellt. Diese können mit der (sehr kurz andauernden) gegenseitigen Verriegelung einer konventionellen Halbbrücke verglichen werden und treten, wie oben bereits erklärt, nur für die Dauer eines Taktzyklus der ZSE auf. Abhängig von der Zweigstromrichtung liegt während dieser Zeiten

<sup>2</sup>discharging

<sup>3</sup>charging

<sup>4</sup>Für den Fall, dass das Balancing der Kondensatoren nicht in dem Parallelzustand ( $+U_C$ ) abgeschlossen werden kann, ist es bei einer praktischen Realisierung des DZ-DC-SM möglich, den Transistor  $T_{EL1}$  bzw.  $T_{EL2}$  (aus Abb. 4.6) dazu einzusetzen den Kondensator mit dem höheren Spannungswert auf den Kondensator mit dem niedrigeren Spannungswert zu entladen. Im weiteren Verlauf dieser Arbeit soll jedoch davon ausgegangen werden, dass das Balancing mit dem eingeführten Zustandsautomaten (Abb. 6.2) – in den Zuständen (2d) und (2c) – stets bewältigt werden kann.

<sup>5</sup>Endlicher Automat

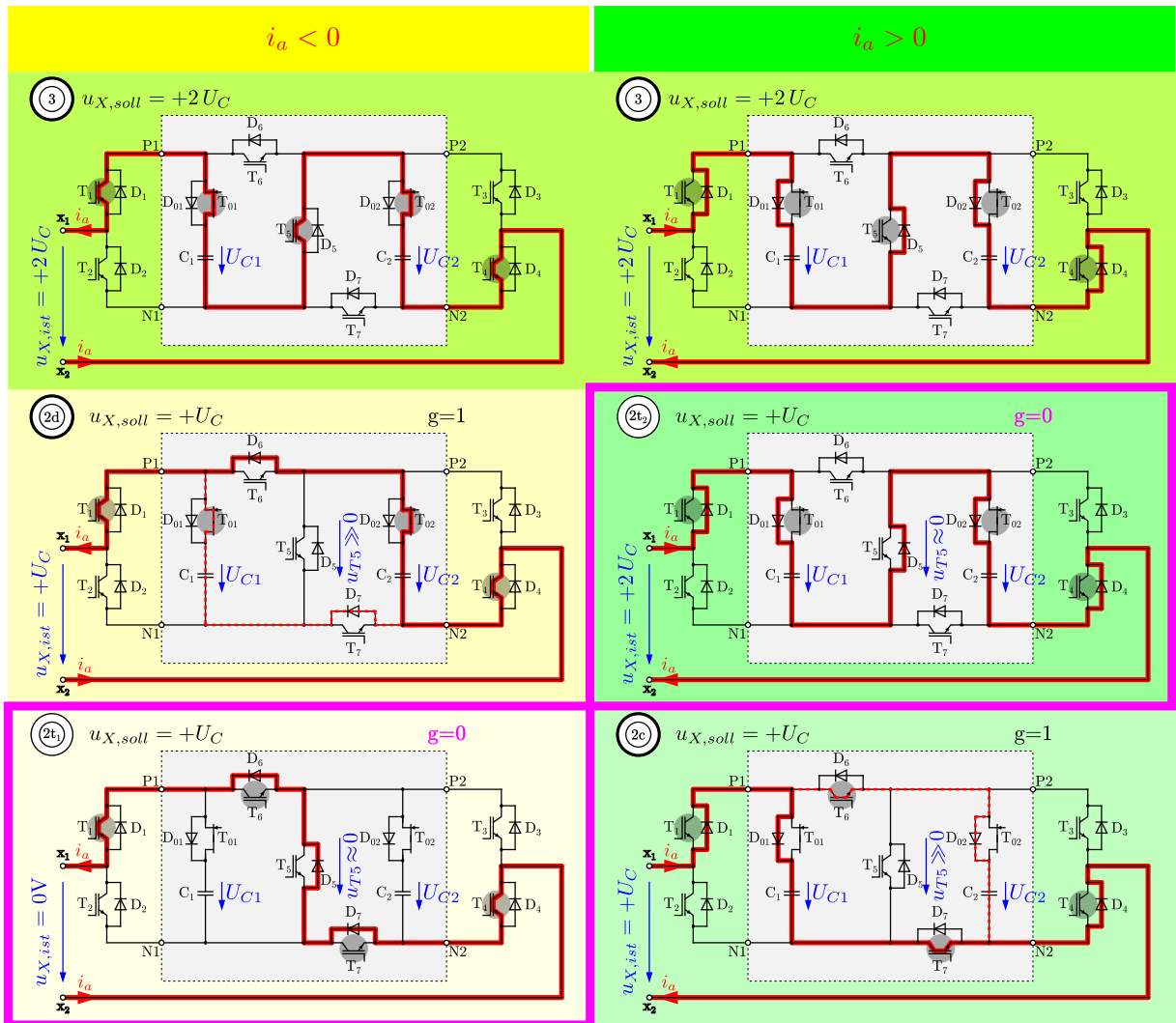


Abb. 6.3.: Auftreten eines inkorrekten Schaltzustandes aufgrund des Zweigstromrichtungswechsels bei der Ansteuerung des DZ-DC-SM

eine falsche Submodul-Klemmenspannung vor [DM19a]. Um den Übergang des DZ-DC-SM in einen inkorrekten Schaltzustand besser verstehen zu können, sind in Abb. 6.3 die auftretenden Kommutierungen bei einem Vorzeichenwechsel des Zweigstromes verdeutlicht. In horizontaler Ebene angeordnete Schaltzustände weisen jeweils identische Gate-Signale für deren Halbleiterbauelemente auf. Wechselt das Vorzeichen des Zweigstromes nun von negativ (positiv) auf positiv (negativ), findet eine Kommutierung innerhalb des Submoduls von dem linken (rechten) zum rechten (linken) Ersatzschaltbild statt. Betrachtet man in Abb. 6.3 die falschen (transienten) Schaltzustände (pink Boxen), wird ersichtlich, dass der zentrale Transistor  $T_5$  in diesen rückwärtsleitend ist – also praktisch keinen Spannungsabfall aufweist. Im Gegensatz dazu ist in den korrekten Schaltzuständen (2d) und (2c) an  $T_5$  stets die Kondensatorspannung  $+U_C$  messbar. Man kann sich diese Eigenschaft mit einem

Schwellwertschalter zunutze machen und in ein logisches Signal überführen [DM19a]:

$$g = \begin{cases} 1 & \text{für } u_{T5} \gg 0 \\ 0 & \text{für } u_{T5} \approx 0. \end{cases} \quad (6.1)$$

Wie in Tab. 6.1 rot hinterlegt ist, stimmen bei  $g = 0$  der Soll- und Istwert der Submodul-Klemmenspannung nicht überein ( $u_{X,soll} \neq u_{X,ist}$ ).

Abschließend wird der EA aus Abb. 6.2 – als praktische Realisierung – in ein sequentielles Schaltwerk überführt. Wie bereits erwähnt, soll das Balancing der Submodul-Kondensatoren ausschließlich in den – Schaltzustand  $\textcircled{3}$  folgenden – Zuständen  $\textcircled{2d}$  und  $\textcircled{2c}$  durchgeführt sowie abgeschlossen werden. Deshalb werden die Zustände  $\textcircled{1c}$  und  $\textcircled{1t_0}$  (in Tab. 6.1 grau hinterlegt) hier nicht weiter genutzt. Es entsteht also ein vereinfachter Automat mit nur 7 Zuständen. Ein 3 bit Zustandsspeicher – mit den Zustands-Bits  $Q_A$ ,  $Q_B$  und  $Q_C$  – ist dementsprechend für die Realisierung des EA vollkommen ausreichend [DM19a]. Tabelle 6.2 fasst dazu alle für die Implementierung benötigten Größen zusammen. Die Reihenfolge der Zustände ist von oben nach unten mit absteigender Submodul-Klemmenspannung dargestellt – **positives Klemmenpotential** ist farblich mit **rot** und **negatives Klemmenpotential** ist farblich mit **blau** hinterlegt. Die Intensität der farbigen Hinterlegung ist wieder stellvertretend für die Höhe des anliegenden Spannungswertes. Ein weiterer Zustand des EA kann für die Vorladung der Submodul-Kondensatoren ( $pc^6$ ) – und somit den Black-Start des MMC – genutzt werden. Aus Tab. 6.2 kann erkannt werden, dass die ersten beiden Zustands-Bits  $Q_A$  und  $Q_B$  der Haupt-Schaltzustände  $\textcircled{3}$ ,  $\textcircled{2d}$ ,  $\textcircled{2c}$ ,  $\textcircled{0}$  und  $\textcircled{1}$  so definiert wurden, dass sie mit dem Steuerwort  $s$  übereinstimmen.

Tab. 6.2.: Reduzierte Schaltzustände des EA für die Ansteuerung des DZ-DC-SM

Schalt- zustand	$u_{X,ist}$	$s$		Zustandsspeicher			$T_1$	$T_2$	$T_6$	$T_{01}$	$T_5$
		$s_1$	$s_2$	$Q_A$	$Q_B$	$Q_C$	$T_4$	$T_3$	$T_7$	$T_{02}$	
$\textcircled{3}$	$+2U_C$	1	1	1	1	0	1	0	0	1	1
$\textcircled{2t_2}$	$+2U_C$	X	X	1	1	1	1	0	0	1	0
$\textcircled{2d}$	$+U_C$	1	0	1	0	0	1	0	0	1	0
$\textcircled{2c}$	$+U_C$	1	0	1	0	1	1	0	1	0	0
$\textcircled{2t_1}$	0V	X	X	0	0	0	1	0	1	0	0
$\textcircled{0}$	0V	0	0	0	0	1	1	1	1	0	0
$\textcircled{1}$	$-U_C$	0	1	0	1	1	0	1	1	1	0
$\textcircled{pc}$	—	X	X	0	1	0	0	0	0	0	0

<sup>6</sup>precharging

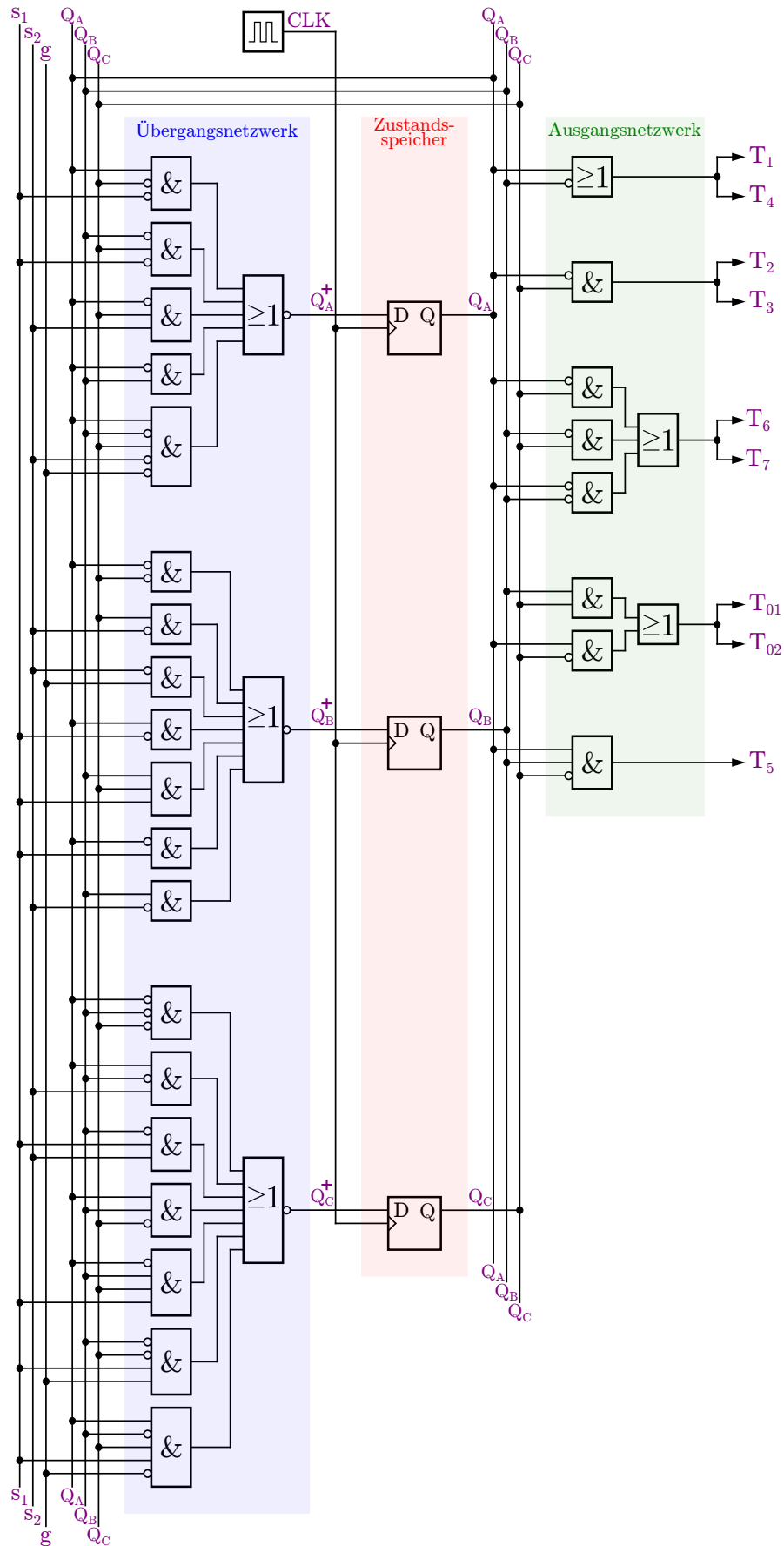


Abb. 6.4.: Realisierung des reduzierten EA in ein sequentielles Schaltwerk für die Ansteuerung des DZ-DC-SM (siehe Box 6.1)

**Box 6.1: Entwicklung des reduzierten EA in ein sequentielles Schaltwerk**

Übergangsnetzwerk des EA:

$$\overline{Q}_A^+ = Q_A \cdot \overline{Q}_C \cdot \overline{s}_1 + \overline{Q}_B \cdot Q_C \cdot \overline{s}_1 + \overline{Q}_A \cdot Q_C \cdot s_2 + \overline{Q}_A \cdot Q_B + Q_A \cdot \overline{Q}_B \cdot Q_C \cdot \overline{s}_2 \cdot \overline{g} \quad (6.2)$$

$$\overline{Q}_B^+ = \overline{Q}_A \cdot \overline{Q}_C + Q_C \cdot \overline{s}_2 + \overline{s}_2 \cdot g + Q_A \cdot \overline{s}_1 + Q_B \cdot Q_C \cdot s_1 + \overline{Q}_A \cdot s_1 + Q_B \cdot \overline{s}_2 \quad (6.3)$$

$$\begin{aligned} \overline{Q}_C^+ &= \overline{Q}_A \cdot \overline{Q}_B \cdot \overline{Q}_C + Q_A \cdot \overline{Q}_B \cdot s_2 + \overline{Q}_B \cdot s_1 \cdot s_2 + Q_A \cdot Q_B \cdot \overline{Q}_C \\ &+ \overline{Q}_A \cdot Q_B \cdot Q_C \cdot s_1 + \overline{Q}_B \cdot \overline{Q}_C \cdot s_1 \cdot g + Q_A \cdot \overline{Q}_B \cdot Q_C \cdot s_1 \cdot \overline{g} \end{aligned} \quad (6.4)$$

Ausgangsnetzwerk des EA:

$$T_1 = T_4 = Q_A + \overline{Q}_B \quad (6.5)$$

$$T_2 = T_3 = \overline{Q}_A \cdot Q_C \quad (6.6)$$

$$T_6 = T_7 = \overline{Q}_A \cdot Q_C + \overline{Q}_B \cdot Q_C + \overline{Q}_A \cdot \overline{Q}_B \quad (6.7)$$

$$T_{01} = T_{02} = Q_B \cdot Q_C + Q_A \cdot \overline{Q}_C \quad (6.8)$$

$$T_5 = Q_A \cdot Q_B \cdot \overline{Q}_C \quad (6.9)$$

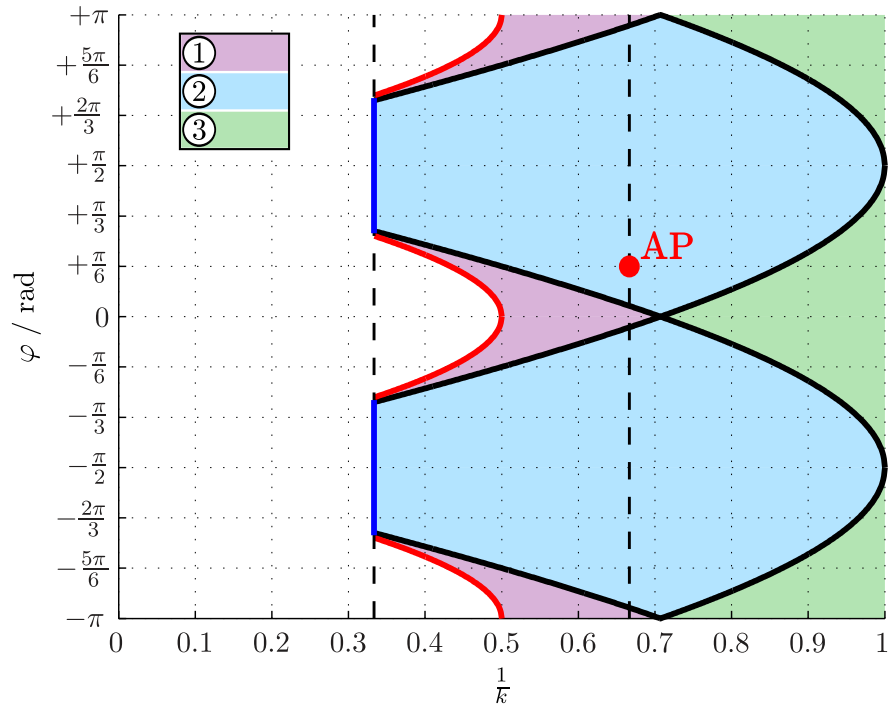
Die Codewörter der benachbarten Zustände in Tab. 6.2 unterscheiden sich nur in einem Bit – deren Hamming-Distanz ist also eins [DM19a]. Entwickelt man die Tabelle in ein sequentielles Schaltwerk, erhält man – in Abhängigkeit von den Eingangsvariablen  $\{s_1, s_2, g\}$  und dem aktuellen Wert des Zustandsspeichers  $\{Q_A, Q_B, Q_C\}$  – das Gleichungssystem für das Übergangs- sowie Ausgangsnetzwerk des EA (siehe Box 6.1). Abbildung 6.4 illustriert die Umsetzung von Gl. 6.2 bis 6.9 und das daraus entstehende Logikdiagramm [DM19a].

## 6.2. Energiepulsation und Submodul-Kondensatorkapazität im DZ-DC-SM

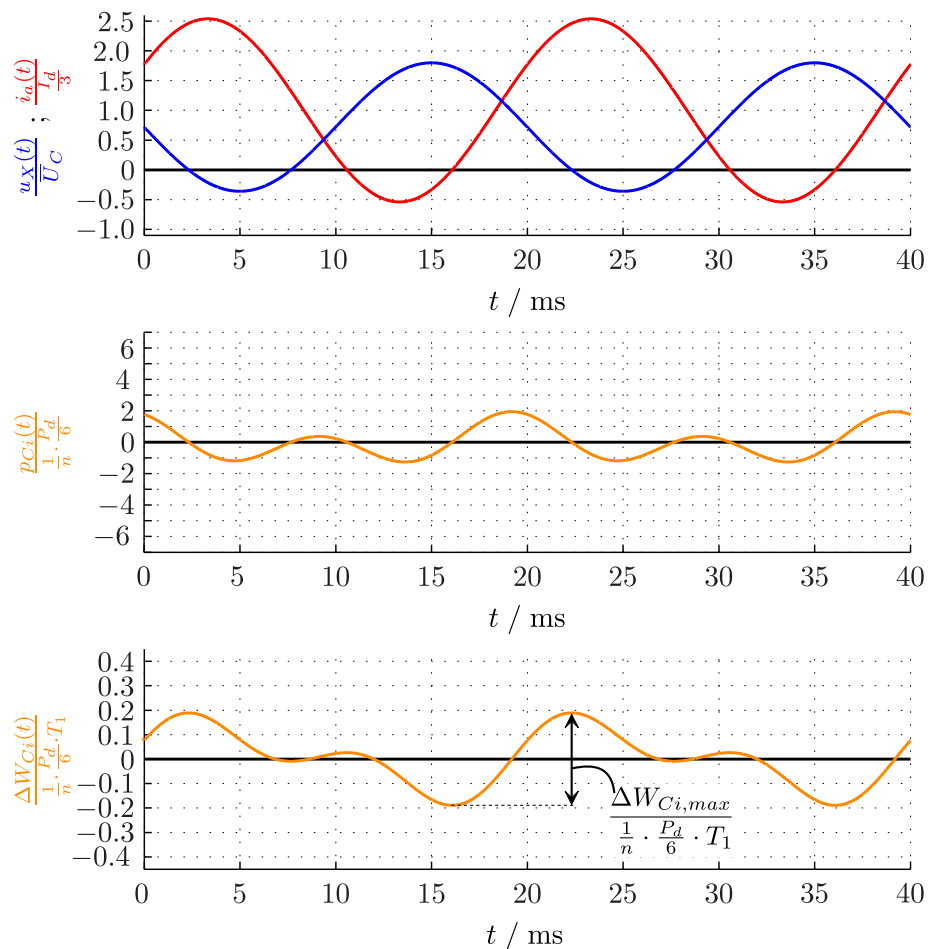
Möchte man die Möglichkeiten für eine Minimierung der Submodul-Kondensatorkapazität für geringe Submodul-Schaltfrequenzen untersuchen, müssen das angewendete Pulsmuster für dessen Klemmenspannung und die sich daraus ergebende Energiepulsationen innerhalb der Kondensatoren eindeutig bekannt sein. In Abbildung 4.7 wurde dazu bereits ein Pulsmuster mit einer Pulsfrequenz von dem dreifachen Wert der Grundfrequenz ( $f_p = 3 f_1$ ) definiert, welches sich für grundsätzliche Untersuchungen als praktikabel herausstellt.

Die Abbildungen 6.6a und 6.7a zeigen charakteristische Arbeitsbereiche (AB) der analysierten Submodul-Topologien (DZ-DC-SM, DZ-SM und FB-SM), in welchen sich grundsätzlich die Form der Energieverläufe innerhalb der Kondensatoren unterscheidet. Diese werden – wie im weiteren Verlauf dieses Abschnittes gezeigt – prinzipiell für die Bestimmung der maximal auftretenden Energiepulsationen  $\Delta W_{C_i, max}$  in den Submodul-Kondensatoren benötigt. Zusätzlich wird den untersuchten Submodul-Topologien noch eine verallgemeinerte Variante eines MMC-Submoduls – unter Anwendung einer hohen PWM Schaltfrequenz (HF PWM MMC-SM) – gegenüber gestellt (Abb. 6.5a). Es sei dabei angemerkt, dass die Energiepulsationen im Kondensatorzweig für das FB-SM und DZ-SM bei der Anwendung desselben



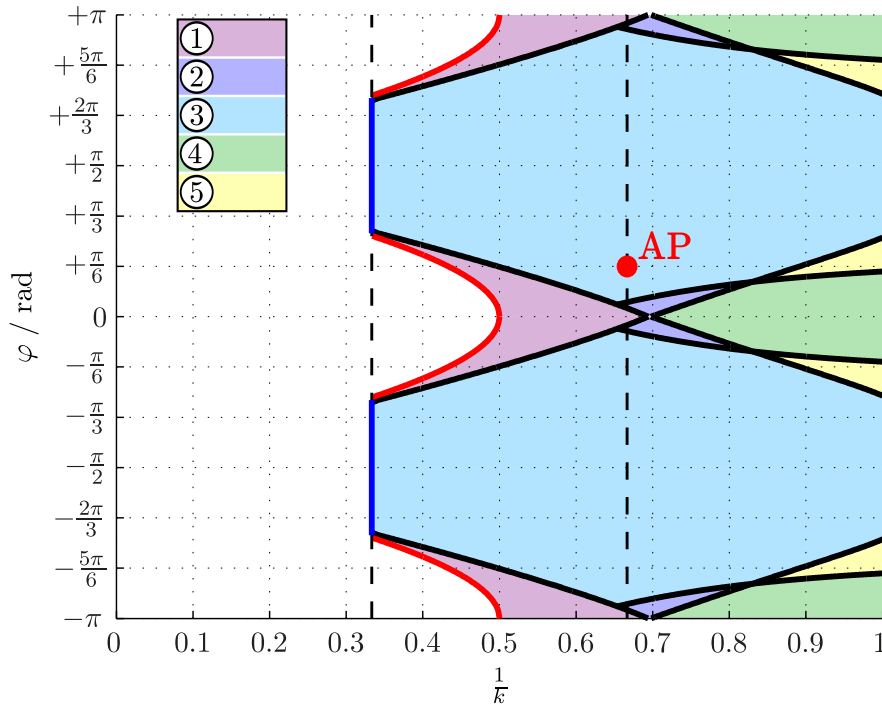


(a) MMC-Arbeitsbereiche (AB) für die maximal auftretenden Energiepulsationen  $\Delta W_{Ci,max}$  nach Gl. 6.10

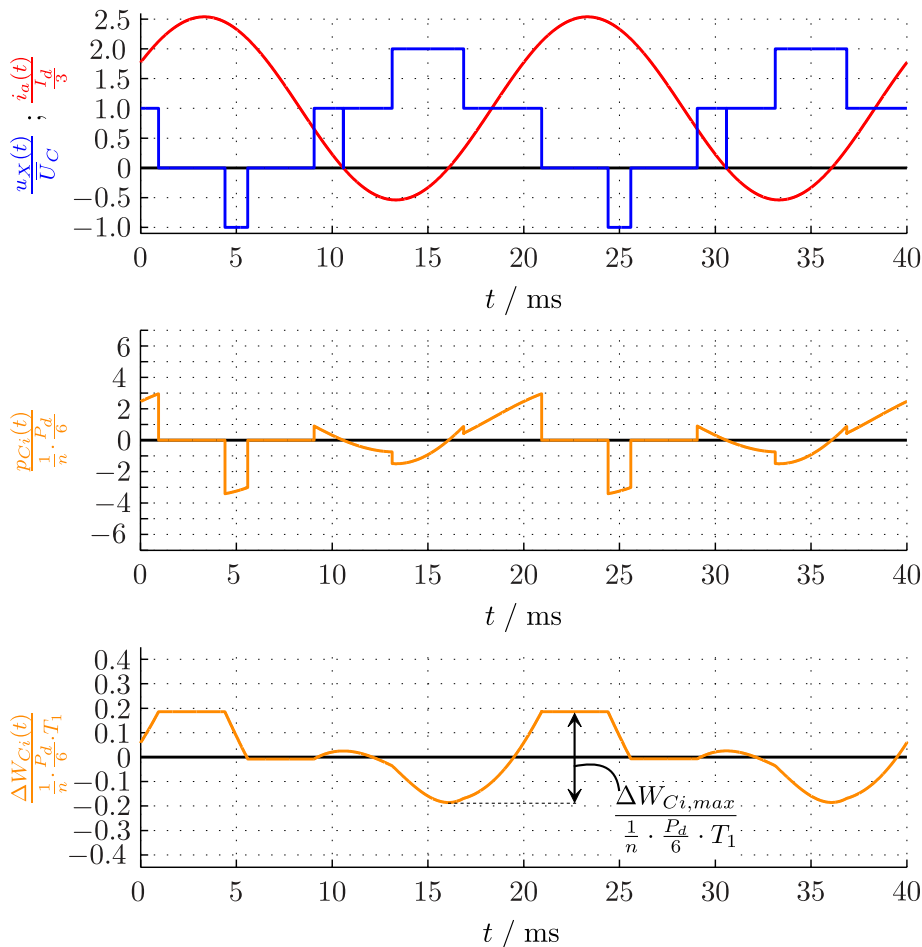


(b) Elektrische Submodul-Größen für den AP aus Abb. 6.5a ( $k = 1.5$ ;  $\varphi = 30^\circ$ )

Abb. 6.5.: Energiepulsationen für ein verallgemeinertes MMC-Submodul unter der Anwendung einer hohen PWM Schaltfrequenz (HF PWM MMC-SM)

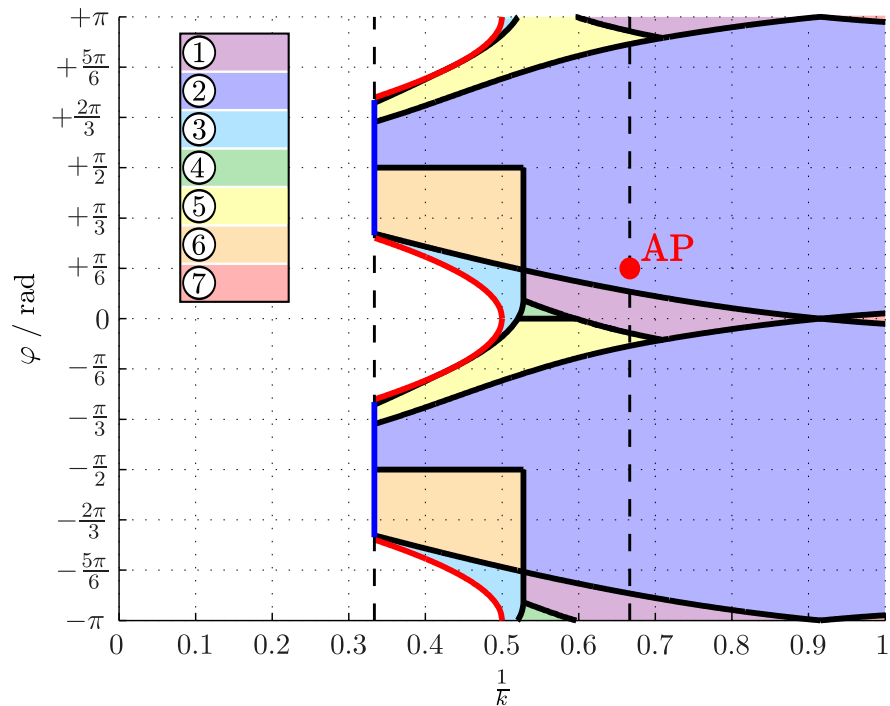


(a) MMC-Arbeitsbereiche (AB) für die maximal auftretenden Energiepulsa-  
tionen  $\Delta W_{Ci,max}$  nach Gl. 6.11

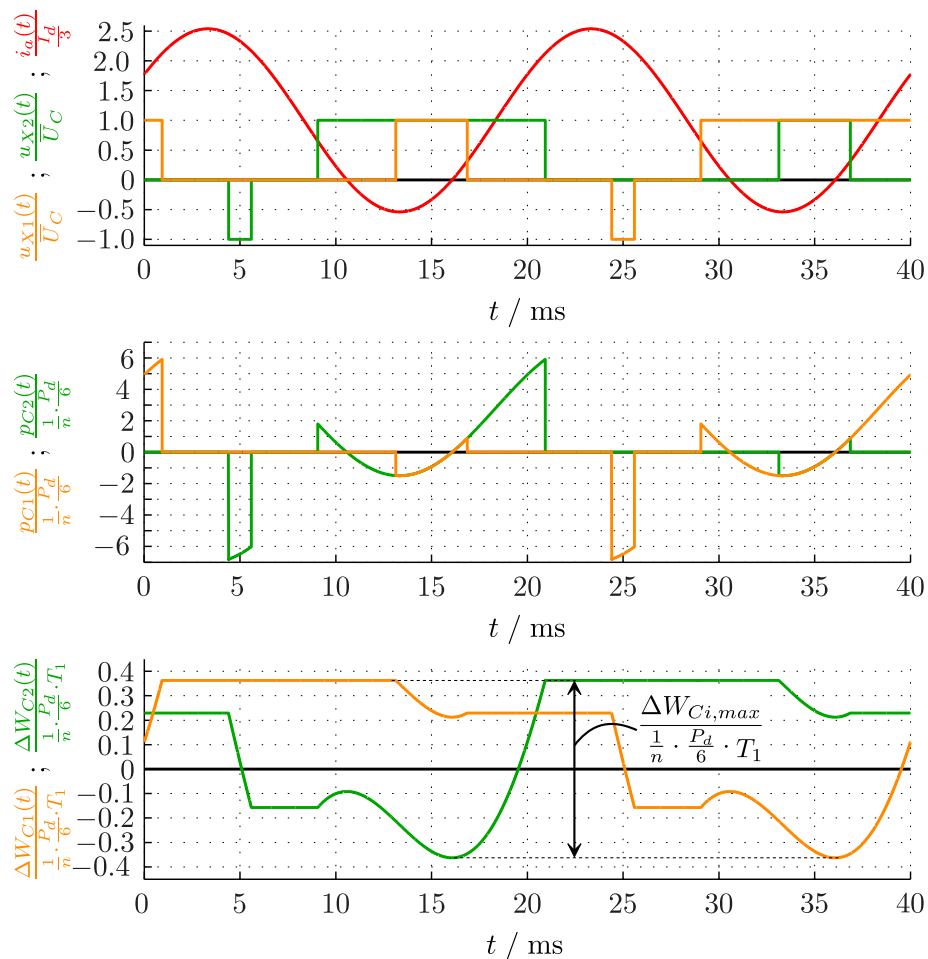


(b) Elektrische Submodul-Größen für den AP aus Abb. 6.6a ( $k = 1.5 ; \varphi = 30^\circ$ )

Abb. 6.6.: Energiepulsautionen für ein DZ-DC-SM unter der Anwendung des 4-Level Puls-  
musters nach Abb. 4.7



(a) MMC-Arbeitsbereiche (AB) für die maximal auftretenden Energiepulsationen  $\Delta W_{Ci,max}$  nach Gl. 6.12



(b) Elektrische Submodul-Größen für den AP aus Abb. 6.7a ( $k = 1.5$ ;  $\varphi = 30^\circ$ )

Abb. 6.7.: Energiepulsationen für die Serienschaltung zweier FB-SM (oder DZ-SM) unter der Anwendung des 4-Level Pulsmusters nach Abb. 4.7

Pulsmusters identisch sind. Generell sind die Arbeitsbereiche in Abb. 6.5a, 6.6a und 6.7a nur in Richtung hoher Spannungsmodulationen begrenzt. Zum einen ist dafür der maximal einstellbare Spannungsmodulationsfaktor von  $k = 3$  (**blaue Linie** in Abb. 6.5a, 6.6a, 6.7a) verantwortlich, denn für  $k > 3$  kann wenigstens eine der Pulsmuster-Eigenschaften nach Box 4.2 nicht mehr eingehalten werden. Zum anderen sind die Arbeitsbereiche durch einen minimal benötigten Strommodulationsfaktor von  $m = 1$  begrenzt (**rote Linie** in Abb. 6.5a, 6.6a, 6.7a). Für  $m < 1$  liegt der Zweigstrom ausschließlich unipolar vor, weshalb das Balancing des MMC dort nicht mehr jederzeit für alle individuellen Submodule sichergestellt werden kann. Die Abbildungen 6.5b, 6.6b und 6.7b zeigen exemplarisch die elektrischen Submodul-Größen für den definierten Wechselrichter-Arbeitspunkt (AP) nach Tab. 4.3 (mit  $k = 1.5$  und  $\varphi = 30^\circ$ ) [DM20]. Aus Gründen der Vergleichbarkeit sind die Momentanwerte der Leistung sowie Energieänderung in den Graphen auf den – je Submodul – übertragenen Anteil ( $\frac{1}{n}$ ) der Umrichter-Zweigwirkleistung  $\frac{P_d}{6}$  normiert.

In einer ersten Überlegung könnte man meinen, dass die Modulation der Submodule eines MMC mit  $n \geq 100$  und dem 4-Level Pulsmuster nach Abb. 4.7 für eine geringe Energiepulsation als ungenügend erscheint. Stellt man die Ergebnisse der Energiepulsationen aus den Abbildungen 6.5b, 6.6b und 6.7b jedoch in einem gemeinsamen Graphen gegenüber, kann man erkennen, dass die Energiepulsation des DZ-DC-SM in einem weiten Arbeitsbereich quantitativ mit der des verallgemeinerten MMC-Submoduls übereinstimmt (siehe Abb. 6.8). Es sei dabei erneut bemerkt, dass der Energieverlauf des verallgemeinerten MMC-Submoduls (schwarzer Verlauf) mit einer theoretisch unendlichen Pulsfrequenz ( $f_p \rightarrow \infty$ ) erreicht wird. Eine praktisch identische Energiepulsation ergibt sich im DZ-DC-SM (**roter Verlauf**) mit einer Pulsfrequenz von nur dem dreifachen Wert der Grundfrequenz ( $f_p = 3 f_1$ ) [DM20]. Bei den beiden Submodulen in Single-Connection (FB-SM und DZ-SM) ist eine essentiell höhere Pulsfrequenz vonnöten, um die Energiebilanz in den Submodul-Kondensatoren während einer Periode der Umrichter-Grundfrequenz (von 20 ms) beizubehalten. Der Grenzübergang von dem **blauen** (minimale Pulsfrequenz) zu dem schwarzen Verlauf (unendliche Pulsfrequenz) der Energiepulsation wird in Abb. 6.8 schließlich signifikant. Für die Betrachtung der Energiepulsationen der Submodule in Single-Connection ist es daher sinnvoll ein Zeitfenster von zwei Perioden (40 ms) zu berücksichtigen, um die Beibehaltung der Pulsfrequenz sicherzustellen. Dass der maximale Wert der Energiepulsation ungefähr dem Zweifachen des DZ-DC-SM entspricht, ist hier sichtlich unvermeidbar [DM20]. Nimmt man identische Vorgaben für die Spannungstoleranz  $\frac{\Delta U_C}{U_C}$  der untersuchten Submodul-Topologien an, ist eine Verdoppelung deren benötigten Kondensatorkapazitäten eine direkte Konsequenz daraus. Diese Ergebnisse sind grundsätzlich im Einklang mit aktuellen Veröffentlichungen unter der Anwendung einer hohen MMC Level-Anzahl ( $n$ ) [IAN<sup>+</sup>11, HAI<sup>+</sup>15, IHNN15, HJI<sup>+</sup>18, DHM18, DHM19].

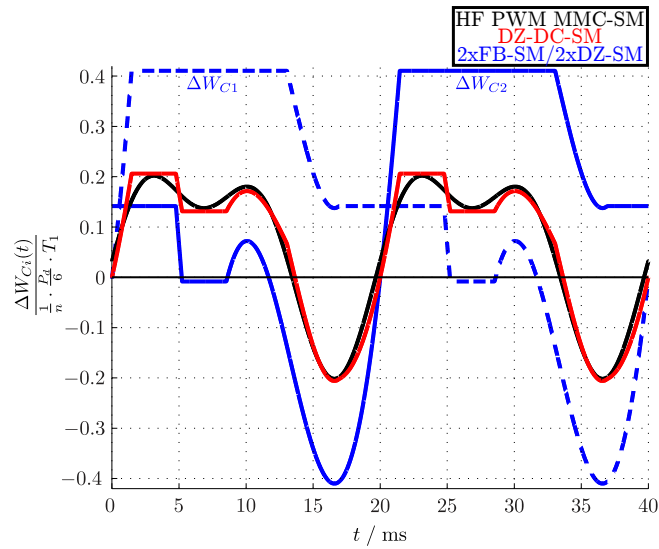
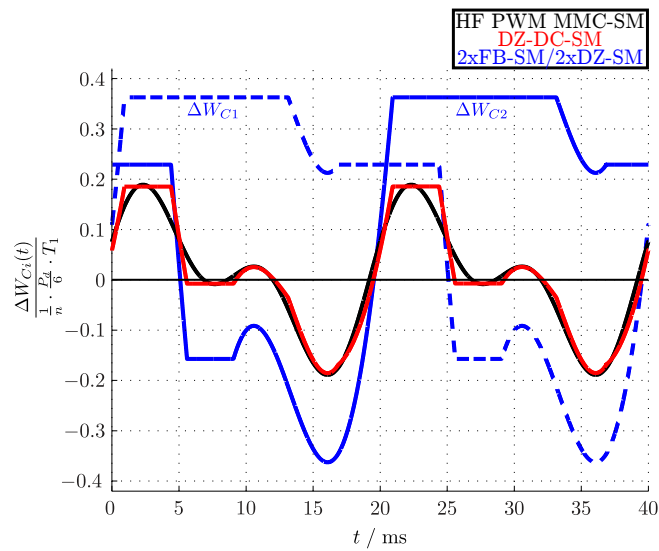
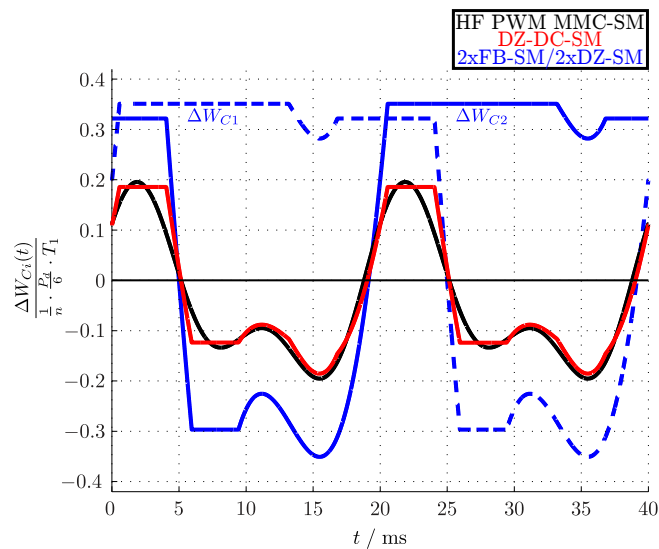
(a) Verringerter Spannungsmodulationsfaktor ( $k = 1.2$ )(b) Energiepulsation nach Abb. 6.5b, 6.6b, 6.7b ( $k = 1.5$ )(c) Erhöhter Spannungsmodulationsfaktor ( $k = 1.8$ )

Abb. 6.8.: Energiepulsationen innerhalb der Submodul-Kondensatoren für verschiedene Spannungsmodulationsfaktoren (und  $\varphi = 30^\circ$ )

Möchte man unter Verwendung von FB-SM (oder DZ-SM) indessen eine vergleichbare Energiepulsation zum DZ-DC-SM erreichen, müssen die Schaltzustände  $\pm U_C$  eines Clusters zwischen den beiden Submodulen ( $u_{X1}$  und  $u_{X2}$ ) alterniert werden. Allerdings kann mit einer endlichen Pulsfrequenz nur eine Energiepulsation eingestellt werden, welche signifikant über der des DZ-DC-SM liegt. Abbildung 6.9 zeigt dazu die Verläufe eines Clusters aus FB-SM (oder DZ-SM) mit einer um 10% erhöhten Energiepulsation. Erreicht wird dies mit der Einführung eines Toleranzbandes um die DZ-DC-SM-Energiepulsation. Immer wenn einer der FB-SM-Energiepulsationen eine Toleranzgrenze (von  $\pm 10\%$ ) passiert, wird eine Umschaltung der beiden Submodule durchgeführt. Je steiler der Verlauf der Energieänderung ausfällt, desto häufiger muss eine Umschaltung vorgenommen werden. Die erreichte Verbesserung zu dem Schaltmuster aus Abb. 6.7b muss unverkennbar mit einer deutlich erhöhten Pulsfrequenz (von ca.  $f_p = 1.1$  kHz) erkauft werden. Wie es in Abschnitt 4.3.2 bereits bewiesen wurde, wird bei der Betrachtung des alternierenden Pulsbetriebs zweier FB-SM (oder DZ-SM) noch einmal deutlich, dass das abwechselnde Aktivieren der Kondensatoren in den Schaltzuständen  $\pm U_C$  – im Vergleich zu deren dauerhaften Parallelschaltung im DZ-DC-SM – die zweifachen ohmschen Durchlassverluste

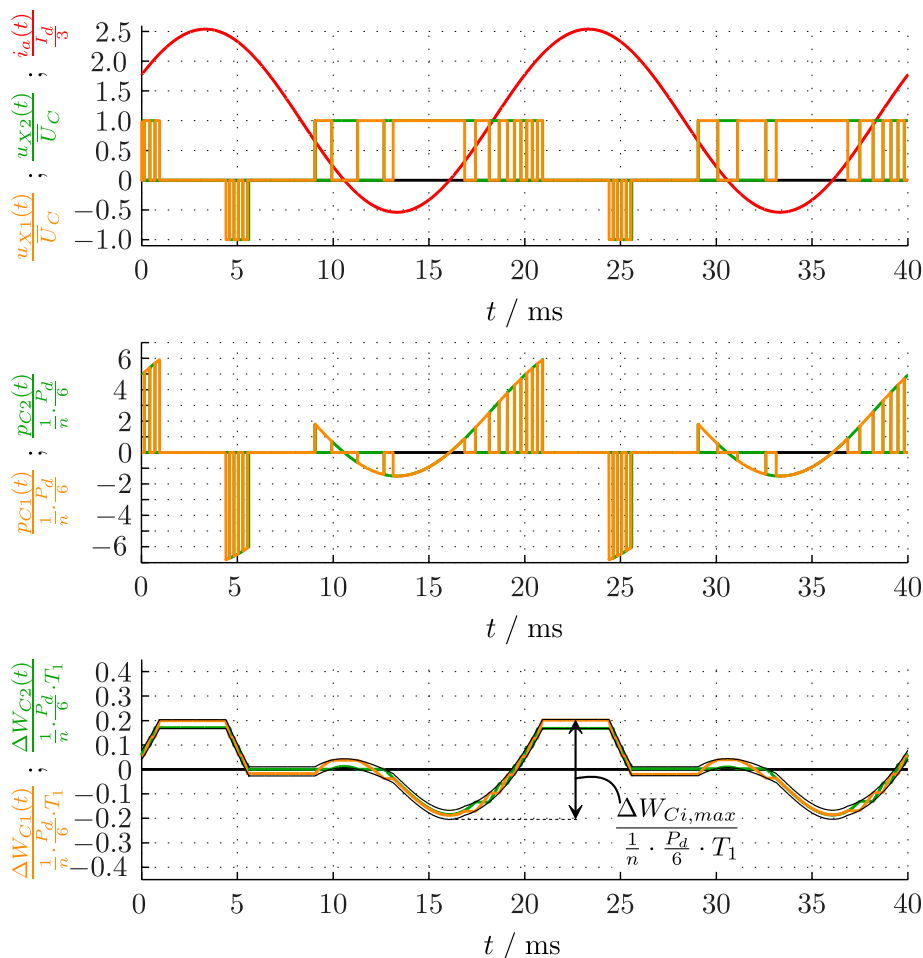


Abb. 6.9.: Energiepulsationen für die Serienschaltung zweier FB-SM (oder DZ-SM) unter Anwendung eines alternierend gebildeten 4-Level Pulsmusters ( $f_p = 1.1$  kHz)

in den Kondensatorpfaden verursacht (siehe Gl. 4.42 und 4.52).

Die Boxen 6.2 und 6.3 fassen einen vollständigen Satz von Gleichungen für die Bestimmung der maximalen Energiepulsationen der untersuchten Submodul-Topologien in allen Arbeitsbereichen ( $-\pi \leq \varphi \leq +\pi$ ;  $1 \leq k \leq 3$ ) zusammen [DM20]. Es sei angemerkt, dass die Gleichung 6.11 in einer vereinfachten Form wiedergegeben ist, welche identische Kapazitätswerte der beiden Submodul-Kondensatoren voraussetzt. Anders als bei den Submodulen in Single-Connection findet nämlich nur beim DZ-DC-SM (in den Schaltzuständen für  $\pm U_C$ ) eine Parallelschaltung der Kondensatoren statt. Definiert man für eine allgemeine Beschreibung eine relative Toleranz  $\varepsilon$  (mit  $\varepsilon > 0$ ) zwischen den Submodul-Kondensatorkapazitäten  $C_1$  und  $C_2$ , können deren Werte – nach Gl. 6.13 und 6.14 (Box 6.4) – um eine nominale, mittlere Kapazität  $\bar{C}_{12}$  angegeben werden. Das Ungleichgewicht der Kapazitäten ( $C_1 < C_2$ ) hat ebenfalls ein Ungleichgewicht deren Ströme während der Parallelschaltung ( $i_{C_1}(t) < i_{C_2}(t)$ ) – dargestellt in den Gleichungen 6.15 und 6.16 – zur Folge. Berücksichtigt man die Proportionalität von Kondensatorstrom und dessen Energiepulsation, übertragen sich die Vorfaktoren  $\frac{1-\varepsilon}{2}$  bzw.  $\frac{1+\varepsilon}{2}$  demzufolge auch auf (den roten Faktor in) Gleichung 6.11:

$$\frac{1}{2} \rightarrow \begin{cases} \frac{1-\varepsilon}{2} & \text{für } \Delta W_{C_1,max} \\ \frac{1+\varepsilon}{2} & \text{für } \Delta W_{C_2,max}. \end{cases}$$

Für eine exakte Bestimmung der individuellen Energiepulsationen muss die erwähnte Substitution zwar bedacht werden, aus Gründen der Übersicht wird die vereinfachte Darstellung in Box 6.3 jedoch beibehalten.

**Box 6.2: Maximale Energiepulsationen für die Anwendung einer hohen PWM Schaltfrequenz**

Maximale Energiepulsationen für ein verallgemeinertes HF PWM MMC-Submodul (AB aus Abb. 6.5a) gültig für  $-\pi \leq \varphi \leq +\pi$ :

$$\Delta W_{C_i,max} = \begin{cases} \bar{U}_C \frac{r}{k+1} \frac{T_1}{\pi} \frac{|I_d|}{3} \left[ \sqrt{k^2 - 1} \cdot \left(1 - \frac{1}{k^2}\right) \right] & \text{für AB ①} \\ \bar{U}_C \frac{r}{k+1} \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ \sqrt{m^2 - 1} \cdot \left(1 - \frac{1}{m^2}\right) + \sqrt{k^2 - 1} \cdot \left(1 - \frac{1}{k^2}\right) \right. \\ \qquad \qquad \qquad \left. + \left(1 + \frac{1}{m^2} + \frac{1}{k^2}\right) \cdot |\tan \varphi| \right] & \text{für AB ②} \\ \bar{U}_C \frac{r}{k+1} \frac{T_1}{\pi} \frac{|I_d|}{3} \left[ \sqrt{m^2 - 1} \cdot \left(1 - \frac{1}{m^2}\right) \right] & \text{für AB ③} \end{cases} \quad (6.10)$$

**Box 6.3: Maximale Energiepulsationen für die Anwendung eines 4-Level Pulsusters**

Partielle Anteile von Hilfsenergiepulsationen (angewendet in den Gleichungen 6.11 und 6.12):

$$\begin{aligned}
\Delta W_{h1} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ m \cdot (\sin(\gamma + \varphi) + \sin(\gamma - \varphi)) + 2\gamma \right] \\
\Delta W_{h2} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ \sqrt{m^2 - 1} - |m| \cdot \cos\left(\alpha - \left|\frac{\pi}{2} - |\varphi|\right|\right) + \alpha + \arcsin\left(\frac{1}{|m|}\right) - \left|\frac{\pi}{2} - |\varphi|\right| \right] \\
\Delta W_{h3} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ \sqrt{m^2 - 1} - |m| \cdot \cos\left(\beta - \left|\frac{\pi}{2} - |\varphi|\right|\right) + \beta + \arcsin\left(\frac{1}{|m|}\right) - \left|\frac{\pi}{2} - |\varphi|\right| \right] \\
\Delta W_{h4} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ |m| \cdot \left( \cos\left(\beta - \left|\frac{\pi}{2} - |\varphi|\right|\right) - \cos\left(\alpha - \left|\frac{\pi}{2} - |\varphi|\right|\right) \right) + \alpha - \beta \right] \\
\Delta W_{h5} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ \sqrt{m^2 - 1} + |m| \cdot \cos\left(\beta + \left|\frac{\pi}{2} - |\varphi|\right|\right) + \beta + \arcsin\left(\frac{1}{|m|}\right) - \pi + \left|\frac{\pi}{2} - |\varphi|\right| \right] \\
\Delta W_{h6} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ m \cdot (\sin(\beta + \varphi) + \sin(\beta - \varphi)) - 2\beta \right] \\
\Delta W_{h7} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ \sqrt{m^2 - 1} + m \cdot \sin(\beta + \varphi) - \beta + \arcsin\left(\frac{1}{|m|}\right) \right] \\
\Delta W_{h8} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ -\pi + \left|\frac{\pi}{2} - \operatorname{sgn}(m) \cdot \varphi\right| \right] \\
\Delta W_{h9} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ \sqrt{m^2 - 1} + m \cdot \sin(\alpha - \varphi) - \alpha + \arcsin\left(\frac{1}{|m|}\right) - \left|\frac{\pi}{2} - |\varphi|\right| \right] \\
\Delta W_{h10} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ -m \cdot (\sin(\alpha + \varphi) + \sin(\alpha - \varphi)) + 2\alpha \right] \\
\Delta W_{h11} &= \bar{U}_C \frac{T_1}{2\pi} \frac{|I_d|}{3} \left[ 2\sqrt{m^2 - 1} - \pi + 2 \arcsin\left(\frac{1}{|m|}\right) \right]
\end{aligned}$$

Maximale Energiepulsationen für das DZ-DC-SM ( $C_1 = C_2$ ) (AB aus Abb. 6.6a) gültig für  $-\pi \leq \varphi \leq +\pi$ :

$$\Delta W_{Ci,max} = \begin{cases} \frac{1}{2} \Delta W_{h1} & \text{für AB ①} \\ \frac{1}{2} \Delta W_{h2} & \text{für AB ②} \\ \Delta W_{h3} + \frac{1}{2} \Delta W_{h4} & \text{für AB ③} \\ \frac{1}{2} \Delta W_{h5} + \Delta W_{h6} + \frac{1}{2} \Delta W_{h3} & \text{für AB ④} \\ \frac{1}{2} \Delta W_{h5} + \Delta W_{h6} + \Delta W_{h3} & \text{für AB ⑤} \end{cases} \quad (6.11)$$

Maximale Energiepulsationen für das FB-SM (oder DZ-SM) (AB aus Abb. 6.7a) gültig für  $-\pi \leq \varphi \leq +\pi$ :

$$\Delta W_{Ci,max} = \begin{cases} \Delta W_{h10} & \text{für AB ①} \\ \Delta W_{h2} & \text{für AB ②} \\ \Delta W_{h1} & \text{für AB ③} \\ \Delta W_{h1} + \Delta W_{h7} + \Delta W_{h8} & \text{für AB ④} \\ \Delta W_{h1} + \Delta W_{h7} - \operatorname{sgn}(\varphi) \cdot \Delta W_{h8} & \text{für AB ⑤} \\ \Delta W_{h1} + \Delta W_{h9} & \text{für AB ⑥} \\ \Delta W_{h11} & \text{für AB ⑦} \end{cases} \quad (6.12)$$



Box 6.4: Definition der Zusammenhänge in den Kondensatorzweigen innerhalb des DZ-DC-SM Submodul-Kondensatorkapazitäten bei einer relativen Toleranz  $\varepsilon$ :

$$C_1 = \frac{\bar{C}_{12}}{1 + \varepsilon} \quad (6.13)$$

$$C_2 = \frac{\bar{C}_{12}}{1 - \varepsilon} \quad (6.14)$$

Momentanwert der Kondensatorströme bei einer relativen Toleranz  $\varepsilon$  (während der Parallelschaltung):

$$i_{C1}(t) = i_{T01}(t) = \frac{C_1}{C_1 + C_2} \cdot i_a(t) = \frac{1 - \varepsilon}{2} \cdot i_a(t) \quad (6.15)$$

$$i_{C2}(t) = i_{T02}(t) = \frac{C_2}{C_1 + C_2} \cdot i_a(t) = \frac{1 + \varepsilon}{2} \cdot i_a(t) \quad (6.16)$$

Abbildung 6.10 zeigt schließlich die maximalen Energiepulsationen der drei Submodul-Topologien in Abhängigkeit des Spannungsmodulationsfaktors für typische Phasenverschiebungen ( $\varphi = 30^\circ$  und  $\varphi = 0^\circ$ ). Aus Gründen der Einfachheit ist in den Graphen für das DZ-DC-SM ebenfalls die maximale Energiepulsation  $\Delta W_{C_i, max}$  – identisch für beide Kondensatoren ( $\varepsilon = 0$ ) – angegeben [DM20].

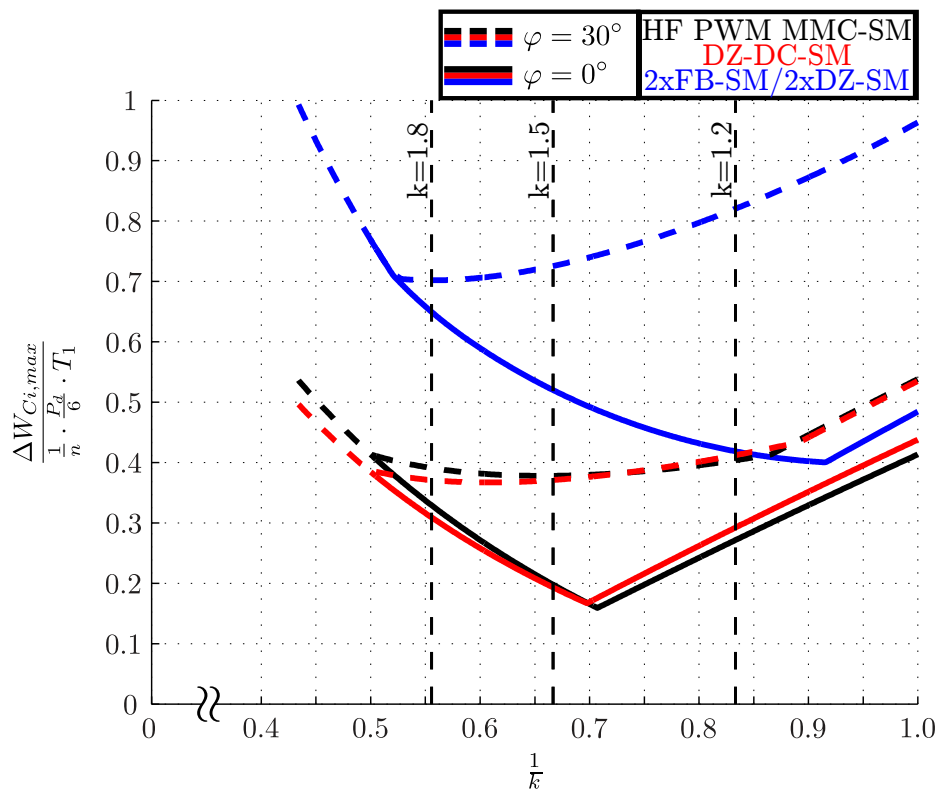


Abb. 6.10.: Maximale Energiepulsationen der drei Submodul-Topologien in Abhängigkeit vom Arbeitspunkt

Unter der idealisierten Annahme, dass die positive sowie negative Spannungsänderung gleichförmig um die mittlere Kondensatorspannung ( $\bar{U}_C$ ) und nach:

$$\Delta U_C = 2 \cdot \varepsilon \cdot \bar{U}_C \quad (6.17)$$

erfolgt, kann die Submodul-Kondensatorkapazität  $C_i$  mit der bekannten Energiepulsation  $\Delta W_{C_i, max}$  wie folgt berechnet werden:

$$C_i = \frac{\Delta W_{C_i, max}}{\frac{\Delta U_C}{\bar{U}_C} \cdot \bar{U}_C^2} = \frac{\Delta W_{C_i, max}}{2 \cdot \varepsilon \cdot \bar{U}_C^2}. \quad (6.18)$$

### 6.3. Kondensator-Balancing-Sequenz im DZ-DC-SM

In dem ersten Abschnitt dieses Kapitels (6.1) wurde bereits das grundlegende Konzept für die DZ-DC-SM-Ansteuerung vorgestellt. Es ist zudem bekannt, dass die Spannungsdifferenz zwischen den Submodul-Kondensatoren aufgrund deren Kapazitätstoleranz  $\varepsilon$  ausschließlich während des Schaltzustandes  $\textcircled{3}$  ( $+2U_C$ ) – der Serienschaltung beider Kondensatoren – auftritt. Deren Balancing soll deshalb stets in dem zeitlich darauf folgenden Schaltzustand  $\textcircled{2}$  ( $+U_C$ ) durchgeführt werden. Wie in Tab. 6.1 und Abb. 6.2 gezeigt wurde, ist zum einen der Zustand  $\textcircled{2d}$  dafür zuständig (bei einem negativen Zweigstrom ( $i_a < 0$ )) den Submodul-Kondensator mit der höheren Spannung zu entladen und zum anderen der Zustand  $\textcircled{2c}$  dafür zuständig (bei einem positiven Zweigstrom ( $i_a > 0$ )) den Submodul-Kondensator mit der niedrigeren Spannung zu laden. Dabei soll davon ausgegangen werden, dass das Kondensator-Balancing vollständig abgeschlossen ist, bevor in der zeitlichen Abfolge durch das Pulsmuster der nächste Schaltzustand  $\textcircled{0}$  (0V) aktiviert wird. Das eingeführte Ansteuerkonzept besitzt die Hauptintention, einen nahtlosen, passiven und verlustlosen Übergang in die Kondensator-Parallelschaltung zu ermöglichen. Dabei ist für das Balancing nach Tab. 6.2 keine Messung der Kondensatorspannungen notwendig [DM19a, DM19b]. Für eine sichere und exakte Detektion geringer Spannungsdifferenzen wäre ein deutlicher Mehraufwand für die Implementierung des Submoduls notwendig, was somit zu einem negativen Einfluss auf die Zuverlässigkeit des Systems führen kann [HJI<sup>+</sup>19].

Tab. 6.3.: Simulationsparameter einer DZ-DC-SM-Balancing-Sequenz für eine vollständige Periode der Grundfrequenz

Simulation	Abb. 6.12	Abb. 6.13
$\varphi$	$+30^\circ$	$-30^\circ$
$I_d$	2.60 kA	
$r$	0.9	
$k$	1.5	
$\bar{C}_{12}$	4.0 mF	
$\varepsilon$	10%	
$C_1$	3.6 mF	
$C_2$	4.4 mF	
$u_{C1}(0) = \bar{U}_C$	2.0 kV	
$u_{C2}(0) = \bar{U}_C$	2.0 kV	

Die Abbildungen 6.12 und 6.13 illustrieren die Simulation des DZ-DC-SM über eine vollständige Periode ( $f_1 = 50$  Hz) unter Berücksichtigung der Parameter aus Tab. 6.3. In Abhängigkeit vom Arbeitspunkt ( $\varphi = \pm 30^\circ$ ) kann sowohl das Laden (2c) (Abb. 6.12) als auch das Entladen (2d) (Abb. 6.13) der Submodul-Kondensatoren beobachtet werden. Neben dem Momentanwert des Zweigstromes ( $i_a$ ) in den oberen Graphen, zeigen die mittleren Graphen jeweils den zeitlichen Verlauf der Kondensatorspannungen ( $u_{Ci}$ ) sowie der Submodul-Klemmenspannung ( $u_X$ ). Aus Gründen der Übersicht bieten die unteren Graphen zusätzlich eine vergrößerte Darstellung auf den (in der roten Box hervorgehobenen) Zeitabschnitt  $t_E \leq t \leq t_X$ . In den Abbildungen 6.12 und 6.13 ist einerseits der Zeitpunkt  $t_F$  herausgehoben, in dem das Balancing der Submodul-Kondensatoren initiiert wird. Entsprechend dem Momentanwert des Zweigstromes (und  $C_1 < C_2$ ) beginnt die Balancing-Sequenz in diesen Arbeitspunkten mit einer Spannungsdifferenz von  $-42$  V. Andererseits sei der Zeitpunkt  $t_X$  erwähnt. Er kennzeichnet, dass das Balancing der Kondensatorspannungen abgeschlossen ist und die Parallelschaltung der Kondensatoren passiv aktiviert wird [DM19b].

Für eine detaillierte Beschreibung der Balancing-Sequenz ist in Abb. 6.11 die Bildung der Double-Connection aus zwei DZ-SM illustriert. Die externe Verbindung der Klemmen

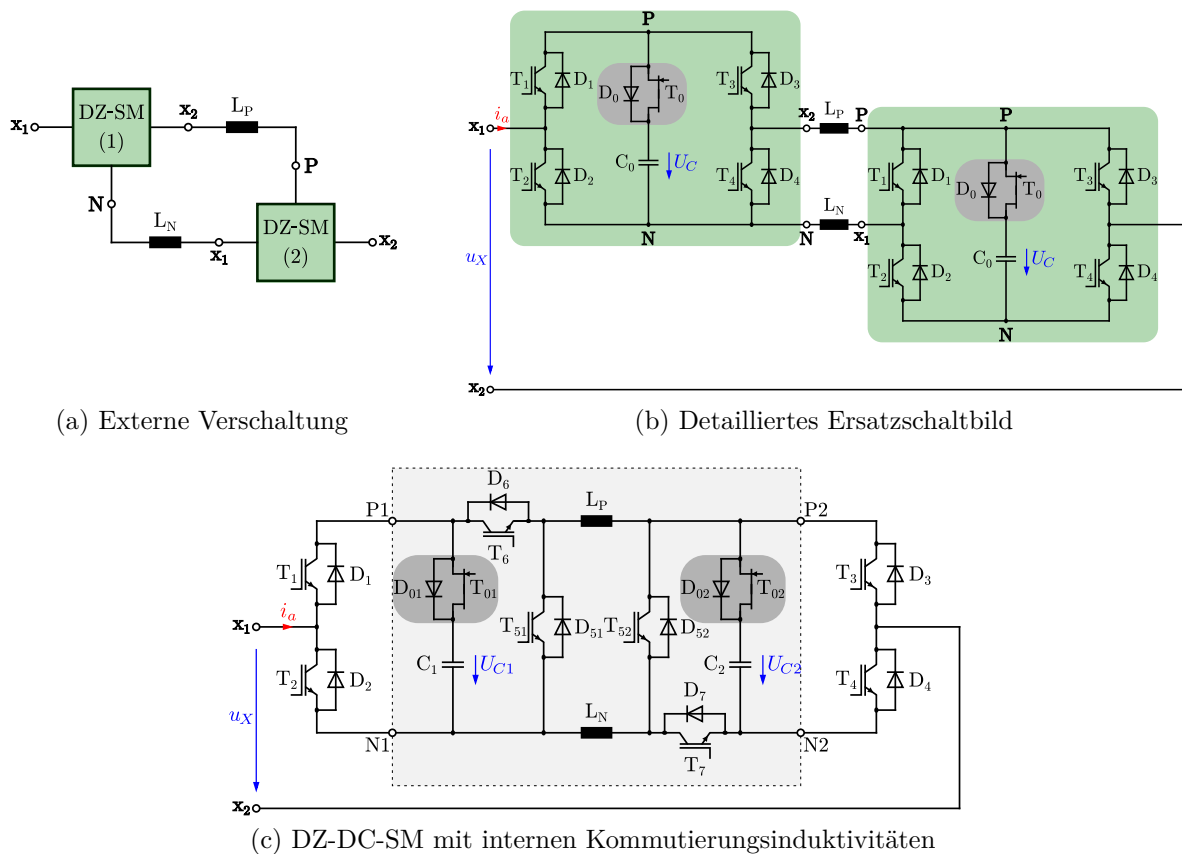


Abb. 6.11.: Realisierung einer Double-Connection aus Double-Zero-Submodulen

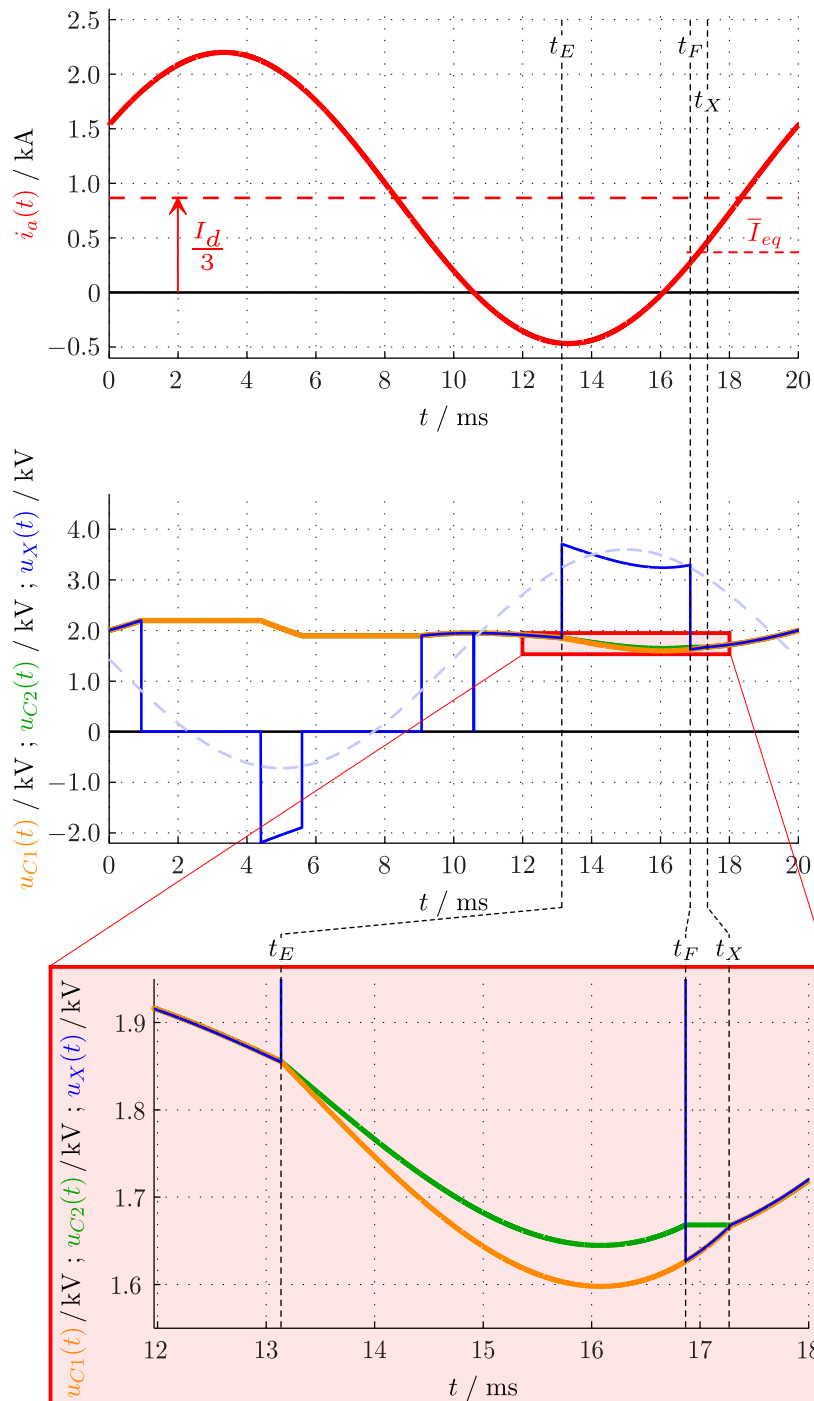


Abb. 6.12.: Simulation einer DZ-DC-SM-Balancing-Sequenz für eine vollständige Periode der Grundfrequenz (Laden des Kondensators mit der geringeren Spannung ( $i_a > 0$ ;  $\varphi = +30^\circ$ ))

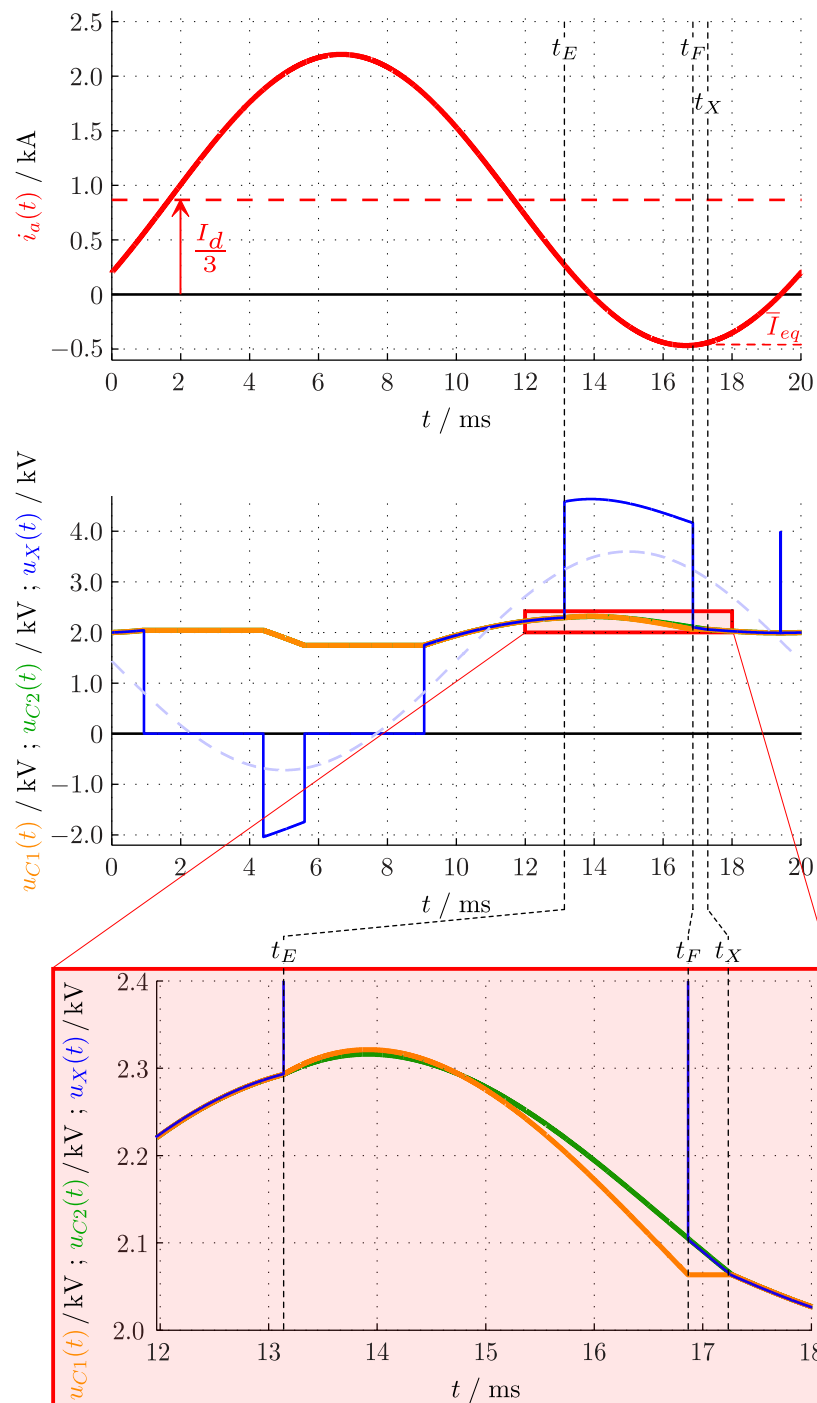


Abb. 6.13.: Simulation einer DZ-DC-SM-Balancing-Sequenz für eine vollständige Periode der Grundfrequenz (Entladen des Kondensators mit der höheren Spannung ( $i_a < 0$ ;  $\varphi = -30^\circ$ ))

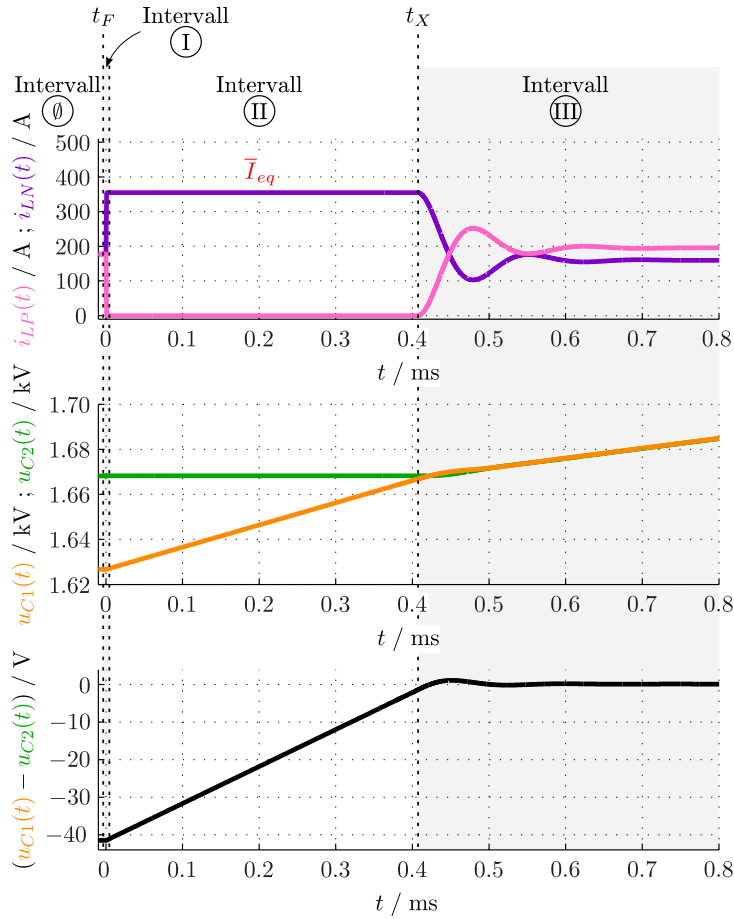


Abb. 6.14.: Balancing-Sequenz und Kommutierungstrajektorie des DZ-DC-SM für  $i_a > 0$

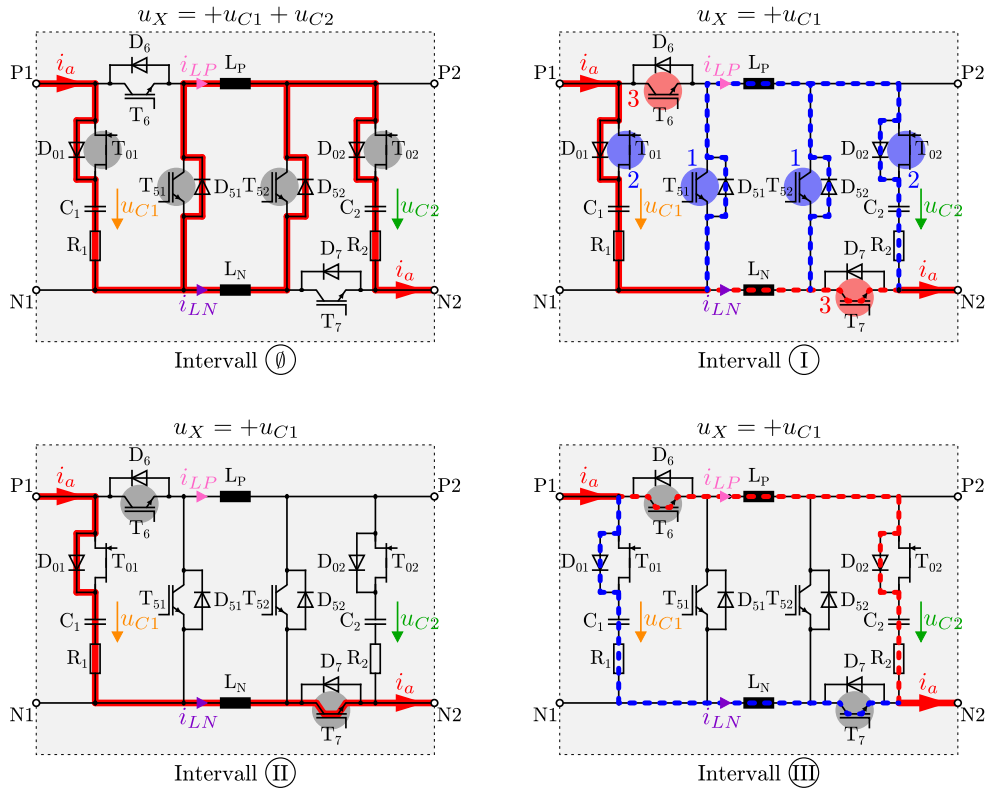


Abb. 6.15.: Kommutierungspfade im inneren Kern des DZ-DC-SM für  $i_a > 0$

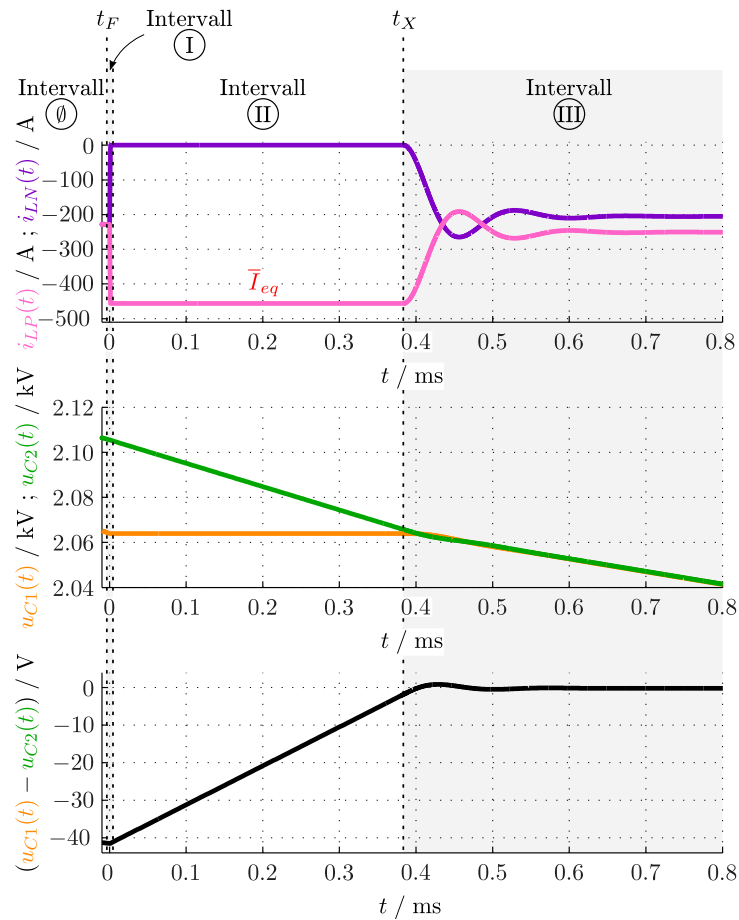


Abb. 6.16.: Balancing-Sequenz und Kommutierungstrajektorie des DZ-DC-SM für  $i_a < 0$

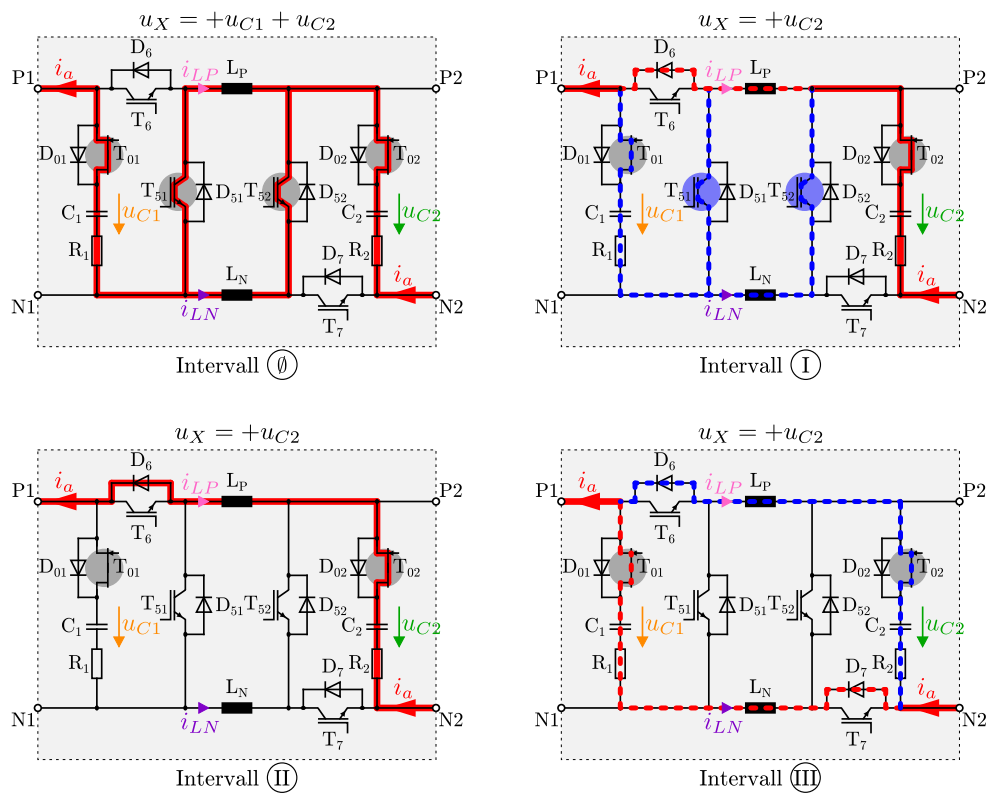


Abb. 6.17.: Kommutierungspfade im inneren Kern des DZ-DC-SM für  $i_a < 0$

Tab. 6.4.: Simulationsparameter und -ergebnisse einer DZ-DC-SM-Balancing-Sequenz sowie Kommutierung in den Parallelzustand

Simulation	Abb. 6.14 und 6.15	Abb. 6.16 und 6.17
$L_P = L_N$	115 nH	
$R_1 = R_2$	3.925 m $\Omega$	
$C_1$	3.6 mF	
$C_2$	4.4 mF	
$u_{C1}(t_F)$	1.626 kV	2.063 kV
$u_{C2}(t_F)$	1.668 kV	2.105 kV
$\Delta U_{C,hard}$	-42 V	-42 V
$I_{eq}$	354 A	-456 A
$i_a(t_X)$	436 A	-444 A
$\Delta U_{C,soft}$	-1.71 V	-1.74 V
$a$	-11.2%	-9.1%
$\Delta W_{hard}$	1.74 J	1.74 J
$\Delta W_{soft}$	10.2 mJ	7.0 mJ
$\Sigma W_C$	13.9 kJ	21.2 kJ

wird hier bewusst mit einer, nicht vernachlässigbaren, parasitären Induktivität ( $L_P$  und  $L_N$ ) gezeigt. Aus der folgenden Untersuchung wird deutlich, dass die Funktionalität der Balancing-Sequenz durch die Induktivitäten nicht beeinträchtigt wird [DM19a].

Die Abbildungen 6.14 und 6.16 stellen die zeitlichen Verläufe der Balancing-Sequenzen und die anschließenden Kommutierungen in den Parallelzustand der Submodulkondensatoren für beide Zweigstromrichtungen – unter Anwendung der Simulationsparameter aus Tab. 6.4 – dar. In den Abbildungen 6.15 und 6.17 sind passend dazu für die unterschiedlichen Intervalle während des Balancing-Prozesses die Ersatzschaltbilder des inneren Kerns des DZ-DC-SM und dessen Kommutierungspfade veranschaulicht. Die Darstellung des inneren Kerns ist hier vollkommen ausreichend, da die Ansteuerung der stromführenden Halbleiterbauelemente der äußeren Halbbrücken während der Schaltzustände ③ und ② unverändert bleibt. Zusätzlich zu den Kommutierungsinduktivitäten ( $L_P$  und  $L_N$ ) sind in den Ersatzschaltbildern ebenfalls die parasitären, ohmschen Widerstände der Kondensatorzweige ( $R_1$  und  $R_2$ ) eingezeichnet [HJI<sup>+</sup>19]. Für eine bessere Übersicht sind das **Aus-** und **Einschalten** der Halbleiterbauelemente in den Schaltbildern (mit **blau** und **rot**) farbig hinterlegt. Eine nebenstehende Nummerierung ist erneut stellvertretend für die Schaltreihenfolge der Transistoren. Die gestrichelten Maschen in den Ersatzschaltbildern verdeutlichen schließlich die Stromänderungen der Kommutierungskreise [DM19a]:

- **Betragsmäßige Reduktion** des Kommutierungsstromes in einem Pfad
- **Betragsmäßige Erhöhung** des Kommutierungsstromes in einem Pfad.



**Box 6.5: Zeitliche Verläufe während der Kommutierung nach Abb.6.14 und 6.16 ( $C_1 < C_2$ )**

Ströme während der Kommutierung (entwickelt um den Zeitpunkt  $t_X$  für  $t \geq 0$ ):

$$i_{LP}(t) = \begin{cases} \bar{I}_{eq} \left[ -\frac{1+\varepsilon}{2} \frac{\omega_0}{\omega_e} e^{-\delta t} \cos(\omega_e t - \theta) + \frac{1+\varepsilon}{2} \right] & \text{für } i_a > 0 \\ \bar{I}_{eq} \left[ \frac{1-\varepsilon}{2} \frac{\omega_0}{\omega_e} e^{-\delta t} \cos(\omega_e t - \theta) + \frac{1+\varepsilon}{2} \right] & \text{für } i_a < 0 \end{cases} \quad (6.19)$$

$$i_{LN}(t) = \begin{cases} \bar{I}_{eq} \left[ \frac{1+\varepsilon}{2} \frac{\omega_0}{\omega_e} e^{-\delta t} \cos(\omega_e t - \theta) + \frac{1-\varepsilon}{2} \right] & \text{für } i_a > 0 \\ \bar{I}_{eq} \left[ -\frac{1-\varepsilon}{2} \frac{\omega_0}{\omega_e} e^{-\delta t} \cos(\omega_e t - \theta) + \frac{1-\varepsilon}{2} \right] & \text{für } i_a < 0 \end{cases} \quad (6.20)$$

Spannungen während der Kommutierung (entwickelt um den Zeitpunkt  $t_X$  für  $t \geq 0$ ):

$$u_{C1}(t) = \begin{cases} \bar{I}_{eq} \frac{1-\varepsilon^2}{2C_{12}} \left[ \frac{1+\varepsilon}{1-\varepsilon} \frac{1}{\omega_e} e^{-\delta t} \sin(\omega_e t - 2\theta) + t + \frac{1+\varepsilon}{1-\varepsilon} \frac{1}{\omega_e} \sin(2\theta) \right] + u_{C1}(t_X) & \text{für } i_a > 0 \\ \bar{I}_{eq} \frac{1-\varepsilon^2}{2C_{12}} \left[ -\frac{1}{\omega_e} e^{-\delta t} \sin(\omega_e t - 2\theta) + t - \frac{1}{\omega_e} \sin(2\theta) \right] + u_{C1}(t_X) & \text{für } i_a < 0 \end{cases} \quad (6.21)$$

$$u_{C2}(t) = \begin{cases} \bar{I}_{eq} \frac{1-\varepsilon^2}{2C_{12}} \left[ -\frac{1}{\omega_e} e^{-\delta t} \sin(\omega_e t - 2\theta) + t - \frac{1}{\omega_e} \sin(2\theta) \right] + u_{C2}(t_X) & \text{für } i_a > 0 \\ \bar{I}_{eq} \frac{1-\varepsilon^2}{2C_{12}} \left[ \frac{1-\varepsilon}{1+\varepsilon} \frac{1}{\omega_e} e^{-\delta t} \sin(\omega_e t - 2\theta) + t + \frac{1-\varepsilon}{1+\varepsilon} \frac{1}{\omega_e} \sin(2\theta) \right] + u_{C2}(t_X) & \text{für } i_a < 0 \end{cases} \quad (6.22)$$

Parameter für die Zusammenhänge in den Gleichungen 6.19 bis 6.22:

$$\delta = \frac{R}{2L} \quad (6.23)$$

$$\omega_0 = \frac{1}{\sqrt{LC}} \quad (6.24)$$

$$\omega_e = \sqrt{\omega_0^2 - \delta^2} \quad (6.25)$$

$$\theta = \arctan\left(\frac{\delta}{\omega_e}\right) \quad (6.26)$$

$$L = L_P + L_N \quad (6.27)$$

$$R = R_1 + R_2 \quad (6.28)$$

$$C = \frac{C_1 \cdot C_2}{C_1 + C_2} \quad (6.29)$$

Während der Kondensator-Serienschaltung (Intervall  $\textcircled{\emptyset}$  in Abb. 6.14 bis 6.17) baut sich – wie zu Beginn des Abschnitts erwähnt – die Spannungsdifferenz<sup>7</sup>:

$$\Delta U_{C,hard} = u_{C1}(t_F) - u_{C2}(t_F) \quad (6.30)$$

auf (siehe Tab. 6.4). Nach dem Umschalten in den Schaltzustand  $\textcircled{2}$  (Intervall  $\textcircled{\text{I}}$ ) findet die Kommutierung auf  $C_1$  ( $i_a > 0$ ) bzw.  $C_2$  ( $i_a < 0$ ) statt. In dem Intervall  $\textcircled{\text{II}}$  verhindern die Dioden  $D_{02}$  ( $i_a > 0$ ) bzw.  $D_7$  ( $i_a < 0$ ) – aufgrund der negativen Kondensator-Spannungsdifferenz – die (harte) Kondensator-Parallelschaltung. Entweder wird bei einem positiven Zweigstrom der Kondensator  $C_1$  geladen (Abb. 6.14 und 6.15) oder bei einem negativen Zweigstrom der Kondensator  $C_2$  entladen (Abb. 6.16 und 6.17). Das Intervall  $\textcircled{\text{II}}$  wird mit der Einleitung der weichen Parallelschaltung – beschrieben mit den Gleichungen in Box 6.5 – abgeschlossen. Die Kondensator-Spannungsdifferenz reduziert sich nun auf den

<sup>7</sup>Ein hartes Parallelschalten der beiden Kondensatoren zu diesem Zeitpunkt hätte einen hohen Stoßstrom innerhalb des inneren Kerns zur Folge.

Box 6.6: Transiente Komponenten der Kommutierungsströme (aus Gl. 6.19 und 6.20) ( $C_1 < C_2$ )

$$i_{LP,tr}(t) = \begin{cases} \bar{I}_{eq} \left[ -\frac{1+\varepsilon}{2} \frac{\omega_0}{\omega_e} e^{-\delta t} \cos(\omega_e t - \theta) \right] & \text{für } i_a > 0 \\ \bar{I}_{eq} \left[ \frac{1-\varepsilon}{2} \frac{\omega_0}{\omega_e} e^{-\delta t} \cos(\omega_e t - \theta) \right] & \text{für } i_a < 0 \end{cases} \quad (6.31)$$

$$i_{LN,tr}(t) = \begin{cases} \bar{I}_{eq} \left[ \frac{1+\varepsilon}{2} \frac{\omega_0}{\omega_e} e^{-\delta t} \cos(\omega_e t - \theta) \right] & \text{für } i_a > 0 \\ \bar{I}_{eq} \left[ -\frac{1-\varepsilon}{2} \frac{\omega_0}{\omega_e} e^{-\delta t} \cos(\omega_e t - \theta) \right] & \text{für } i_a < 0 \end{cases} \quad (6.32)$$

Wert (siehe Tab. 6.4):

$$\Delta U_{C,soft} = u_{C1}(t_X) - u_{C2}(t_X). \quad (6.33)$$

Es sei angemerkt, dass die elektrischen Größen  $i_{LP}$ ,  $i_{LN}$  bzw.  $u_{C1}$ ,  $u_{C2}$  jeweils mit zwei verschiedenen Gleichungen – eine für die positive und eine für die negative Stromrichtung – angegeben sind. Gemäß den Gleichungen 6.13 und 6.14 (und einer positiven Toleranz  $\varepsilon$ ) ergibt sich diese Zuordnung für ein Größenverhältnis der Kondensatorkapazitäten von  $C_1 < C_2$  [DM19a]. Bei einer Umkehrung dieses Größenverhältnisses müssen die Gleichungen für  $i_{LP}$ ,  $i_{LN}$  bzw.  $u_{C1}$ ,  $u_{C2}$  dagegen jeweils vertauscht werden. Für das Balancing im Intervall (II) (Abb. 6.14 und 6.16) ist für eine vereinfachte Betrachtung außerdem ein konstanter Zweigstrom – Äquivalentstrom  $\bar{I}_{eq}$  – angenommen:

$$\bar{I}_{eq} = \frac{1}{t_X - t_F} \cdot \int_{t_F}^{t_X} i_a(t) dt. \quad (6.34)$$

Dieser Strom ist für den Zeitbereich  $t_F \leq t \leq t_X$  auch in den Verläufen der Balancing-Sequenz für eine vollständige Periode (Abb. 6.12 und 6.13) eingezeichnet und stellt den arithmetischen Mittelwert des sinusförmigen Zweigstromes in diesem zeitlichen Abschnitt dar.

Die Kommutierungen zu Beginn der Intervalle (I) und (III) sind für Energieverluste in den ohmschen Widerständen  $R_1$  und  $R_2$  verantwortlich, wobei der erstgenannte Anteil – aufgrund des zeitlich sehr kurzen Vorganges – generell vernachlässigt werden kann. Die dominierenden Energieverluste bei einer weichen Kommutierung ergeben sich dann zu:

$$\Delta W_{soft} = R_1 \int_{t_X}^{\infty} i_{LN,tr}^2(t) dt + R_2 \int_{t_X}^{\infty} i_{LP,tr}^2(t) dt. \quad (6.35)$$

Die Ströme  $i_{LP,tr}$  und  $i_{LN,tr}$  entsprechen den transienten (AC-) Komponenten der Gleichungen 6.19 und 6.20 und sind in Box 6.6 dargestellt. Die Lösung der Gleichung 6.35 ist in Box 6.7 und Gleichung 6.42 für ein gedämpftes System ( $\delta < \omega_0$ ) und beide Zweigstromrichtungen sowie  $C_1 < C_2$  angegeben [DM19a].

**Box 6.7: Gegenüberstellung der Systemgrößen für eine harte sowie weiche Kommutierung ( $C_1 < C_2$ )**

Ladungsänderung während der Kondensator-Serienschaltung:

$$\Delta Q_{12} = a \cdot Q_0 = a \cdot \bar{C}_{12} \cdot u_{C_i}(t_E) \quad (6.36)$$

Kondensatorspannungen vor der Kondensator-Symmetrierung ( $t_F$ ):

$$u_{C_1}(t_F) = u_{C_i}(t_E) + \frac{\Delta Q_{12}}{C_1} = u_{C_i}(t_E) [1 + a(1 + \varepsilon)] \quad (6.37)$$

$$u_{C_2}(t_F) = u_{C_i}(t_E) + \frac{\Delta Q_{12}}{C_2} = u_{C_i}(t_E) [1 + a(1 - \varepsilon)] \quad (6.38)$$

Spannungsdifferenzen für eine harte und weiche Kommutierung:

$$\Delta U_{C,hard} = 2 \cdot a \cdot \varepsilon \cdot u_{C_i}(t_E) \quad (6.39)$$

$$\Delta U_{C,soft} = \begin{cases} -R_1 \cdot i_a(t_X) & \text{für } i_a > 0 \\ -R_2 \cdot i_a(t_X) & \text{für } i_a < 0 \end{cases} \quad (6.40)$$

Energieverluste für eine harte und weiche Kommutierung:

$$\Delta W_{hard} = \frac{1}{2} \frac{C_1 \cdot C_2}{C_1 + C_2} \Delta U_{C,hard}^2 = \bar{C}_{12} (a \cdot \varepsilon \cdot u_{C_i}(t_E))^2 \quad (6.41)$$

$$\Delta W_{soft} = \begin{cases} \frac{1}{8} (1 + \varepsilon)^2 (L + R^2 C) \cdot i_a^2(t_X) & \text{für } i_a > 0 \\ \frac{1}{8} (1 - \varepsilon)^2 (L + R^2 C) \cdot i_a^2(t_X) & \text{für } i_a < 0 \end{cases} \quad (6.42)$$

In den Kondensatoren gespeicherte Energie (als Referenzgröße für die Darstellung in Abb. 6.18):

$$\sum W_C = \frac{1}{2} (C_1 + C_2) u_{C_i}^2(t_E) = \frac{\bar{C}_{12}}{1 - \varepsilon^2} u_{C_i}^2(t_E). \quad (6.43)$$

Die Kommutierungsverluste einer harten Parallelschaltung der Submodul-Kondensatoren  $C_1$  und  $C_2$  (zum Zeitpunkt  $t_F$ ) wären erheblich größer. Möchte man einen Vergleich zwischen einer harten sowie weichen Kommutierung durchführen, kann man annehmen, dass während der Kondensator-Serienschaltung (Schaltzustand ③) jedem Kondensator die Ladungsdifferenz  $\Delta Q_{12}$  zugeführt wird. Diese kann als Prozentsatz  $a$  der nominalen Ladung  $Q_0$  angegeben werden und führt zu den Spannungswerten gemäß Gleichung 6.37 und 6.38. Die Anfangswerte der Kondensatorspannungen zu Beginn der Serienschaltung sind identisch und können wie folgt geschrieben werden:

$$u_{C_i}(t_E) = u_{C_1}(t_E) = u_{C_2}(t_E). \quad (6.44)$$

Betrachtet man die Ersatzschaltbilder in Abb. 6.15 und 6.17 idealisiert als reine RC-Glieder (unter Vernachlässigung der induktiven Anteile), können die harten Kommutierungsverluste schließlich mit Gleichung 6.41 berechnet werden [DM19a].

Abbildung 6.18 zeigt abschließend den Vergleich der Energieverluste zwischen einer harten sowie weichen Kommutierung bei einer Variation der Kondensatorkapazitätstoleranz ( $\varepsilon = \{10\%, 20\%, 30\%\}$ ) und der Vorgabe einer konstanten, prozentualen Ladungsdifferenz

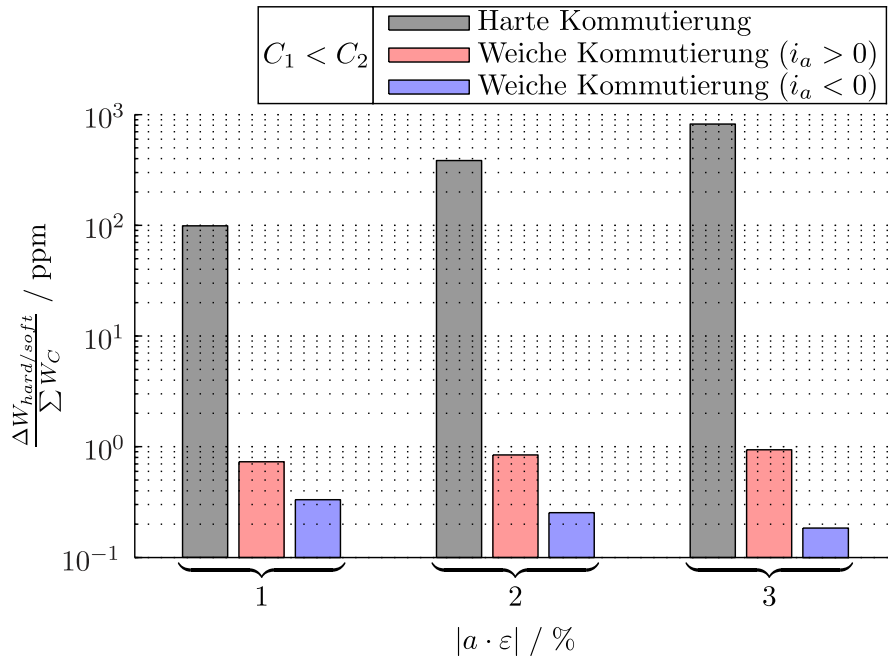


Abb. 6.18.: Vergleich der Energieverluste bei einer harten sowie weichen Kommutierung innerhalb des DZ-DC-SM ( $a = -10\%$  ;  $C_1 < C_2$ )

( $a = -10\%$ ) [DM19a]. Für eine bessere Übersichtlichkeit ist diese auf die gesamte, in beiden Submodul-Kondensatoren gespeicherte, Energie (Gl. 6.43) bezogen. Tabelle 6.4 können die zugehörigen absoluten Werte der Kommutierungsverluste der simulierten Arbeitspunkte ( $\varphi = \pm 30^\circ$ ) entnommen werden. Es wird daraus ersichtlich, dass bei einer harten Kommutierung signifikante Energieverluste zu verzeichnen sind, wenn die Spannungsdifferenz der Kondensatoren ( $\Delta U_{C,hard}$ ) nicht unter 1% der nominalen Kondensatorspannung gehalten werden kann. Wird stattdessen die vorgeschlagene Balancing-Sequenz im DZ-DC-SM angewendet, treten nur Energieverluste einer weichen Kommutierung auf. Die Reduktion der Kommutierungsverluste beläuft sich für moderate Kapazitätstoleranzen von 10% bis 20% auf mehr als zwei Größenordnungen. Weiterhin sei noch einmal auf den sehr hohen Ausgleichsstrom innerhalb des inneren Kerns bei der harten Kommutierung hingewiesen, welcher in praktischen Applikationen mehrere Kiloampere annehmen kann. Im Vergleich dazu bleibt der Ausgleichsstrom bei einer weichen Kommutierung – wie Intervall (III) in Abb. 6.14 und 6.16 zeigt – jederzeit unter dem Momentanwert des Zweigstromes [DM19a].

## 7. Konzept einer neuartigen Super-Kaskode mit SiC-JFET

Grundsätzlich sind Kaskoden und Super-Kaskoden als vorteilhafte Topologien für Halbleiterschalter in der Leistungselektronik bekannt [ABL<sup>+</sup>16, ZOD<sup>+</sup>16]. Mögliche Vorteile sind u. a.:

- a) Kurze Schaltzeiten durch die Eliminierung der kapazitiven Miller-Rückwirkung auf den Gate-Stromkreis
- b) Hohe, erzielbare Sperrspannungen durch interne Serienschaltung mehrerer Halbleiter (Super-Kaskode)
- c) Niedrigere Durchlassverluste als ein einzelner Halbleiterschalter hoher Sperrspannung.

Alle diese Vorteile sind jedoch mit einer höheren Komplexität der Schaltung und einigen grundsätzlichen Schwierigkeiten verbunden, welche insbesondere die symmetrische Spannungsaufteilung der Halbleiter betreffen.

Im Kontext mit der Einführung der SiC-Halbleiter und den diesbezüglich bevorzugten (unipolaren) FET-Strukturen sind Kaskoden erneut von Interesse. Insbesondere die Vorteile b) und c) sind hier relevant. Aufgrund der halbleiterphysikalischen Skalierungsgesetze steigt der flächenspezifische Durchlasswiderstand mit einem Exponenten  $v > 2$  als Funktion der Sperrspannung. Des Weiteren steigen auch die Herstellungskosten überproportional mit der – bei Sperrspannungserhöhung erforderlichen – zunehmenden Dicke der Epitaxieschicht. In Abb. 7.1 sind diese Zusammenhänge hinsichtlich verschiedener Si- und SiC-Strukturen beispielhaft dargestellt. Bei dieser prinzipiellen Darstellung ist jedoch zu beachten, dass der erreichte, flächenspezifische Durchlasswiderstand realer Bauelemente durch zahlreiche technologische Grenzen der Produktionsanlagen und durch Flächenverluste der erforderlichen Randabschlüsse beeinträchtigt wird. Weiterhin existiert ein Widerstandsanteil im „Steuerkopf“ des Halbleiters, welcher nicht von der Sperrspannung, sondern von der Technologie und Gate-Struktur abhängt. Dieser Anteil ist für SiC-FET bis ca.  $U_{DS,nom} \leq 1$  kV Sperrspannung nicht vernachlässigbar. Für die inzwischen industriell gut herstellbare Spannungsklasse von 3.3 kV gelten hingegen bereits in guter Näherung die in Abb. 7.1 angegebenen Verhältnisse (**unipolares SiC Limit**). Der flächenspezifische Durchlasswiderstand steigt hier als Funktion der Sperrspannung mit einem Exponenten von  $v \approx 2.3$ . Dadurch weisen Serienschaltungen mehrerer Niedervolt-Halbleiter grundsätzlich einen geringeren

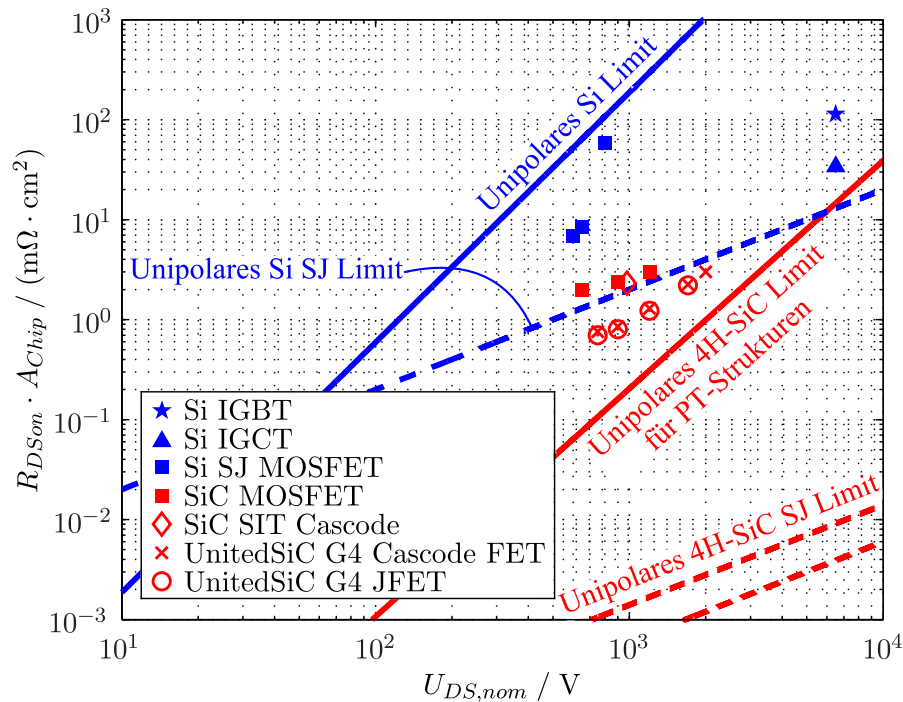


Abb. 7.1.: Flächenspezifischer Durchlasswiderstand verschiedener Si- und SiC-Halbleiterbauelemente [Mar17, YTY18, BLD21, Infa, DMS<sup>+</sup>98, UDF17]

Durchlasswiderstand – verglichen mit einem äquivalenten Hochvolt-Halbleiter – auf, wenn der Vergleich auf einer identischen Gesamtchipfläche basiert.

Bezüglich der Struktur des Steuerkopfes der FET-Halbleiterschalter sind im Wesentlichen die folgenden zwei Ausführungen technisch und industriell relevant:

- Die MOS-Gate-Struktur mit einem durch eine Oxidschicht isolierten Gate [FLL<sup>+</sup>17, HVB<sup>+</sup>17]
- Die pn-Gate-Struktur eines sogenannten JFET [PTA<sup>+</sup>10] (oder SIT<sup>1</sup> [YTY18]), welcher nur eine Sperrschicht aufweist.

Die letztgenannte Struktur ist – insbesondere für SiC – einfacher herzustellen und erfordert weniger Prozessschritte. Sie eignet sich jedoch vorwiegend für selbstleitende Schalter (normally-on). Dies wird in vielen Anwendungen als Nachteil angesehen, der jedoch durch dessen Einsatz in einer Kaskodenschaltung eliminiert wird. Aus Anwendersicht verbleiben letztlich folgende relevante Unterschiede der JFET gegenüber MOSFET auf SiC-Basis:

- a) Die max. Sperrschichttemperaturen dürfen bei externen Fehlerfällen bis ca. 500 °C betragen, da die Begrenzung durch das Gateoxid entfällt.
- b) Die Strombegrenzungskennlinie (im Kurzschlussfall) ist wesentlich günstiger, weil die Begrenzung deutlich früher einsetzt („Trioden-Kennlinie“).

Im vorliegenden Kapitel wird eine neuartige Topologie für SiC-basierte JFET vorgestellt und experimentell untersucht, welche die Nutzung der eben genannten Vorteile erlaubt.

<sup>1</sup>Static Induction Transistor

## 7.1. Grundlagen der Kaskode

Der strukturelle Aufbau einer Kaskode (cascaded triode) wurde in der Geschichte der Elektronik bereits für Elektronenröhren und Bipolartransistoren in Kombination mit MOSFET angewendet. Im vorliegenden Kontext versteht man darunter einen normally-off MOSFET, welcher in den Source-Pfad eines JFET eingebracht ist (siehe Abb. 7.2c). Der MOSFET kann als LV<sup>2</sup> Silizium-Typ für eine hohe Stromtragfähigkeit ausgelegt werden und ist in der Lage, mit einem Standard-Gate-Treiber einen HV-SiC-JFET anzusteuern. Liefert der Gate-Treiber eine positive Steuerspannung, ist der MOSFET eingeschaltet. Gate- und Source-Elektrode des JFET sind dann über den (sehr niederohmigen) Kanal des MOSFET miteinander verbunden, weshalb sich der JFET ebenfalls im eingeschalteten Zustand befindet. Wird der MOSFET hingegen über den Gate-Treiber ausgeschaltet, hebt sich das Source-Potential des JFET an. Dadurch stellt sich eine negative Gate-Source-Spannung ein, welche schließlich dafür sorgt, dass der Kanal des JFET abgeschnürt wird. Da sich die statisch zu sperrende Spannung des Si-MOSFET lediglich auf die Abschnürspannung des SiC-JFET von ca. 20 V beläuft, ist dieser (aufgrund dynamischer Transienten) als 40 V-Typ ausreichend dimensioniert. Die restliche Sperrspannung der Kaskode fällt ausschließlich am HV-JFET ab. Beim Rückwärtsleiten der Kaskode fließt der Strom zunächst durch die Bodydiode des MOSFET. Durch den Spannungsabfall an der Diode stellt sich automatisch eine positive Steuerspannung ( $u_{GS} = u_F$ ) am JFET ein, weshalb sein Kanal leitend wird. Die Kaskodenschaltung ermöglicht daher eine sehr gute dynamische sowie statische Rückwärts-Charakteristik.

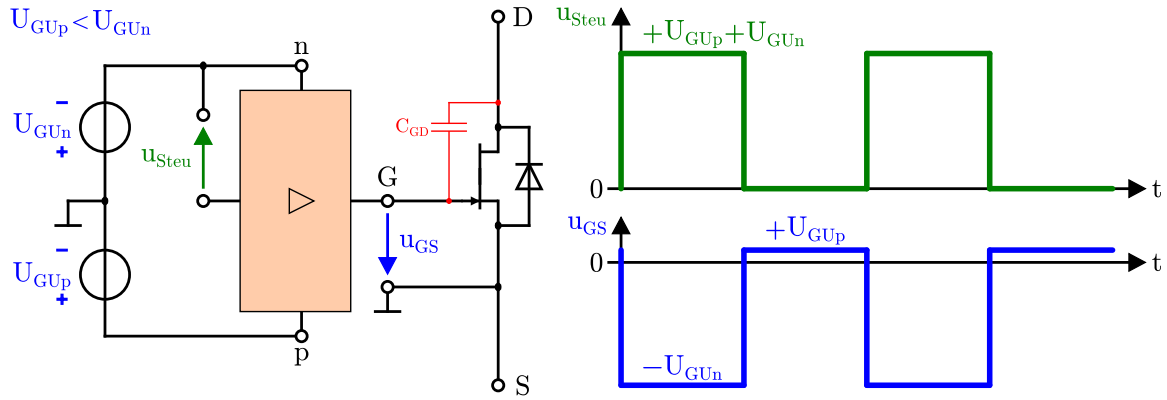
In Bezug auf die Schaltungstechnik der Gate-Treiber existieren grundsätzliche Unterschiede zwischen einer konventionellen Gate-Ansteuerung und der Kaskoden-Ansteuerung. Betrachtet man den Aufwand für die Realisierung der Gate-Treiber (GU: Gate Unit) (Abb. 7.2) sind im Wesentlichen nur Unterschiede in zwei Punkten ersichtlich:

- 1) Die erforderliche Stromtragfähigkeit des Transistors  $T_{1,GU}$  in Abb. 7.2d muss für den Einsatz in der Kaskodenschaltung (Abb. 7.2c) höher sein.
- 2) Die erforderlichen Versorgungsspannungen der Gate-Treiber ( $U_{GU_p}$ ,  $U_{GU_n}$ ) unterscheiden sich nur geringfügig. Für die Kaskodenschaltung (Abb. 7.2c) ist eine unipolare Versorgungsspannung ( $U_{GU_n} = 0$ ) ausreichend.

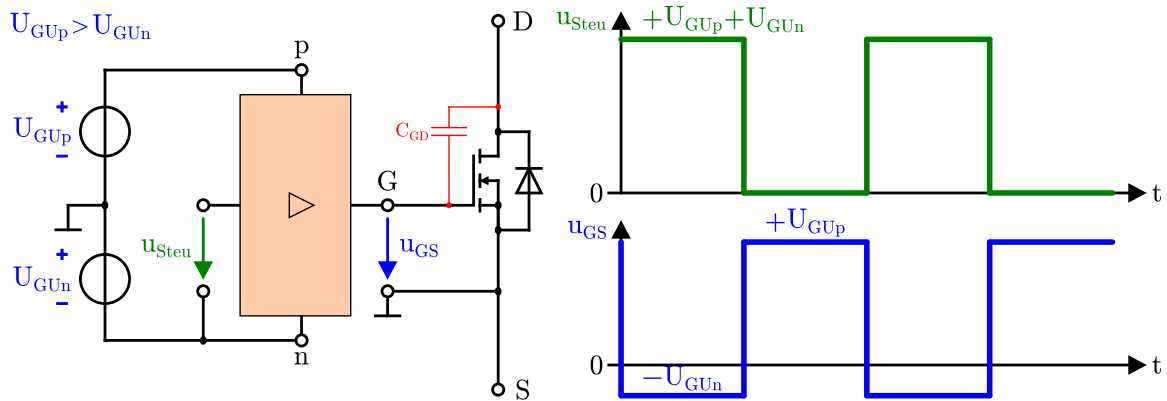
Bezüglich Punkt 2) lässt sich feststellen, dass die erforderlichen Versorgungsspannungen ( $U_{GU_n}$  in Abb. 7.2a und  $U_{GU_p}$  in Abb. 7.2b) für die konventionelle, direkte Ansteuerung der SiC-FET etwas höher als für die Kaskode (Abb. 7.2c) sind. Sie betragen für derzeit serienmäßig erhältliche Hochvolt-Bauelemente ca. 20 V, während sie für einen siliziumbasierten LV-MOSFET nur ca. 10 V aufweisen. Diese Tatsache hat einen moderaten Einfluss auf die Ansteuerung, ist jedoch nicht entscheidend. Ein relativ großer Vorteil ist es, dass die Kaskode (Abb. 7.2c) nur eine unipolare Versorgungsspannung benötigt.

---

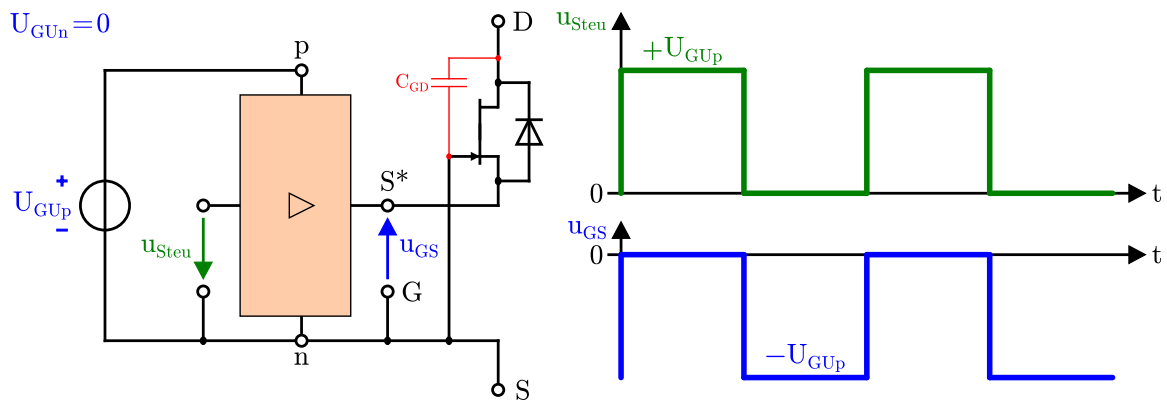
<sup>2</sup>Low Voltage



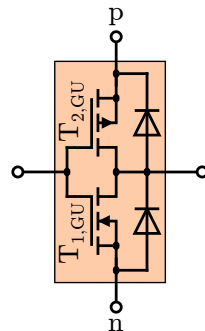
(a) Ansteuerung eines konventionellen SiC-JFET



(b) Ansteuerung eines konventionellen SiC-MOSFET



(c) Ansteuerung eines SiC-JFET in Kaskodenschaltung



(d) Gate-Treiber als MOSFET-Gegentaktendstufe (eingesetzt in Abb. 7.2a bis 7.2c)

Abb. 7.2.: Schematische Darstellung verschiedener SiC-FET-Ansteuerungen



Als wesentlicher Unterschied der Ansteuerarten (Abb. 7.2a bis 7.2c) verbleibt der Punkt 1), d. h. dass der Ansteuertransistor  $T_{1,GU}$  des Gate-Treibers (Abb. 7.2d) für den (höheren) Strom im Durchlasszustand des Leistungshalbleiters ausgelegt werden muss. Dies wurde in der Vergangenheit stets als grundsätzlicher Nachteil der Kaskodenschaltung gesehen. Durch die extrem großen, technologischen Fortschritte auf dem Gebiet der LV-MOSFET hat sich die Bedeutung dieses Punktes jedoch erheblich reduziert. Si-MOSFET mit den erforderlichen Sperrspannungen ( $U_{DS,nom} \leq 40 \text{ V}$ ) tragen beim heutigen Stand der Technik nur einen vernachlässigbar kleinen Anteil zum Durchlasswiderstand der gesamten Kaskode bei.

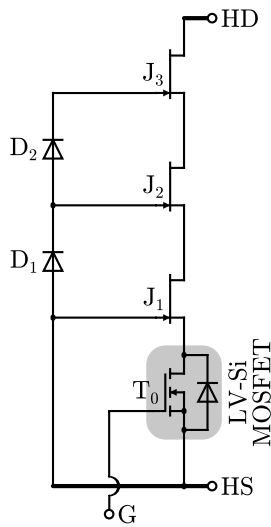
## 7.2. Stand der Technik zur Super-Kaskode

Abbildung 7.3 zeigt eine Übersicht der State of the Art SiC-JFET Super-Kaskoden<sup>3</sup> – dargestellt in einer dreistufigen Ausführung. Die Indizes<sup>4</sup> der Bauelemente verdeutlichen die Zugehörigkeit zu den jeweiligen Spannungsstufen. Der LV-Si-MOSFET wurde mit  $T_0$  bezeichnet, weil dieser – im Vergleich zu den HV-SiC-JFET – keine nennenswerte Sperrspannung aufnimmt. Neben dem Gate-Ansteuerkontakt (G) sind in den Bildern die Hauptstromkontakte mit HD (Haupt-Drain) und HS (Haupt-Source) bezeichnet.

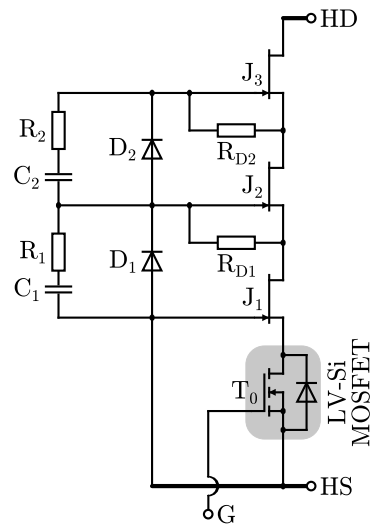
Die erste Version der Super-Kaskode wurde im Jahr 2003 vorgeschlagen (Abb. 7.3a), wobei in dieser Variante lediglich Avalanche-Dioden zwischen den Gate-Elektroden der JFET für deren Spannungsaufteilung (Balancing) vorgesehen sind. Die prinzipielle Funktion ist (vereinfacht) die folgende: Wird  $T_0$  eingeschaltet, baut sich dessen Drain-Source-Spannung ab. Da diese der negativen Gate-Source-Spannung von  $J_1$  entspricht, schaltet sich  $J_1$  beim Überschreiten seiner (negativen) Abschnürspannung ( $u_{GS} > U_{PO}$ ) ebenfalls ein. Anschließend fällt das Drain-Potential von  $J_1$  – bei zunächst gleichbleibendem Gate-Potential von  $J_2$  (wegen der Diode  $D_1$ ) – ab und lässt auch  $J_2$  leitend werden. Dieser Vorgang setzt sich so lange fort, bis alle JFET sequentiell eingeschaltet sind und sich die gesamte Super-Kaskode im eingeschalteten Zustand befindet. Wird  $T_0$  hingegen ausgeschaltet, steigt zwangsläufig auch sein Drain-Potential. Bei dem Unterschreiten der Abschnürspannung von  $J_1$  ( $u_{GS} < U_{PO}$ ) wird dessen Drain-Potential ebenfalls angehoben. Infolge der Avalanche-Diode  $D_1$  ist das Gate-Potential von  $J_2$  auf die Durchbruchspannung von  $D_1$  begrenzt. Ein weiteres Ansteigen des Drain-Potentials von  $J_1$  führt somit unmittelbar zu der Abschnürbedingung von  $J_2$ . Wie aus Abb. 7.3a hervorgeht, ist der oberste JFET ( $J_3$ ) – aufgrund einer fehlenden Avalanche-Diode – der einzige Transistor der Serienschaltung,

<sup>3</sup>Weitere Literaturhinweise: [BABK08, ABK08, ACBK13, HAL<sup>+</sup>14, NGS<sup>+</sup>15, SHZ<sup>+</sup>16, SSZH17, HWL<sup>+</sup>17, LZB17, GMX<sup>+</sup>18a, GMX<sup>+</sup>18b]

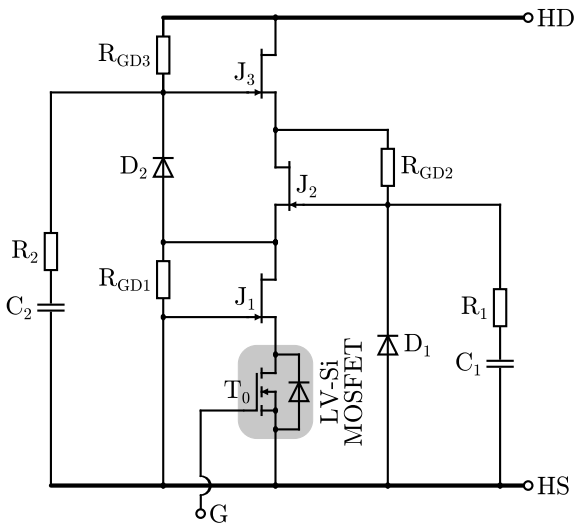
<sup>4</sup>Die in diesem Kapitel verwendeten Bezeichnungen für die Halbleiter sowie die passiven Bauelemente beschränken sich ausschließlich auf die untersuchten Kaskodenschaltungen und dürfen nicht mit den Bezeichnungen der Submodule aus den vorherigen Kapiteln verwechselt werden.



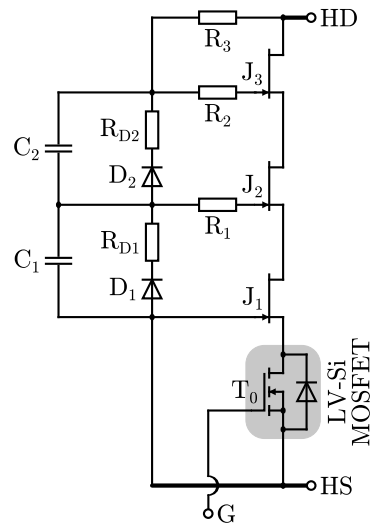
(a) Entworfen von P. Friedrichs et al. [FMS<sup>+</sup>03]



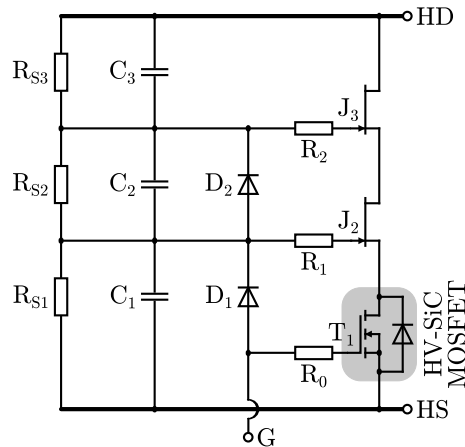
(b) Entworfen von J. Biela et al. [BABK12]



(c) Entworfen von X. Li et al. [LBA<sup>+</sup>15]



(d) Entworfen von B. Gao et al. [Gao18]



(e) Entworfen von X. Song et al. [SHNZ15]

Abb. 7.3.: State of the Art Super-Kaskoden mit einer Minimalbestückung von drei Spannungsstufen

welcher selbst in den Avalanche-Durchbruch übergehen kann. Es ist nachvollziehbar, dass das sequentielle Ausschalten maßgeblich von der Durchbruchspannung der Avalanche-Dioden bestimmt wird. Für das Einstellen eines definierten Sperrstromes der Dioden ist in der Super-Kaskode aus Abb. 7.3a kein definierter Strompfad vorhanden. Dies ist ein entscheidender Mangel, wie zum Abschluss dieses Abschnittes erläutert wird.

Das Super-Kaskoden-Konzept aus Abb. 7.3b stellt eine Verbesserung der, eben besprochenen, Variante dar. Zum einen ist durch die RC-Glieder ( $R_1, C_1$  und  $R_2, C_2$ ) neben der statischen Aufteilung – durch die Avalanche-Dioden – zusätzlich eine dynamische Spannungsaufteilung der Zwischenstufen intendiert. Zum anderen wurde die o. a. Sperrstrom-Problematik durch die Erweiterung um Gate-Source-Widerstände  $R_{D_i}$  berücksichtigt. Die Spannungsbelastung beim Ausschalten der Transistoren  $J_1$  und  $J_2$  kann mit  $R_{D_1}, D_1$  und  $R_{D_2}, D_2$  eingestellt werden. Nachteilig ist aber immer noch ein unzureichender Strompfad für das definierte Einstellen aller Avalanche-Dioden und SiC-JFET Sperrströme. Der Sperrstrom durch den Kanal eines jeweiligen SiC-JFET nimmt von der oberen Stufe zur unteren Stufe ab. Der Sperrstrom durch die Avalanche-Dioden nimmt hingegen in dieser Richtung zu. Durch Fertigungstoleranzen der JFET und Dioden ist es daher nötig, diesen Einflussfaktor durch eine Selektierung der Bauelemente zu minimieren. Um dynamisch identische Anstiegszeiten aller Spannungsstufen zu erzielen, müssen bei dem Ausschaltvorgang die oberen Abschnitte des RC-Teilers ebenfalls die Gate-Ladungen für alle darunter liegenden JFET bereitstellen. Eine asymmetrische Auslegung der RC-Glieder ist deshalb notwendig.

Abbildung 7.3c zeigt eine Super-Kaskoden-Variante, bei der die RC-Glieder für die dynamische Spannungsaufteilung zwischen den Stufen in einer verteilten Anordnung vorliegen. Da das Zuführen bzw. Abführen der Gate-Ladungen für die einzelnen SiC-JFET jeweils mit einem individuellen RC-Glied erfolgt, können diese bei dem Konzept (aus Abb. 7.3c) deutlich einfacher dimensioniert werden. Die Widerstände  $R_{GD_i}$  erfüllen bei dieser Super-Kaskode prinzipiell die Funktion der Widerstände  $R_{D_i}$  der Variante aus Abb. 7.3b. Darüber hinaus ist bei dieser Schaltung ein definierter Strompfad für die Einstellung der Sperrströme zwischen den Hauptkontakten HD und HS realisiert worden –  $R_{GD_3}$  schließt diesen zum positiven Kontakt HD hin ab. Nachteilig ist jedoch die ungleiche Spannungsaufteilung an den Kondensatoren der verschiedenen Spannungsstufen. Der Kondensator  $C_1$  muss  $\frac{1}{3}$  und der Kondensator  $C_2$  sogar  $\frac{2}{3}$  der gesamten Sperrspannung der Super-Kaskode aufnehmen. Evident ist aus Gründen der Ladungsbilanz, dass die Kondensatoren mit einer höheren Spannung – linear skaliert – auch mit einer höheren Kapazität ausgeführt werden müssen. Nur mit dieser unsymmetrischen Dimensionierung der RC-Glieder kann eine gleichmäßige Spannungsaufteilung sichergestellt werden.

Die Super-Kaskode aus Abb. 7.3d stellt eine Kombination aus den letzten beiden Varianten dar. Die RC-Glieder sind, wie auch in Abb. 7.3b, als Kettenleiter angeordnet. Deren

Widerstände  $R_1$  und  $R_2$  sind dabei lediglich in die Gate-Pfade der SiC-JFET verschoben. Serielle Widerstände in den Zweigen der Avalanche-Dioden verschieben einen Anteil des Avalanche-Stromes in den Zweig der JFET und sorgen deshalb während des Ausschaltvorganges der Super-Kaskode für eine erhöhte Avalanche-Robustheit. Der zusätzliche Strompfad zur positiven Kaskoden-Elektrode (HD) wird in dieser Variante, wie auch in Abb. 7.3c, durch den Widerstand  $R_3$  hergestellt. Folglich ist bei dieser Super-Kaskoden-Variante ebenfalls eine individuelle Einstellung der Sperrströme von Avalanche-Dioden und SiC-JFET möglich.

Abbildung 7.3e zeigt abschließend eine Super-Kaskoden-Variante, welche sich bezüglich der Halbleiter auf den ersten Blick von den anderen Topologien unterscheiden mag. Bei dieser wird nämlich für die Ansteuerung der unteren Stufe ein HV-SiC-MOSFET eingesetzt, welcher in seiner Spannungs- und Strombelastbarkeit vergleichbare Eigenschaften wie die SiC-JFET aufweist. Der HV-SiC-MOSFET könnte jedoch auch durch eine konventionelle Kaskodenschaltung – bestehend aus HV-SiC-JFET und LV-Si-MOSFET – ersetzt werden. Es ist deshalb in Abb. 7.3e erkennbar, dass für eine dreistufige Super-Kaskode lediglich zwei SiC-JFET dargestellt sind. Eine Verbesserung ist durch diese Substitution jedoch nicht zu erwarten. Die Anbindung des Ansteuerkontaktes (G) der Super-Kaskode an die Dioden-Serienschaltung – durch den direkten Zugriff auf die Gate-Potentiale der JFET der oberen Stufen – führt hingegen zu einer Verringerung der Durchlassverluste. Werden die Gate-Potentiale nämlich um  $+1\text{ V} \dots + 2\text{ V}$  angehoben, lässt sich ein reduzierter Durchlasswiderstand der JFET erzielen. Der direkte Gate-Durchgriff (mit einer Abkopplung durch Dioden) hätte aber ebenfalls in den anderen Schaltungstypen implementiert werden können und ist nicht spezifisch auf diese Super-Kaskoden-Variante beschränkt. Eine nennenswerte Verbesserung zu den bisherigen Topologien ist, dass die Anordnung in Abb. 7.3e vollständig realisierte RC-Glieder – hoch bis zum positiven Hauptkontakt (HD) – aufweist. Die hochohmigen Widerstände  $R_{Si}$  sorgen im ausgeschalteten Zustand der Super-Kaskode statisch für eine symmetrische Spannungsaufteilung der Stufen.

Tabelle 7.1 fasst die Eigenschaften und Funktionalität der beschriebenen State of the Art Super-Kaskoden noch einmal zusammen. Die fortschreitende Entwicklung der Super-Kaskoden (Abb. 7.3) hat zwar gezeigt welche passiven Bauelemente für ein robustes Schaltverhalten obligat sind, jedoch weisen diese Varianten auch grundsätzliche Schwächen<sup>5</sup> auf:

- II) Die exakte Dimensionierung der RC-Glieder sowie die Verwendung von sehr kleinen Kapazitätswerten (und somit hochohmigem Charakter) machen die gesamte Anordnung empfindlich für parasitäre, kapazitive Einkopplungspfade. Bei einem großflächigen Leiterplattendesign bzw. dem Montieren des Aufbaus auf einen Kühlkörper

<sup>5</sup>Da der Punkt I) nur für die erste Super-Kaskoden-Variante nachteilig ist, soll dieser hier nicht weiter aufgeführt werden.

Tab. 7.1.: Zusammenfassung der Eigenschaften und Funktionalität von den State of the Art Super-Kaskoden aus Abb. 7.3

Eigenschaften und Funktionalität	Super-Kaskoden Topologien aus Abb. 7.3				
	7.3a	7.3b	7.3c	7.3d	7.3e
I) Dynamisches Balancing mit RC-Gliedern	nein	ja	ja	ja	ja
II) Störuneempfindliche RC-Glieder	—	nein	nein	nein	nein
III) Hartes Clamping <sup>6</sup> mit Avalanche-Dioden	ja	ja	ja	ja	ja
IV) Definierte Sperrströme	nein	nein	ja	ja	ja
V) Freie Skalierbarkeit der Stufenanzahl	nein	nein	nein	nein	nein
VI) „Korrekte“ Ausschaltreihenfolge der einzelnen Stufen	nein	nein	nein	nein	nein

ist in bestimmten Teilen der Schaltung eine Verfälschung der verbauten Kapazität unvermeidbar. Dies kann zu einer Verstimmung der RC-Zeitkonstanten und somit zu einer ungleichen Spannungsaufteilung führen.

- III) Die Installation von Avalanche-Dioden für das Erreichen einer gewünschten Sperrfunktion je Spannungsstufe führt einerseits zu erhöhten Verlusten. Insbesondere die Belastung der Avalanche-Dioden ist kritisch.
- IV) Andererseits wird bei den Avalanche-Dioden auch ein definierter Strompfad für deren Sperrströme benötigt. Ohne einen definierten Strompfad haben Kriechströme und Leckströme wesentlichen Einfluss auf die Sperreigenschaften und gefährden die symmetrische Spannungsaufteilung der Super-Kaskode im ausgeschalteten Zustand.
- V) Die Skalierbarkeit der erwähnten Super-Kaskoden ist grundsätzlich durch die asymmetrische Dimensionierung deren passiven Bauelemente begrenzt. Zum einen bestimmen die Avalanche-Dioden die statische Spannungsaufteilung. Zum anderen müssen unten angeordnete Dioden die Sperrströme der darüber liegenden Stufen mitführen. Die dynamische Spannungsaufteilung leidet unter der Notwendigkeit ungleicher Kondensatorkapazitäten im RC-Teiler.
- VI) Das sequentielle Ein- und Ausschalten der FET-Bauelemente (in der Reihenfolge jeweils von unten nach oben) ist bei allen untersuchten Super-Kaskodenschaltungen ein prinzipielles Problem. Um das sequentielle Sperren der einzelnen Spannungsstufen einleiten zu können, sind dazu in jeder Stufe Avalanche-Dioden vorgesehen.

<sup>6</sup>Das harte Clamping mit Avalanche-Dioden ist bei Super-Kaskoden grundsätzlich unvorteilhaft, weshalb die Zeile **rot** hinterlegt ist.

Zusammenfassend ergeben sich aus dem Stand der Technik folgende grundsätzliche Schlussfolgerungen:

- a) Die Verwendung von Avalanche-Dioden zur Sicherstellung der symmetrischen Spannungsaufteilung ist sehr nachteilig. Eine sichere Dimensionierung der Strombelastbarkeit und definierte Sperrströme im Betrieb sind mit realen Halbleiter-Parameterstreuungen problematisch.
- b) Das „individuelle Tuning“ der RC-Beschaltungen zur Korrektur der o. a. Schaltreihenfolge ist für eine industriell einsetzbare Schaltung sehr unvorteilhaft.
- c) Die zeitliche Reihenfolge des Halbleiterschaltens ist beim Ausschaltvorgang der Super-Kaskode prinzipiell „falsch“. Die sich ergebende Reihenfolge steht im Widerspruch zu der Anforderung, dass die einzelnen JFET sich durch definiertes Einschalten symmetrieren und vor Überspannung schützen können.

### 7.3. Neuartige JFET-Super-Kaskodenschaltung

Im weiteren Verlauf dieses Kapitels soll eine neuartige JFET-Super-Kaskodenschaltung vorgestellt werden, welche sich grundsätzlich für den Einsatz als Halbleiterschalter in den neuen Submodul-Topologien (DZ-SM und DZ-DC-SM) eignen kann. Wie sich in dem letzten Abschnitt herausgestellt hat, weisen die State of the Art Topologien in ihrem grundsätzlichen Aufbau signifikante Schwächen – zusammengefasst in den Kernpunkten II) bis VI) in Tab. 7.1 – auf. Einerseits sind die Störuneempfindlichkeit der Super-Kaskoden gegenüber äußeren Einflüssen sowie die Möglichkeit einer freien Skalierbarkeit (auch für höhere Kaskoden-Ströme) für einen robusten Schaltungsaufbau bisher nicht gewährleistet. Andererseits ist die zeitliche Reihenfolge des Halbleiterschaltens beim Ausschaltvorgang der Super-Kaskoden prinzipiell „falsch“. Das Vorsehen eines zusätzlichen Signalpfades für das Ausschalten der Anordnung soll dabei die Abfolge des Schaltens in der korrekten Reihenfolge ermöglichen. Weiterhin soll bei der neuartigen JFET-Super-Kaskodenschaltung neben einer hohen Effizienz besonderen Wert auf einen modularen Aufbau gelegt werden. Somit lässt sich nicht nur die Sperrspannung, sondern auch die Stromtragfähigkeit der Super-Kaskodenschaltung erweitern. Die neuartige Super-Kaskode bietet deshalb potentiell eine überstromfähige Alternative zu kommerziell entwickelten SiC-MOSFET-Modulen.

#### 7.3.1. Grundsätzliche Funktion

In Abbildung 7.4 ist die neuartige JFET-Super-Kaskode mit drei Spannungsstufen gezeigt. Diese kann grundsätzlich in eine Basisstufe (mit der Ansteuerung durch den LV-Si-MOSFET) und die  $(N - 1)$ -Stufen, welche die Super-Kaskode nach oben hin aufbauen, unterteilt werden. Jede  $(N - 1)$ -Stufe ist dabei vollkommen identisch bestückt. Der Schaltplan ist in dem Bild in unterschiedliche, spezifische Funktionsblöcke aufgeteilt.

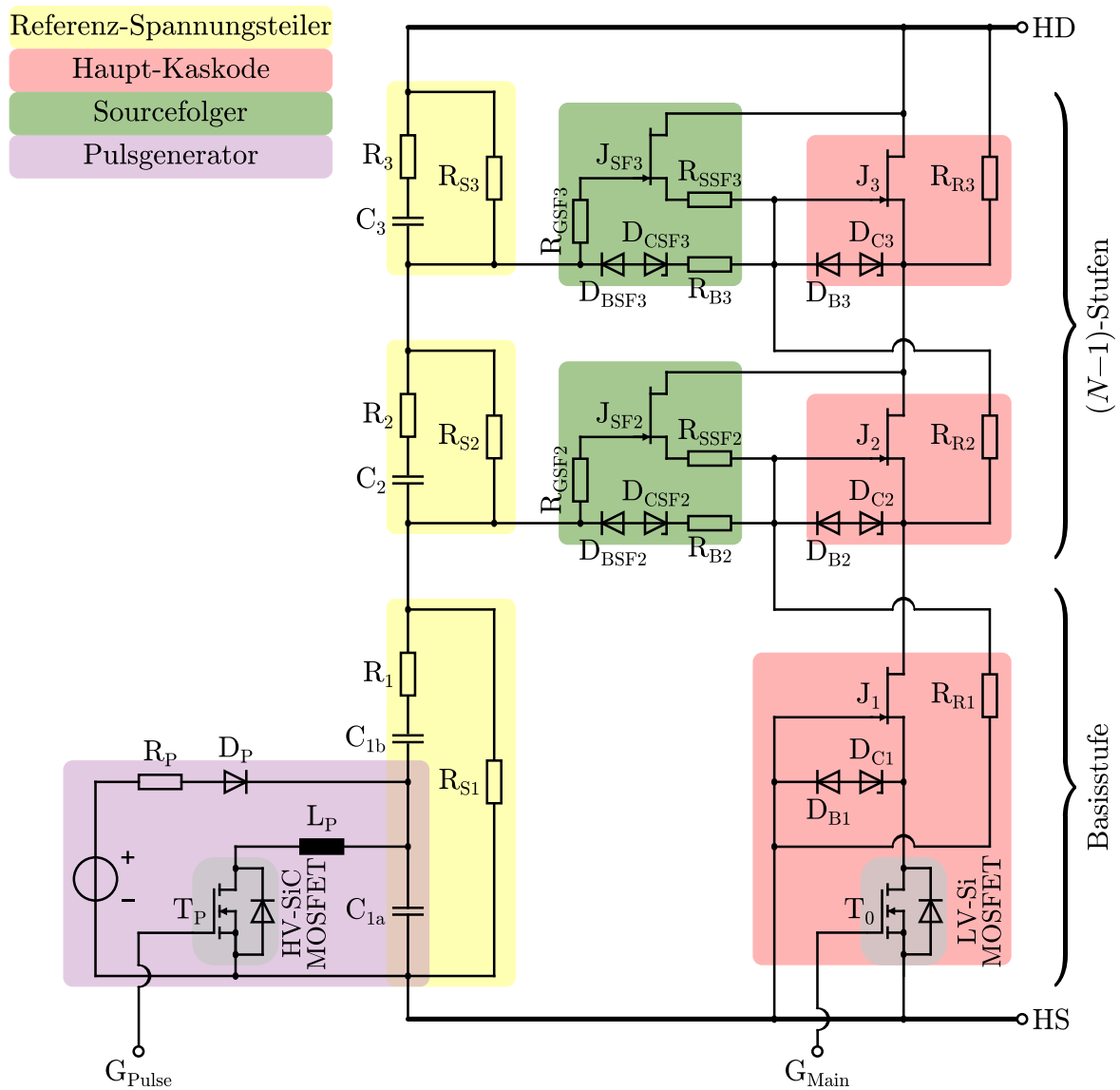


Abb. 7.4.: Neuartige JFET-Super-Kaskode mit drei Spannungstufen ( $N = 3$ )

Der **Referenz-Spannungsteiler** ist neben der **Haupt-Kaskode** in einer ähnlichen Form auch in fast jeder State of the Art Topologie (Abb. 7.3b bis 7.3e) umgesetzt. Als weitere Funktionsblöcke sind in dieser Topologie jedoch noch **Sourcefolger** und ein **Pulsgenerator** enthalten.

Die Funktionsblöcke lassen sich wie folgt beschreiben:

**Referenz-Spannungsteiler:** Die RC-Glieder des Referenz-Spannungsteilers enthalten bei der neuartigen Super-Kaskode zum einen eine dynamische Komponente ( $R_i, C_i$ ), wie sie auch in der Variante aus Abb. 7.3b gezeigt ist. Durch das Einsetzen von Sourcefolgern gelingt die impedanzmäßige Abkopplung zwischen Spannungsteiler und Haupt-Kaskode. Die Auslegung der Widerstände und Kondensatoren kann somit auf identischen Werten je Spannungsstufe basieren. In der Basisstufe setzt sich  $C_1$  – um die Einkopplung eines Impulsstromes zu ermöglichen – aus einer Serienschaltung

von  $C_{1a}$  und  $C_{1b}$  zusammen, wobei sich  $C_1$  mit der folgenden Beziehung bestimmen lässt:

$$C_1 = \frac{C_{1a} \cdot C_{1b}}{C_{1a} + C_{1b}}. \quad (7.1)$$

Zum anderen besteht der Referenz-Spannungsteiler aus einer statischen Komponente ( $R_{Si}$ ), wie sie in der Variante aus Abb. 7.3e zu sehen ist. Infolge des Designs ohne das Verwenden von Avalanche-Dioden in jeder ( $N - 1$ )-Stufe kann die neuartige Super-Kaskode im ausgeschalteten Zustand durch die hochohmigen Widerstände eine einwandfreie Spannungssymmetrierung bei gleichzeitig niedrigen statischen Verlusten sicherstellen.

**Haupt-Kaskode:** Die Haupt-Kaskode besteht grundsätzlich aus den SiC-JFET, welche den in der Anordnung fließenden Laststrom führen und die Spannung der Anordnung sperren. Die Diode  $D_{Ci}$  weist eine Zener-Spannung von ca. 20 V auf und stellt den blockierenden Zustand der SiC-JFET sicher. Da das Leiten der Zener-Diode in Vorwärtsrichtung (wie im Unterpunkt des Sourcefolgers gezeigt wird) nicht erwünscht ist, blockiert die Diode  $D_{Bi}$  diesen Pfad für positive Ströme. Wie in Abb. 7.5 illustriert ist, stellt der Widerstand  $R_{Ri}$  einen Ruhestrompfad für den JFET (vom Source zum Gate-Kontakt) dar und fließt durch die gesamte Anordnung. Folglich kann

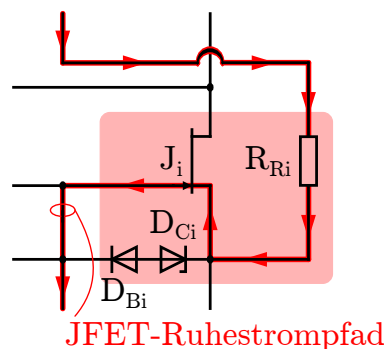


Abb. 7.5.: Ruhestrom durch die SiC-JFET der Haupt-Kaskode im ausgeschalteten Zustand

ein (leichtes) Aufsteuern der Haupt-JFET ( $J_i$ ) im ausgeschalteten Zustand der Super-Kaskode durch die Sourcefolger vermieden werden.

**Sourcefolger:** Der Funktionsblock des Sourcefolgers (in Abb. 7.6) besteht prinzipiell aus zwei Strompfaden – einem für das Auf- und einem für das Entladen der oberen SiC-JFET-Gates der Haupt-Kaskode. Der positive Pfad enthält einen weiteren HV-SiC-JFET ( $J_{SF_i}$ ) – als Sourcefolger – sowie seine Gate- und Source-Widerstände ( $R_{GSF_i}$ ,  $R_{SSF_i}$ ). Für das Aufladen des Gates von  $J_i$  (**roter Strompfad** in Abb. 7.6) liefert der Sourcefolger einen hohen Spitzenstrom – abgezweigt von dem Hauptstrompfad und eingestellt durch  $R_{SSF_i}$  – und ermöglicht einen schnellen Einschaltvorgang dieses. Da  $J_{SF_i}$  im eingeschalteten Zustand der Haupt-Kaskode weiterhin leitend ist, wird



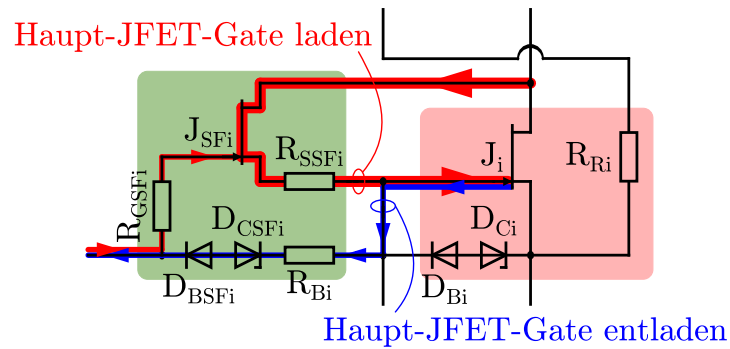


Abb. 7.6.: Auf- und Entladen der SiC-JFET-Gates der Haupt-Kaskode durch einen Sourcefolger

das Gate-Potential von  $J_i$  der  $(N - 1)$ -Stufen auf ungefähr deren Durchlassspannung (von  $R_{DSon} \cdot i_{HD}$ ) angehoben. Wie bereits beschrieben wurde, befinden sich diese damit in einem niederohmigeren Durchlasszustand. Der negative Strompfad – für das Entladen des Gates von  $J_i$  (blauer Strompfad in Abb. 7.6) – muss in der vorliegenden Beschaltung zusätzlich vorhanden sein, weil der Sourcefolger dem Gate von  $J_i$  für negative Ströme keinen Zugang zum RC-Teiler ermöglicht. Die Zener-Diode ( $D_{CSFi}$ ) stellt in dem Pfad nach dem Ausschalten sicher, dass auch die Gate-Source-Spannung von  $J_{SF_i}$  auf  $-20\text{ V}$  begrenzt wird. Die Diode  $D_{BSFi}$  wird dafür benötigt, dass der Entladepfad den Aufladepfad nicht beeinflusst. Mit dem Widerstand  $R_{Bi}$  wird der Entladestrom eingestellt.

**Pulsgenerator:** Ein verbessertes Ausschaltverhalten kann bei Super-Kaskoden dann erzielt werden, wenn die Abfolge des Schaltens der Haupt-JFET der  $(N - 1)$ -Stufen zeitlich vor dem der Basisstufe stattfindet. Der Pulsgenerator soll grundsätzlich dafür sorgen, dass die Ausschaltreihenfolge in genau dieser Abfolge erzwungen wird (siehe Punkt VI in Tab. 7.1). Aus diesem Grund muss die Ansteuerung des Pulsgenerators an dem Gate-Kontakt  $G_{Pulse}$  zur Einleitung des Ausschaltvorganges zeitlich (kurz) vor der des Haupt-Gate-Kontaktes ( $G_{Main}$ ) der Super-Kaskode erfolgen. Prinzipiell soll die Funktion des Pulsgenerators mit einem LC-Schwingkreis realisiert werden, welcher in den Referenz-Spannungsteiler der Basisstufe integriert ist. Um den Kondensator ( $C_{1a}$ ) des Pulsgenerators auf einen Spannungswert vorladen zu können, welcher unabhängig von der Spannung des Referenz-Spannungsteilers ist, muss dieser eine separate Spannungsversorgung besitzen. Diese kann mit einem Widerstand ( $R_P$ ) hochohmig von  $C_{1a}$  abgekoppelt werden. Die Diode  $D_P$  verhindert unterdessen einen Rückstrom von dem Referenz-Spannungsteiler in die Spannungsversorgung des Pulsgenerators.

Nachdem die Funktionsblöcke grundsätzlich beschrieben wurden, ist es anschließend sinnvoll, die Schaltvorgänge der neuartigen JFET-Super-Kaskode näher zu betrachten. Für ein besseres Verständnis der Schaltung wird dazu mit LTSPICE eine Transientenanalyse durchgeführt. Auf den folgenden Seiten zeigen die Abbildungen 7.7 und 7.9 die Schaltbilder der neuartigen Super-Kaskode und die beim Ein- und Ausschalten dominierenden Kommutierungspfade. Die Dicken der angedeuteten **Strompfade** sind maßgeblich für die Höhe des Stromwertes. Die Pfeile indizieren hingegen die Stromrichtung. Aus Gründen der Übersicht sind in diesen Bildern ebenfalls die elektrischen Größen der wichtigsten Bauelemente – farblich passend zu den Funktionsblöcken gemäß Abb. 7.4 – angegeben. Die Simulationsergebnisse eines harten, induktiven Schaltvorganges – einer Halbbrücken-Anordnung mit Freilaufdiode – mit einem Laststrom von  $I_L = 100\text{ A}$  sowie einer Kaskoden-Sperrspannung von  $U_{HD} = 1.4\text{ kV}$  sind für das Einschalten in Abb. 7.8 und für das Ausschalten in den Abbildungen 7.10, 7.11 und 7.12 dargestellt. Die 1.2 kV-SiC-JFET (UJN1205K) sind dazu für die Höhe des Laststromes je Spannungsstufe mit einer Parallelschaltzahl von 8 dimensioniert [Uni].

### Einschaltvorgang der neuartigen JFET-Super-Kaskode (siehe Abb. 7.7, 7.8)

$t < t_{on,0}$ : Vor der Einleitung des Einschaltvorganges befindet sich die Super-Kaskode im gesperrten Zustand. Die Gate-Source-Spannungen der SiC-JFET der Haupt-Kaskode sind durch die Zener-Dioden auf  $-20\text{ V}$  geclamped, was eine Vorgabe der individuellen Sperrspannungen durch den Referenz-Spannungsteiler mit sehr geringen Abweichungen (von nur  $\Delta U_{DS,max} = 25\text{ V}$ ) ermöglicht. Es sei hier angemerkt, dass sich die Spannung  $u_{D1}$  aus der Summe der Drain-Source-Spannungen beider unteren Transistoren ( $T_0$  und  $J_1$  in Abb. 7.7 und 7.9) zusammensetzt. Diese stellen jedoch ohnehin ein gemeinsames (normally-off) Hochvolt-Bauelement dar.

$t_{on,0} < t < t_{on,1}$ : Wird das Haupt-Gate ( $G_{Main}$ ) der Super-Kaskode (mit  $u_{GSM}$ ) positiv angesteuert, werden nacheinander die Transistoren  $T_0$ ,  $J_1$ ,  $J_2$ ,  $J_3$  leitend. Da  $J_2$  und  $J_3$  (indirekt) über den Referenz-Spannungsteiler angesteuert werden, ist bei den Spannungen  $u_{DS2}$  und  $u_{DS3}$  zunächst ein Anstieg zu verzeichnen. Im ersten Moment sind deren Abschnürspannungen nämlich noch nicht überschritten. Durch das anschließende Sinken der Spannungen  $u_{DS2}$  und  $u_{DS3}$  steigt nun auch der Strom  $i_{HD}$  der Anordnung. Die Gate-Source-Spannungen der oberen Haupt-JFET können sich in diesem Abschnitt noch einmal der Abschnürgrenze nähern.

$t_{on,1} < t < t_{on,2}$ : Alle Drain-Source-Spannungen sind abgebaut. Durch das Ausräumen der Ladungsträger in der Freilaufdiode ist der Laststrom der Anordnung zunächst deutlich überhöht (siehe Abschnitt 4.3.1). Die Rückstromspitze regt Oszillationen parasitärer Induktivitäten und Kapazitäten der Kommutierungsschleife an, welche sich auch in den Gate-Source-Spannungen der oberen Haupt-JFET widerspiegeln. Da  $u_{GS2}$  und  $u_{GS3}$  in diesem Abschnitt weiterhin Spannungswerte von  $-6\text{ V} < u_{GS} < -5\text{ V}$

aufweisen (und  $U_{PO} = -7.3\text{ V}$  gilt), befinden sich  $J_2$  und  $J_3$  noch nicht in einem absolut niederohmigen Zustand.

$t_{on,2} < t < t_{on,3}$ : Die Rückstromspitze der Freilaufdiode ist vollkommen abgebaut. Die Eingangskapazitäten der Transistoren  $J_2$  und  $J_3$  werden nun über deren Sourcefolger vollständig, positiv aufgeladen.

$t > t_{on,3}$ : Die Spannungen  $u_{GS2}$  und  $u_{GS3}$  übersteigen die 0 V-Schwelle. Da die Sourcefolger die Potentiale der Drain-Kontakte von  $J_2$  und  $J_3$  auf deren Gate-Kontakte durchschleifen, sind – abhängig vom Drain-Source-Spannungsabfall dieser Transistoren – positive Gate-Source-Spannungen erzielbar.  $J_2$  und  $J_3$  steuern sich infolge des Laststromes (und  $R_{DSon} \cdot i_{HD}$ ) selbstständig auf und reduzieren somit ihren Kanalwiderstand ( $R_{DSon}$ ) weiter. Dieser Effekt ist umso stärker ausgeprägt, je höher der Spannungsabfall der oberen Haupt-Transistoren wird und kann durch  $R_{SSF_i}$  auf +2 V begrenzt werden.

### Ausschaltvorgang der neuartigen JFET-Super-Kaskode (siehe Abb. 7.9, 7.10, 7.11, 7.12)

$t < t_{off,0}$ : Vor der Einleitung des Ausschaltvorganges befindet sich die Super-Kaskode im leitenden Zustand. Die Spannung  $u_{GS1}$  ist – durch den Spannungsabfall an dem LV-MOSFET – einige zehn Millivolt negativ. Aufgrund der Sourcefolger weisen die Spannungen  $u_{GS2}$  und  $u_{GS3}$  jedoch merklich positive Werte (von ungefähr 660 mV) auf.

$t_{off,0} < t < t_{off,1}$ : Durch die positive Ansteuerung des Pulsgenerator-Gates  $G_{Pulse}$  (mit  $u_{GSP}$ ) wird die Ausschaltsequenz der Super-Kaskode initiiert. Da der Kondensator  $C_{1a}$  des Pulsgenerators auf die Spannung  $U_P = 150\text{ V}$  vorgeladen ist, entlädt sich dieser über die (sehr kleine) Schleifeninduktivität  $L_P$  und erzeugt einen Impulsstrom  $i_P$  (in Abb. 7.11). Ein Teil dieses Impulsstromes wird in den Referenz-Spannungsteiler ausgekoppelt ( $i_{C1b}$ ,  $i_{C2}$ ,  $i_{C3}$ )<sup>7</sup> und sorgt an den Abzweigungen zu den oberen Gate-Kontakten (von  $J_2$  und  $J_3$ ) für negative Gate-Ausräumströme ( $i_{zp1}$  und  $i_{zp2}$ ). Die Gate-Source-Spannungen  $u_{GS2}$  und  $u_{GS3}$  sinken nun ab. In dem Moment, wo die Ströme  $i_{zp1}$  und  $i_{zp2}$  ihr negatives Maximum erreichen, unterschreiten  $u_{GS2}$  und  $u_{GS3}$  ihre Abschnürspannung und lassen die Transistoren  $J_2$  und  $J_3$  hochohmig werden. Die Spannungen  $u_{DS2}$  und  $u_{DS3}$  steigen folglich an. Wichtig zu erwähnen ist, dass für das Ausräumen der oberen Gates – nach den Knotenpunkt-Gleichungen:

$$i_{zp1} = i_{C2} - i_{C1b} \quad (7.2)$$

$$i_{zp2} = i_{C3} - i_{C2} \quad (7.3)$$

<sup>7</sup>Die Ströme  $i_{C1b}$ ,  $i_{C2}$  und  $i_{C3}$  sind aus Gründen der Übersicht in Abb. 7.11 sowohl in dem mittleren als auch in dem unteren Plot dargestellt. Hiermit soll eine bessere Vergleichbarkeit der Amplituden – einerseits zu  $i_P$  und andererseits zu  $i_{zp1}$  und  $i_{zp2}$  – ermöglicht werden.

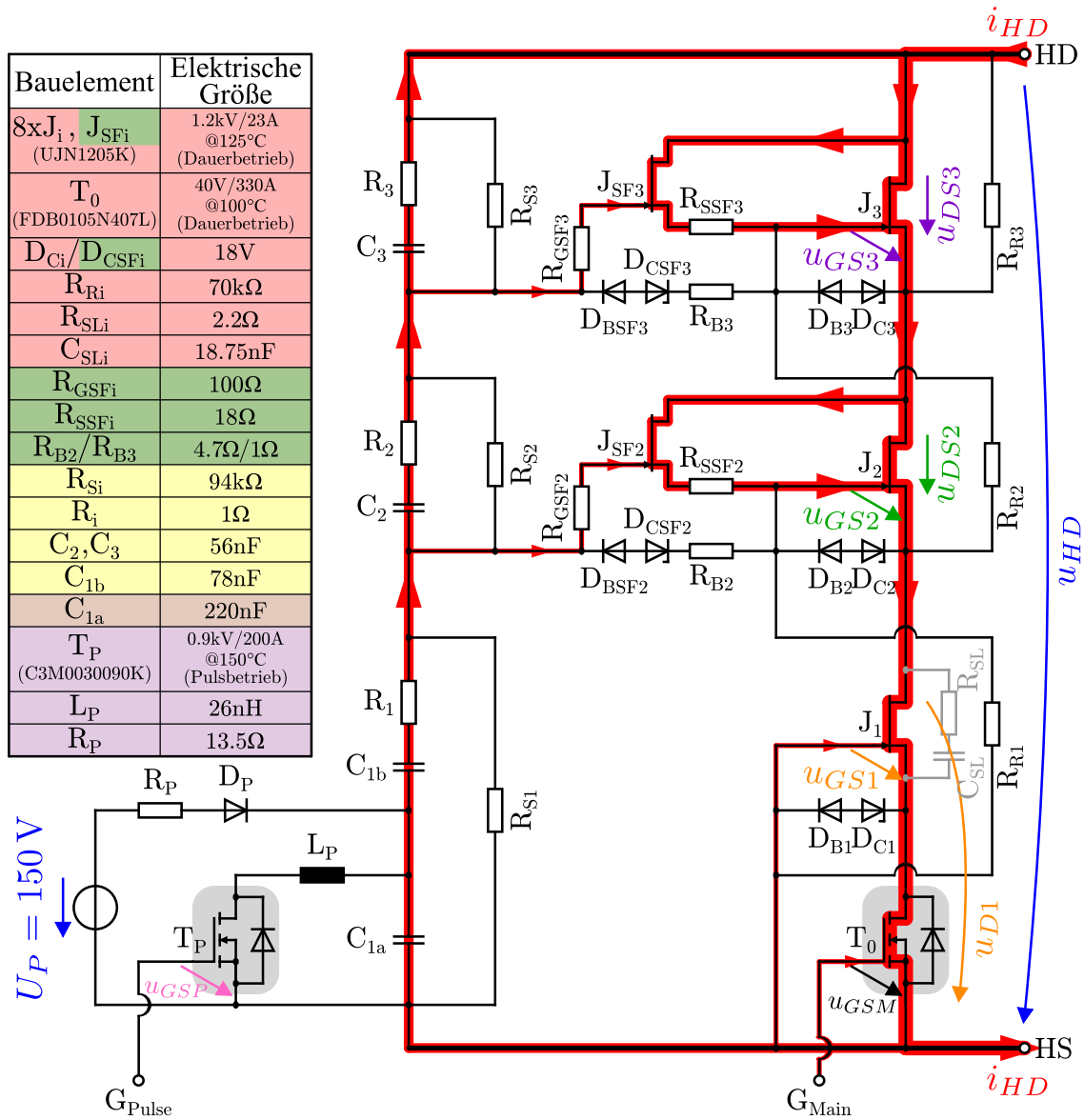


Abb. 7.7.: Strompfade innerhalb der neuartigen Super-Kaskode während des Einschaltvorganges

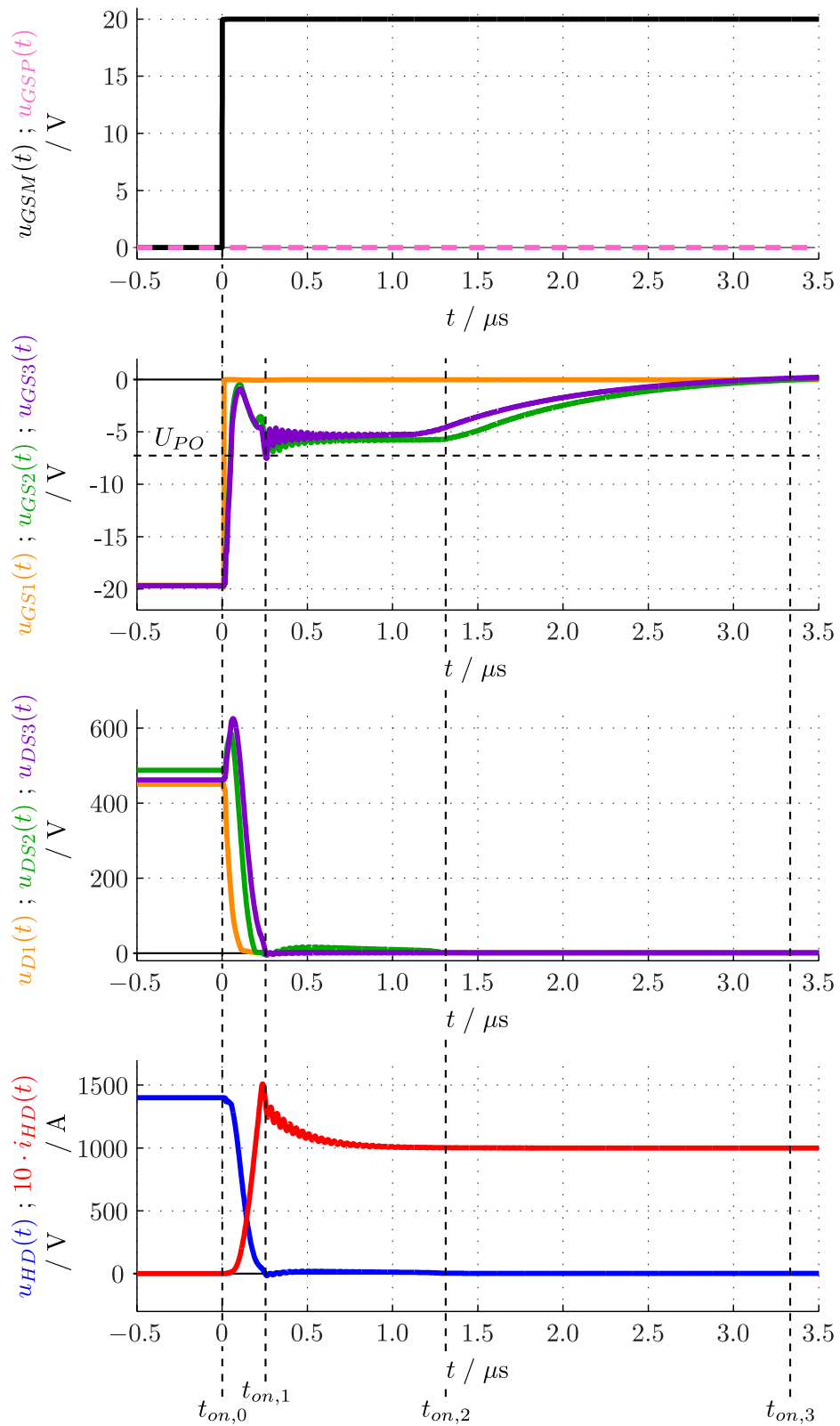


Abb. 7.8.: Signalverläufe innerhalb der neuartigen Super-Kaskode während des Einschaltvorganges



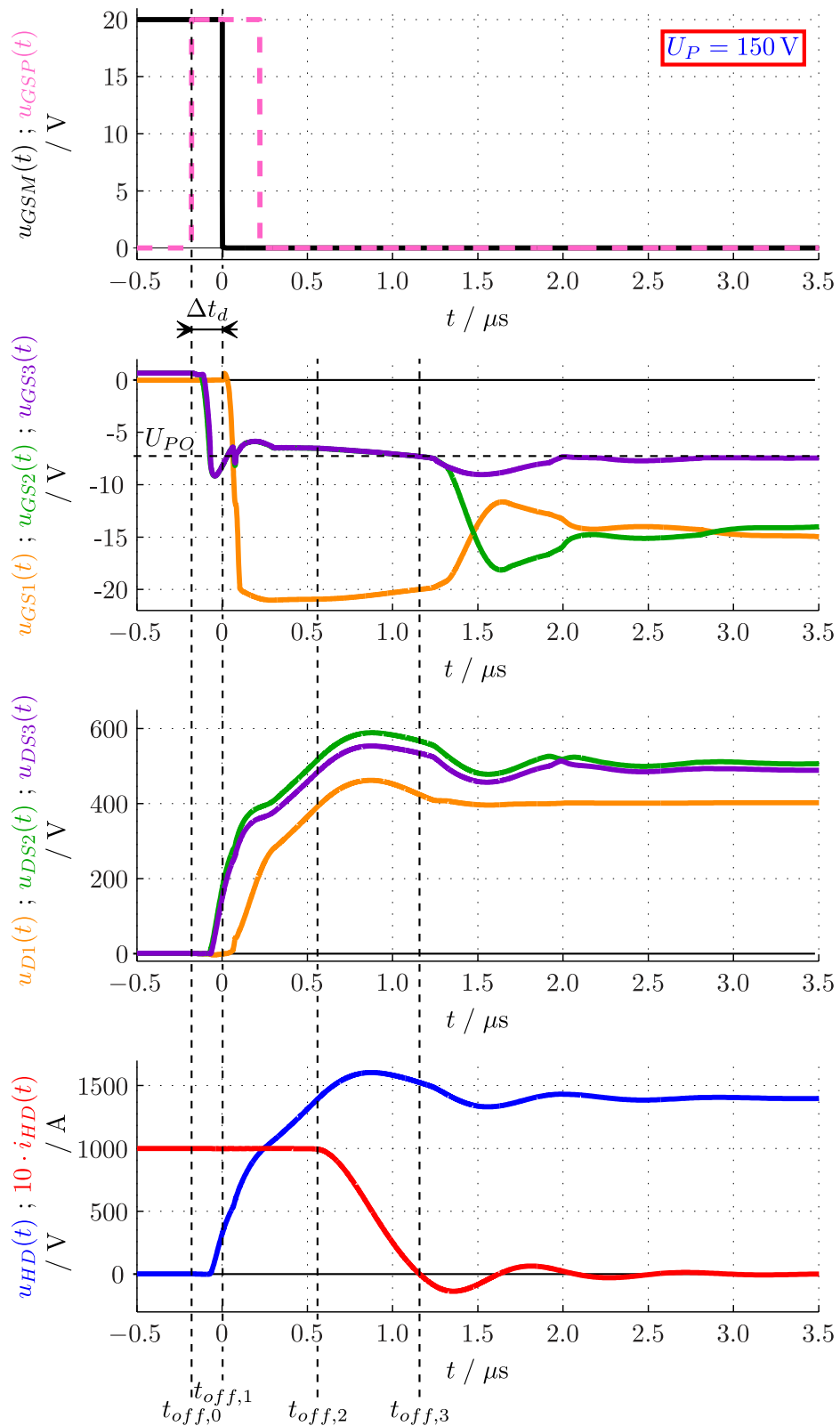


Abb. 7.10.: Signalverläufe innerhalb der neuartigen Super-Kaskode während des Ausschaltvorganges

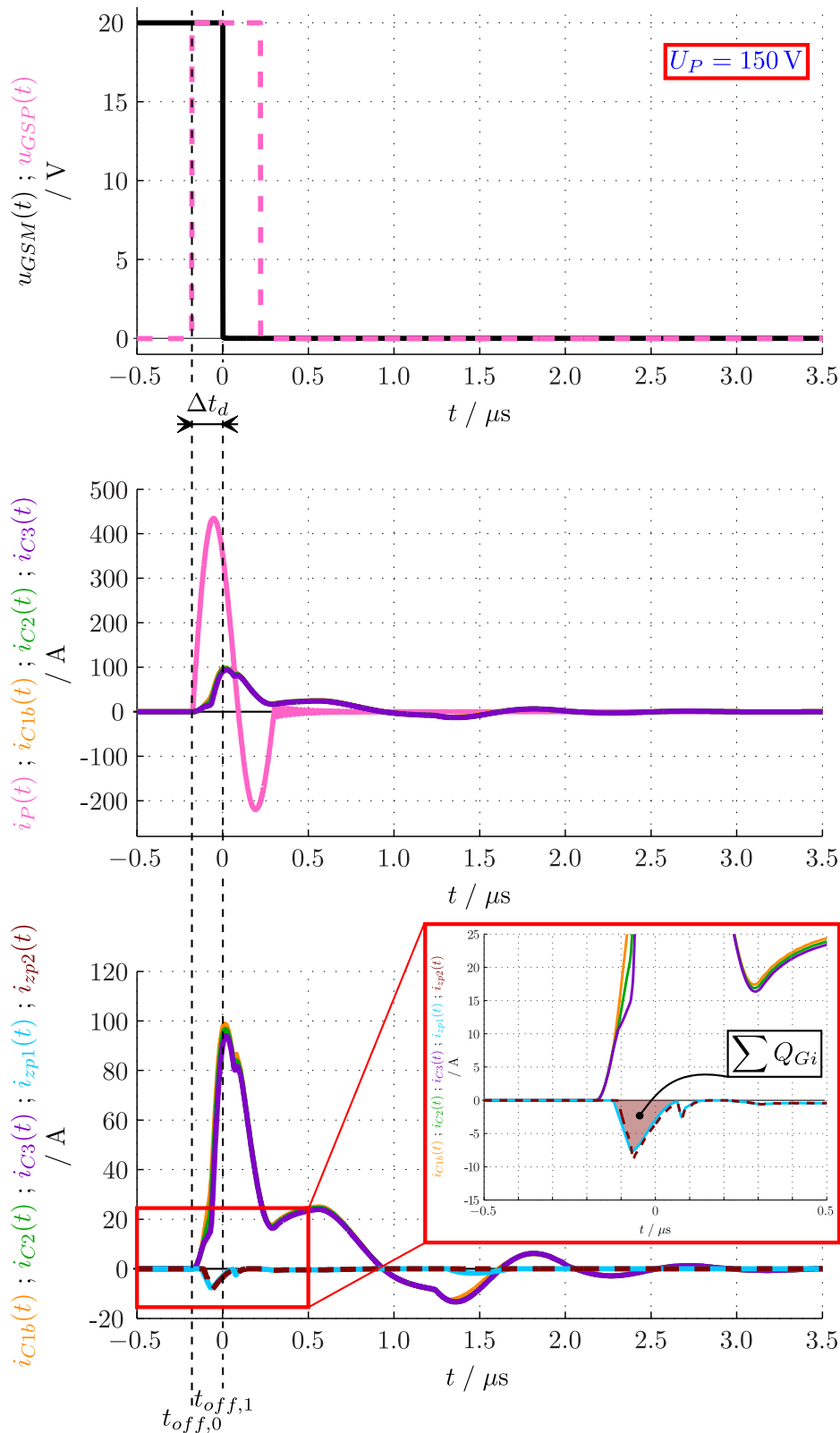


Abb. 7.11.: Signalverläufe des Referenz-Spannungsteilers innerhalb der neuartigen Super-Kaskode während des Ausschaltvorganges



– nur die Differenzen dieser Ströme von Bedeutung sind. Die Amplituden von  $i_{C1b}$ ,  $i_{C2}$  und  $i_{C3}$  werden maßgeblich von dem Kaskoden-Strom  $i_{HD}$  beeinflusst, welcher in diesem Zeitabschnitt (mit dem Ansteigen von  $u_{DS2}$  und  $u_{DS3}$ ) auf den Referenz-Spannungsteiler kommutiert. Um die Robustheit der Super-Kaskode bei einer Erhöhung der Parallelschaltzahl der Haupt-JFET zu demonstrieren, ist in der Simulation je Spannungsstufe ein Gate-Source-Kapazitätswert von  $\sum C_{GSi} = 45.6 \text{ nF}$  (statt  $8 \text{ nF}$ ) verbaut [Uni]. Passend dazu kann man in der roten Box in Abb. 7.11 erkennen, dass  $J_2$  und  $J_3$  jeweils eine summarische Gate-Ladung von  $\sum Q_{Gi} = 685 \text{ nAs}$  entnommen wird.

$t_{off,1} < t < t_{off,2}$ : Da die Transistoren  $J_2$  und  $J_3$  bereits Spannung aufnehmen, wird nun das Haupt-Gate ( $G_{Main}$ ) der Super-Kaskode (mit  $u_{GSM}$ ) auf Nullpotential gelegt und somit der untere Haupt-JFET  $J_1$  in den hochohmigen Zustand überführt. Durch das Aufbauen der Referenz-Spannungsteiler-Spannung verschieben sich  $u_{GS2}$  und  $u_{GS3}$  noch einmal auf Werte oberhalb der Abschnürgrenze. Deshalb nimmt in diesem Zeitabschnitt die Steilheit der Drain-Source-Spannungen  $u_{DS2}$  und  $u_{DS3}$  ab. Die Spannungen  $u_{GS2}$  und  $u_{GS3}$  regeln sich anschließend auf einen Wert ein, welcher in der Anstiegsphase von  $u_{HD}$  zu einem quasi-leitenden Zustand führt. Somit wird eine dynamisch gleichmäßige Aufteilung der Spannungen  $u_{D1}$ ,  $u_{DS2}$  und  $u_{DS3}$  nahe der Abschnürgrenze ermöglicht. In der praktischen Realisierung kann es hilfreich sein, in diesem Zeitraum durch ein RC-Glied ( $R_{SL}$ ,  $C_{SL}$ ) die Anstiegsgeschwindigkeit von  $u_{DS1}$  zu verlangsamen. Für eine bessere Vergleichbarkeit mit den – in Abschnitt 7.3.3 gezeigten – Messergebnissen wird das RC-Glied in der gezeigten Simulation ebenfalls implementiert. In den Abbildungen 7.7 und 7.9 ist dieser optionale Zusatz in grauer Farbe angedeutet.

$t_{off,2} < t < t_{off,3}$ : Der Spannungswert  $u_{HD}$  der Anordnung erreicht erstmals die Sperrspannung von  $1.4 \text{ kV}$ . Da zu diesem Zeitpunkt über der Freilaufdiode selbst keine Sperrspannung mehr abfällt, kann sie leitend werden. Der Stromfluss  $i_{HD}$  in der Super-Kaskode wird schließlich abgebaut. Aufgrund der parasitären Induktivitäten in der Kommutierungsschleife ist in Abhängigkeit der Stromsteilheit  $\frac{di_{HD}}{dt}$  eine Überspannung (von ca.  $200 \text{ V}$ ) zu verzeichnen. Da sich die Transistoren  $J_2$  und  $J_3$  noch immer in dem quasi-leitenden Zustand befinden, ist auch in diesem Zeitbereich eine gleichmäßige Spannungsaufteilung zwischen  $u_{D1}$ ,  $u_{DS2}$  und  $u_{DS3}$  gewährleistet.

$t > t_{off,3}$ : Der Strom  $i_{HD}$  in der Super-Kaskode ist vollständig abgebaut – alle Transistoren der Haupt-Kaskode befinden sich im gesperrten Zustand. Es findet hier noch eine Verschiebung der Gate-Source-Spannungen statt. Möchte man den Übergang in den absolut statischen Zustand beobachten, muss man jedoch einen längeren Zeitraum nach dem Abschaltvorgang betrachten – Abbildung 7.12 zeigt hierzu eine Auflösung von  $100 \mu\text{s}$ . Aus dem Bild wird deutlich, dass die Gate-Source-Spannungen sich langsam ihrem stationären Wert nähern. Dies geschieht in diesem Zeitabschnitt über

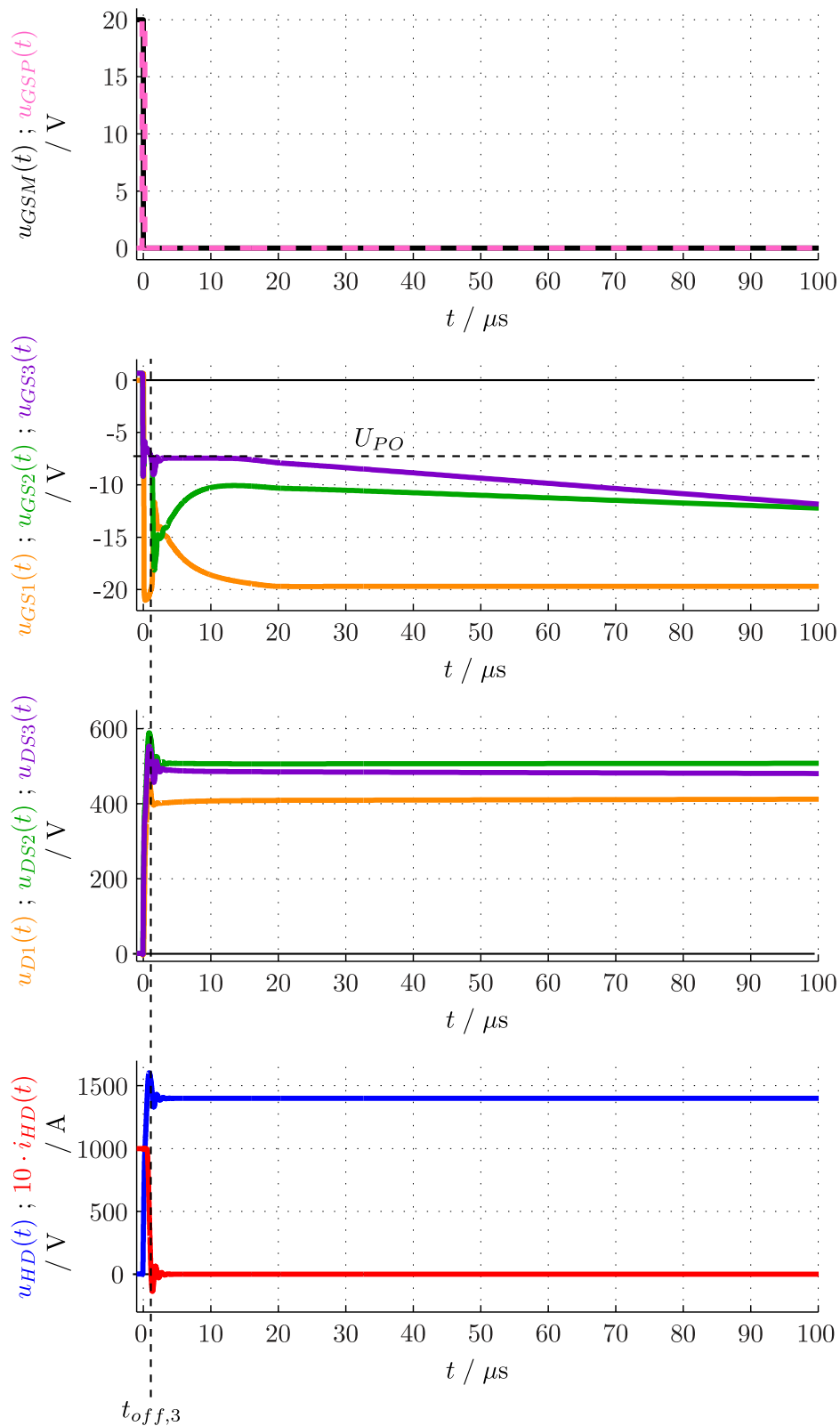


Abb. 7.12.: Signalverläufe innerhalb der neuartigen Super-Kaskode während des Ausschaltvorganges (längerer Zeitraum)

die Widerstände  $R_{Ri}$ .

Da die Sourcefolger sich in dem Zeitbereich  $t > t_{off,3}$  in Abb. 7.12 noch nicht in einem vollständig hochohmigen Zustand befinden, liefern sie einen Ruhestrom, der die Umladung der Eingangskapazitäten der Haupt-JFET ( $J_i$ ) verlangsamt. Dass die Elemente  $R_{Ri}$  und die Sourcefolger in diesem Betriebszustand gegeneinander agieren, ist durch die Schaltung aber auch nicht direkt eingeschränkt worden. Bei einer Umdimensionierung der erwähnten Elemente kann der absolut statische Zustand zwar schneller erreicht werden, allerdings sind dann aber auch höhere statische Sperrverluste zu verzeichnen. Für den Einsatz der neuartigen Super-Kaskode als Leistungsschalter in einem Double-Zero-Submodul ist das schnelle Erreichen des stationären Zustandes jedoch nicht notwendig. Strebt man z. B. die Bestückung des Kondensatorschalters ( $T_0/T_{01}/T_{02}$  in Abb. 4.1 und 4.4) mit der neuartigen Super-Kaskode an, sind – abhängig vom Betriebszustand – bei dem vorgestellten Pulsmuster je Periode der Grundfrequenz (20 ms) indessen nicht mehr als zwei Schalthandlungen vonnöten (siehe Abschnitt 4.3.1).

### 7.3.2. Dimensionierung

Der letzte Abschnitt (7.3.1) hat bereits die grundsätzlichen Zusammenhänge der neuartigen Super-Kaskode offenbaren können. Um die Beschreibung der Schaltung zu vervollständigen, wird in diesem Abschnitt noch auf eine generelle Dimensionierung der benötigten Bauelemente hingewiesen. Prinzipiell ist es sinnvoll, sich an der anschließend wiedergegebenen Reihenfolge zu orientieren:

- 1)  **$T_0, J_1, J_2, J_3$** : Einleitend sollen diesbezüglich die nominelle Sperrspannung sowie der nominelle Laststrom der kompletten Anordnung vorgegeben werden. Bei der Verwendung von SiC-JFET Bauelementen (für  $J_1, J_2, J_3$ ) des Typs UJN1205K (1.2 kV/23 A @125° C) und der seriellen Bestückung von drei Spannungsstufen wird für jede Stufe eine konservative Ausnutzung der stationären Sperrspannung von ca. 40% ( $U_{HD} = 1.4$  kV) angenommen. Hiermit ist ausreichend Raum für Überspannungsspitzen während des Abschaltens vorhanden. Für das Betreiben der Anordnung mit einem Laststrom von  $I_L = 100$  A – wie es die Simulation im letzten Abschnitt bereits zeigen konnte – wird mit einer Parallelschaltzahl der SiC-JFET von 8 Bauelementen eine Stromausnutzung von ungefähr 55% je Transistor erreicht.

Der LV-MOSFET ( $T_0$ ) ist in einer derartigen Kaskodenschaltung mit einer Sperrspannung von 40 V hinreichend dimensioniert. Bei der Auswahl ist darauf zu achten, dass der LV-MOSFET zum einen eine hohe Stromtragfähigkeit besitzt und somit einen niedrigen Kanal-Widerstand ( $R_{DSon}$ ) aufweist. Zum anderen ist es notwendig, dass dieser eine leistungsfähige Rückstrom-Diode besitzt. In dem Prototyp der neuartigen Super-Kaskode wird dazu der Typ FDB0105N407L (40 V/330 A @100° C) eingesetzt [Fai].

- 2)  $D_{Ci}, D_{Bi}$ : Die Zener-Dioden ( $D_{Ci}$ ) der Haupt-JFET sollen im sperrenden Zustand der Anordnung sicherstellen, dass deren negative Gate-Source-Spannung von  $-20\text{ V}$  statisch nicht unterschritten wird. Hierzu eignen sich Leistungs-Zener-Dioden (z. B.  $3\text{ W}$ ) mit einer Nennspannung von  $18\text{ V}$ . Lediglich die Zener-Diode der Basisstufe sollte als TVS<sup>8</sup>-Typ ausgeführt werden, weil der untere JFET ( $J_1$ ) über den LV-MOSFET ( $T_0$ ) direkt, hart geschaltet wird. Durch parasitäre Induktivitäten in deren Kommutierungsschleife ist eine Überspannung zu erwarten, welche von konventionellen Zener-Dioden nicht absorbiert werden kann. Antiseriell zu den Zener-Dioden können gewöhnliche Dioden in Schottky-Technologie verbaut werden. Diese sind mit einem Dauerstrom von ca.  $1\text{ A}$  und einer Sperrspannung von  $30\text{ V}$  hinreichend dimensioniert.
- 3)  $C_i, R_i, R_{Si}$ : Für den Referenz-Spannungsteiler soll der Ansatz gelten, dass die Verlustenergien in den Spannungsteiler-Kondensatoren beim Schalten nicht größer sind, als die zu erwartenden Ausschaltverluste der Super-Kaskode. Für eine Spannungsstufe (und  $N = 3$ ) erhält man dann den Zusammenhang:

$$C_i \leq \frac{I_L \cdot t_f}{\frac{U_{HD}}{N}}. \quad (7.4)$$

Nimmt man bei der Super-Kaskode während des Ausschaltens eine Fallzeit von  $t_f = 500\text{ ns}$  an, ergibt sich aus Gleichung 7.4 mit den Annahmen aus 1) eine Kapazität  $C_i$  von ungefähr  $100\text{ nF}$ . Damit der Ansatz seine Gültigkeit auch für eine etwaige Erhöhung der Kaskoden-Sperrspannung behält, wird die Anordnung mit einem Kapazitätswert von  $C_i = 56\text{ nF}$  bestückt.

Bei der Auswahl der Widerstände  $R_i$  ist ein Kompromiss bezüglich ihrer Widerstandswerte einzugehen. Einerseits ist ein niederohmiges Design des Referenz-Spannungsteilers notwendig, um beim Ausschalten der neuartigen Super-Kaskode den Ausräumstromimpuls des Pulsgenerators nicht übermäßig zu bedämpfen. Andererseits muss ein Mindestwiderstand in jedem Zweig der Schaltung vorhanden sein, um auftretende Oszillationen durch parasitäre Induktivitäten und  $C_i$  in den Schleifen zu vermindern. Mit der Wahl des Widerstandswertes von  $R_i = 1\ \Omega$  erfüllen die Widerstände des Spannungsteilers die oben erwähnten Anforderungen. Außerdem wird sein initialer Spannungsabfall:

$$R_i \cdot I_L \ll \frac{U_{HD}}{N} \quad (7.5)$$

- wenn beim Ausschalten der Laststrom auf den Referenz-Spannungsteiler kommutiert
- deutlich unter der Sperrspannung einer Stufe gehalten.

Die Widerstände  $R_{Si}$  müssen ebenfalls nach einem Kompromiss ausgelegt werden.

---

<sup>8</sup>Transient Voltage Suppressor

Zum einen müssen diese ausreichend niederohmig (einige zehn Kiloohm) dimensioniert werden, damit die stationäre Spannungsaufteilung ausreichend definiert ist. Zum anderen weisen die Widerstände  $R_{S_i}$  höhere statische Verluste auf, je niederohmiger diese gewählt werden. Bestückt ist die Schaltung je Stufe schließlich mit einer Reihenschaltung von zwei  $47\text{ k}\Omega$   $3\text{ W}$ -Widerständen.

- 4)  $J_{\text{SF}_i}$ ,  $R_{\text{GSF}_i}$ ,  $D_{\text{CSF}_i}$ ,  $D_{\text{BSF}_i}$ : Der, im Sourcefolger eingesetzte, SiC-JFET ist mit dem identischen Typ (UJN1205K) bestückt, welcher auch in der Haupt-Kaskode verbaut wurde. Da dieser die Gate- und Drain-Elektrode der oberen Haupt-JFET verbindet, muss er in der Lage sein, derselben Sperrspannung zu widerstehen. Für die Umladung der Eingangskapazitäten von  $J_2$  und  $J_3$  muss  $J_{\text{SF}_i}$  keine hohen Spitzenströme liefern – er ist als 23 A-Typ ausreichend dimensioniert. Eine Parallelschaltung von mehreren JFET ist für  $J_{\text{SF}_i}$  deshalb nicht erforderlich.

Der Gate-Widerstand  $R_{\text{GSF}_i}$  muss so ausgewählt werden, dass der Eingangswiderstand der Sourcefolger den Referenz-Spannungsteiler nicht nennenswert belastet. Ein Widerstandswert von  $R_{\text{GSF}_i} = 100\ \Omega$  ist hier vollkommen ausreichend. Die beiden Dioden je Sourcefolger ( $D_{\text{CSF}_i}$ ,  $D_{\text{BSF}_i}$ ) müssen nicht weiter betrachtet werden. Diese können mit den identischen Diodentypen ( $D_{C_i}$  und  $D_{B_i}$ ) ausgestattet werden, die bereits für die  $(N - 1)$ -Stufen eingesetzt sind.

- 5)  $C_{1b}$ ,  $C_{1a}$ ,  $L_P$ ,  $T_P$ ,  $R_P$ ,  $D_P$ ,  $R_{B_i}$ ,  $U_P$ ,  $\Delta t_d$ : Die Dimensionierung des Pulsgenerators soll zunächst mit der Auswahl dessen Kapazitäten ( $C_{1a}$  und  $C_{1b}$ ) begonnen werden. Aus Gründen der Übersicht ist es sinnvoll die Überlegungen (nach Abb. 7.13) in zwei Teilschritte zu zerlegen:

Teil A: Abbildung 7.13a zeigt das vereinfachte Ersatzschaltbild des Ausschaltvorganges mit dem Pulsgenerator als ideale Stromquelle. Dessen grundsätzliche Funktion ist es – bei der Initiierung des Ausschaltvorganges – die Gate-Ladungen der oberen Haupt-JFET ( $J_2$  und  $J_3$ ) auszuräumen, bevor der Haupt-JFET der Basisstufe ( $J_1$ ) angesteuert wird. Er muss also die negativen Gate-Ströme ( $\sum i_{G2}$  und  $\sum i_{G3}$ ) der, parallel geschalteten, Haupt-JFET aufbringen und die Gate-Source-Kapazitäten ( $\sum C_{GS2}$  und  $\sum C_{GS3}$ ) der JFET um ca.  $20\text{ V}$  (von  $+2\text{ V}$  auf  $-18\text{ V}$ ) umladen – angedeutet durch die Zener-Dioden. Vor der Einleitung des Impulsstromes<sup>9</sup>  $i_P^*$  können die Kapazitäten  $C_i$  des Referenz-Spannungsteilers einerseits als spannungslos betrachtet werden. Der (geringe) Spannungsabfall der Haupt-JFET (von  $R_{D_{\text{Son}}} \cdot i_{HD}$ ) soll andererseits für diese vereinfachte Überlegung grundsätzlich vernachlässigt werden. Teil A des Designs intendiert, dass die Gate-Source-Kapazitäten der oberen Haupt-JFET ( $J_2$  und  $J_3$ ) bereits umgeladen sind, bevor sich an den Kapazitäten  $C_i$  ein nennenswerter Spannungsanstieg

<sup>9</sup>Der Impulsstrom ist in Teil A vereinfachend mit  $i_P^*$  dargestellt und entspricht prinzipiell dem Strom  $i_{C_{1b}}$  aus Abb. 7.9. Der tatsächliche Impulsstrom  $i_P$  fließt ausschließlich innerhalb des Pulsgenerators und weist eine Amplitude auf, welche eine Größenordnung über der von  $i_P^*$  liegt.

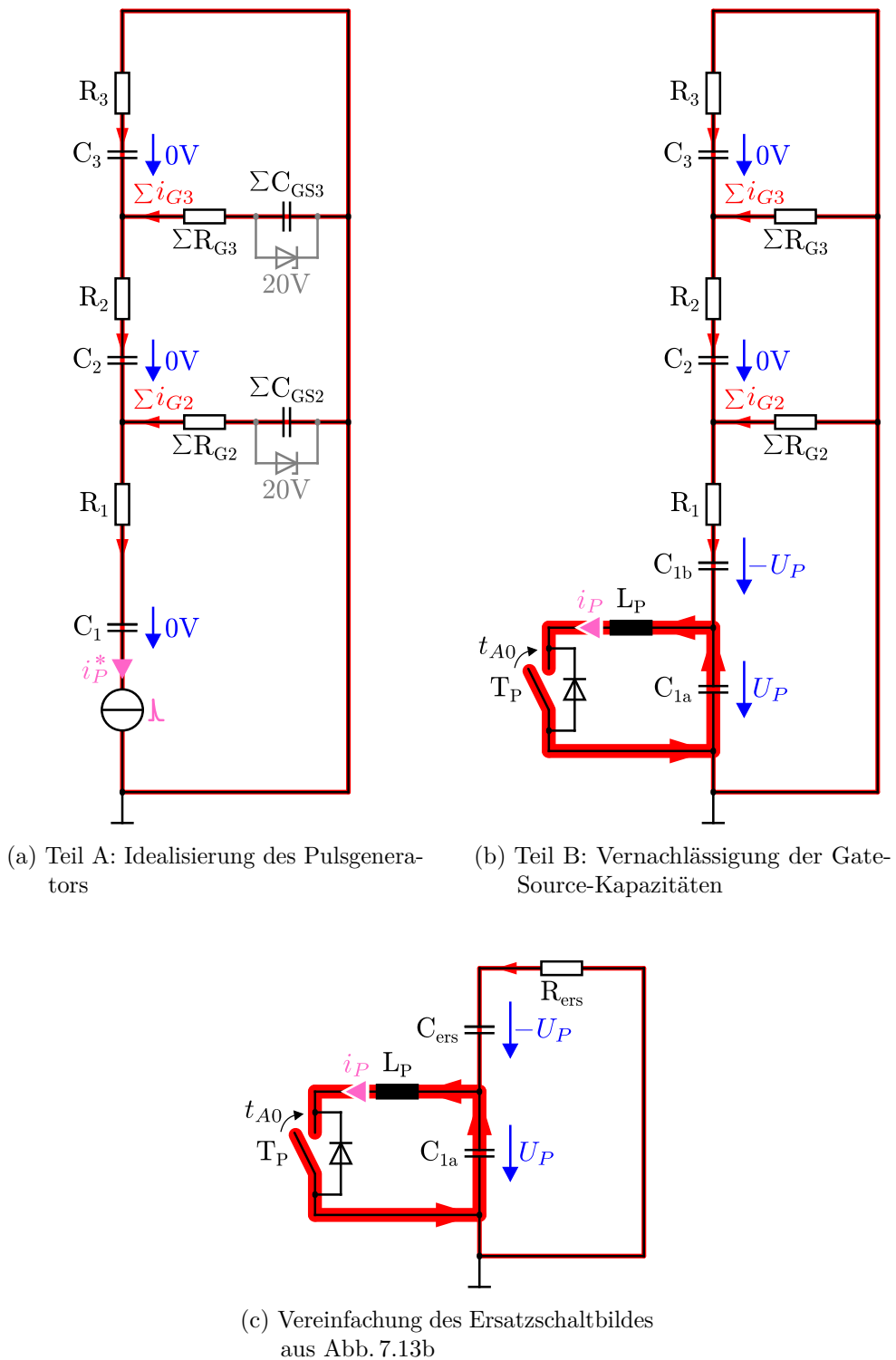


Abb. 7.13.: Ersatzschaltbild für die schrittweise Dimensionierung der Pulsgenerator-Kapazitäten der neuartigen Super-Kaskode

bemerkbar macht. Diese Anforderung wird erfüllt, wenn die Kapazitäten  $C_i$  deutlich größer sind als die – summarisch wirkenden – Gate-Source-Kapazitäten ( $\sum C_{GS2}$  und  $\sum C_{GS3}$ ). Für die Parallelschaltzahl der SiC-JFET (UJN1205K) von 8 ergibt sich damit ein Verhältnis der Kapazitäten von:

$$\frac{C_i}{\sum C_{GSi}} = \frac{56 \text{ nF}}{8 \text{ nF}} \gg 1. \quad (7.6)$$

Teil B: Der zweite Teil des Kapazitätsdesigns (Abb. 7.13b) legt den Fokus auf die Integrierung des Pulsgenerators in den Referenz-Spannungsteiler. Für eine ausreichende Abkopplung von Pulsgenerator und Spannungsteiler soll der Kapazitätswert von  $C_{1a}$  dazu deutlich größer als die Serienschaltung von  $C_{1b}$ ,  $C_2$  und  $C_3$  sein. Abbildung 7.13c fasst die resultierenden Kapazitäten und Widerstände der Ersatzschaltung aus Abb. 7.13b zusammen:

$$C_{ers} = \frac{1}{\frac{1}{C_{1b}} + \frac{1}{C_2} + \frac{1}{C_3}} \quad (7.7)$$

$$R_{ers} = R_1 + \left[ \left( \sum R_{G2} \right) \parallel \left[ R_2 + \left[ \left( \sum R_{G3} \right) \parallel R_3 \right] \right] \right]. \quad (7.8)$$

Wird darüber hinaus der Zusammenhang aus Gleichung 7.1 berücksichtigt, können die Kapazitäten zu  $C_{1a} = 220 \text{ nF}$  und  $C_{1b} = 78 \text{ nF}$  bestimmt werden. Das Verhältnis der Kapazitäten aus Abb. 7.13c ergibt sich dann schließlich zu:

$$\frac{C_{1a}}{C_{ers}} = \frac{220 \text{ nF}}{20 \text{ nF}} \gg 1. \quad (7.9)$$

In dem physikalischen Aufbau liegen in den beiden Gate-Pfaden (in Abb. 7.13a und 7.13b) zusätzlich zu den verbauten Widerständen ( $R_{B2}$  und  $R_{B3}$ ) sowohl JFET-interne Gate-Widerstände als auch – für eine Verbesserung der dynamischen Aufteilung der Gate-Source-Spannungen – externe Vorwiderstände. Die – durch Reihen- und Parallelschaltung – resultierenden Widerstandswerte dieser Strompfade sind in den vereinfachten Ersatzschaltbildern durch  $\sum R_{G2}$  und  $\sum R_{G3}$  dargestellt. Für eine ausreichende Dämpfungswirkung wird der Widerstandswert des oberen Pfades ( $R_{B3}$ ) auf wenigstens  $1 \Omega$  festgelegt. Der verbleibende Widerstandswert ( $R_{B2}$ ) muss größer gewählt werden (hier  $4.7 \Omega$ ) und kann dazu genutzt werden, die beiden Ausräumströme ( $\sum i_{G2}$  und  $\sum i_{G3}$ ) auf identische Werte einzustellen.

Eine bestmögliche Ausnutzung des Pulsgenerators wird erreicht, wenn die Schleifeninduktivität  $L_P$  so gering wie möglich ist. Generell ist diese in dem physikalischen Aufbau jedoch nicht beliebig reduzierbar. Vernachlässigt man die Dämpfung des Schwingkreises, lassen sich die grundsätzlichen Abhängigkeiten des Pulsgenerators

wie folgt approximieren:

$$\hat{i}_P = \sqrt{\frac{C_{1a} + C_{ers}}{L_P}} \cdot U_P \quad (7.10)$$

$$T_{Pulse} = 2\pi \cdot \sqrt{L_P \cdot (C_{1a} + C_{ers})}. \quad (7.11)$$

In dem realen (gedämpften) System fällt die Amplitude des Impulsstromes ( $\hat{i}_P$ ) einerseits marginal geringer aus. Die Periodendauer  $T_{Pulse}$  ist andererseits leicht erhöht. Der parasitäre Induktivitätswert der Pulsgenerator-Schleife für den Prototyp der neuartigen Super-Kaskode wurde zu ungefähr  $L_P = 26$  nH abgeschätzt.

Aufgrund der vorliegenden Kapazitätsverhältnisse von Gate-Source-Elektroden, Referenz-Spannungsteiler und Pulsgenerator (Gl. 7.6 und 7.9) sind in der Anordnung Stromamplitudenverhältnisse in vergleichbaren Größenordnungen zu erwarten. Gibt man einen Spitzenwert der Ausräumströme der Gate-Elektroden von 10 A vor, muss nach den Beziehungen (für die Größen aus Abb. 7.9):

$$\frac{\hat{i}_{C1b}}{\hat{i}_{zp1}} = \frac{\hat{i}_{C1b}}{\hat{i}_{zp2}} = \frac{\hat{i}_{C1b}}{\sum \hat{i}_{Gi}} = \frac{100 \text{ A}}{10 \text{ A}} \gg 1 \quad (7.12)$$

$$\frac{\hat{i}_P}{\hat{i}_{C1b}} = \frac{500 \text{ A}}{100 \text{ A}} \gg 1 \quad (7.13)$$

eine Amplitude des Impulsstromes von ca.  $\hat{i}_P = 500$  A eingepreßt werden. Erreicht wird dies mit einer Ladespannung der Pulsgenerator-Kapazität von  $U_P = 150$  V (siehe Gl. 7.10). Der verwendete Transistor ( $T_P$ ) innerhalb des Pulsgenerators sollte ungefähr die zweifache Spannung sperren sowie der Impulsamplitude standhalten können. Damit die Funktionalität der neuartigen Super-Kaskode keine Einschränkungen erfährt, wurde für den Prototyp ein Halbleiter ausgewählt, welcher deutlich höheren Anforderungen standhalten kann. Der SiC-MOSFET C3M0030090K ist ein 900 V-Typ mit einem Impulsennstrom von 200 A [Cre]. Bei einer Parallelschaltung von vier Bauelementen kann die Dämpfung der Pulsgenerator-Schleife gering gehalten werden und es besteht ausreichend Raum für höhere Impulsamplituden ( $\hat{i}_P$ ).

Schließlich sind noch die Bauelemente ( $R_P$  und  $D_P$ ) für die Nachladung der Pulsgenerator-Kapazität ( $C_{1a}$ ) zu definieren. Für eine ausreichende Abkopplung der externen Spannungsquelle ist  $R_P$  hinreichend hochohmig zu dimensionieren. Das Verhältnis der dominierenden Zeitkonstanten:

$$\frac{R_P \cdot C_{1a}}{T_{Pulse}} = \frac{13.5 \Omega \cdot 220 \text{ nF}}{496 \text{ ns}} \gg 1 \quad (7.14)$$

führt dabei zu einem Widerstandswert von mindestens  $R_P = 10 \Omega$  (gewählt  $13.5 \Omega$ ). Die Verzögerung des Nachladevorgangs stellt für den Einsatz der Anordnung keinen



Nachteil dar. Es wurde bereits erwähnt, dass in der beschriebenen Applikation der Double-Zero-Submodule während einer Periodendauer von 20 ms nicht mehr als zwei Schalthandlungen notwendig sind. Die Diode  $D_P$  muss – neben dem Blockieren des Rückstromes in die externe Spannungsquelle – in der Lage sein, den kurzzeitigen Nachladespitzenstrom von 11.1 A zu führen.

Für einen effizienten Ausschaltvorgang der neuartigen Super-Kaskode sei die Initiierung durch  $u_{GSP}$  zum einen derart getimt, dass die Gate-Source-Kapazitäten von  $J_2$  und  $J_3$  vollständig ausgeräumt sind, bevor  $u_{GSM}$  den JFET der Basisstufe ( $J_1$ ) ausschaltet. Zum anderen darf  $\Delta t_d$  nicht zu groß sein, weil die Gate-Source-Spannungen  $u_{GS2}$  und  $u_{GS3}$  sonst wieder über die Abschnürgrenze driften und eine erneute, positive Aufladung der Gate-Source-Kapazitäten bewirken.

Die Einschaltdauer des Transistors  $T_P$  (durch  $u_{GSP}$ ) muss prinzipiell nur für den Zeitraum der positiven Halbwelle von  $i_P$  erfolgen. Dessen Abschaltung kann jederzeit während der negativen Halbwelle stattfinden. Da der MOSFET eine interne Diode besitzt, wird der Impuls nach dem Abklingen der negativen Halbwelle passiv unterbunden.

- 6)  $R_{Ri}$ ,  $R_{SSF_i}$ : Der Effekt, dass die Gate-Source-Spannungen sich nach dem Ausschalten relativ langsam umladen, wurde in dem letzten Abschnitt (7.3.1) bereits erläutert. Ebenso wurde beschrieben, dass die beiden Widerstände Funktionen erfüllen, die gegeneinander agieren. Denn  $R_{Ri}$  steuert die Haupt-JFET  $J_2$  und  $J_3$  in den sperrenden Zustand, wobei  $R_{SSF_i}$  diese über den Sourcefolger wieder in den leitenden Zustand überführt. Die Vorgabe der Widerstandswerte  $R_{Ri}$  und  $R_{SSF_i}$  ist an diesem Punkt der Dimensionierung sinnvoll, um abschließend einen Freiheitsgrad für den Übergang der Super-Kaskode in den absolut stationären Sperrzustand zu besitzen. Sowohl im realen Prototyp als auch in der Simulation kann mit den Widerstandswerten von  $R_{Ri} = 70 \text{ k}\Omega$  und  $R_{SSF_i} = 18 \Omega$  eine einwandfreie Funktionalität der Kaskodenschaltung sichergestellt werden.
- 7)  $C_{SL}$ ,  $R_{SL}$ : Bei der praktischen Realisierung der neuartigen Super-Kaskode ist für das Ausschalten noch eine Begrenzung der Anstiegsgeschwindigkeit von  $u_{DS1}$  vorgesehen. Möchte man die Spannungsänderung von maximal  $1 \frac{\text{V}}{\text{ns}}$  nicht überschreiten, errechnet sich die benötigte Kapazität bei dem definierten Laststrom zu:

$$C_{SL} > \frac{I_L}{\frac{du_{DS1}}{dt}} = \frac{100 \text{ A}}{\frac{1 \text{ V}}{\text{ns}}} = 100 \text{ nF}. \quad (7.15)$$

Die Sicherstellung der vorgegebenen Spannungsänderung wird in der Anordnung mit der Bestückung eines Kapazitätswertes von  $C_{SL} = 150 \text{ nF}$  erreicht. In dem experimentellen Aufbau ist dazu jeweils  $\frac{1}{8}$  dieses Wertes ( $C_{SLi} = \frac{1}{8} C_{SL}$ ) an jedem der acht JFET (als Anteil von  $J_1$ ) angebracht. Berücksichtigt man die individuelle Anschlussinduktivität der Bauelemente – bestehend aus der Summe von parasitärer

Drain- ( $L_{\sigma D}$ ) sowie Source-Induktivität ( $L_{\sigma S}$ ) – muss der Widerstandswert  $R_{SLi}$  (je Kapazität  $C_{SLi}$ ) für eine aperiodische Dämpfung des Schwingkreises schließlich zu:

$$R_{SLi} = 2 \cdot \sqrt{\frac{L_{\sigma D} + L_{\sigma S}}{C_{SLi}}} = 2 \cdot \sqrt{\frac{23 \text{ nH}}{18.75 \text{ nF}}} = 2.2 \Omega \quad (7.16)$$

vorgegeben werden.

### 7.3.3. Experimenteller Aufbau und Messergebnisse

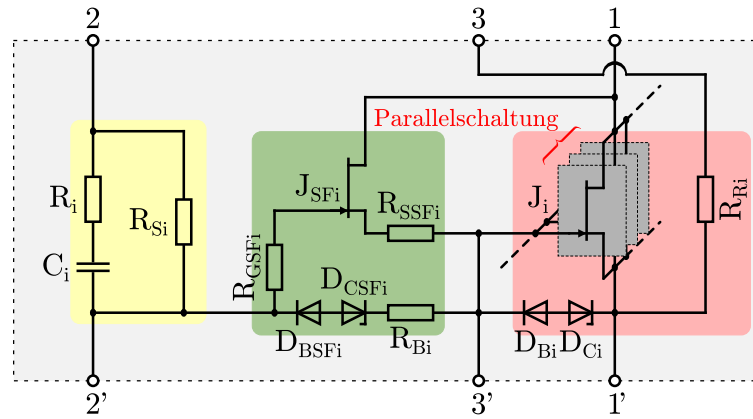
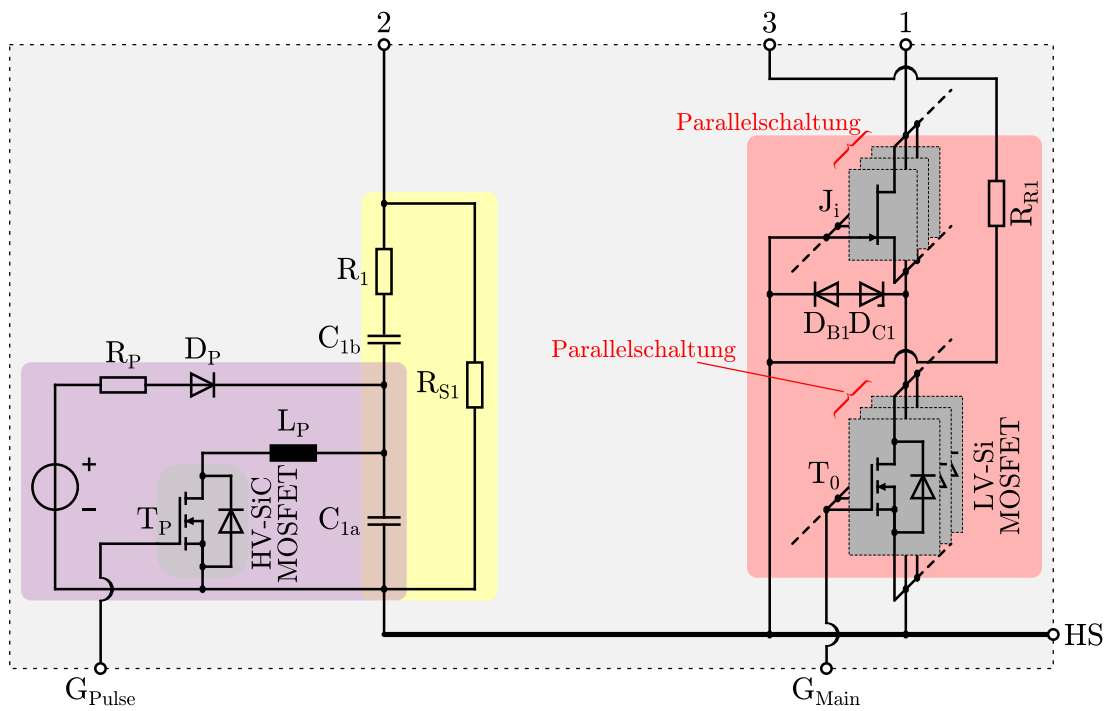
In diesem Abschnitt soll – nachdem eine grundsätzliche Funktionsbeschreibung (7.3.1) sowie Dimensionierung (7.3.2) der neuartigen Super-Kaskode durchgeführt wurde – abschließend der experimentelle Aufbau eines Prototyps diskutiert werden. Die Messergebnisse aus einem Doppelpulstest dienen dabei als Grundlage, die Simulationsergebnisse aus Abschnitt 7.3.1 zu validieren.

Für eine optimale Skalierbarkeit der neuartigen Super-Kaskode zeigt Abb. 7.14 die Aufteilung des – in Abb. 7.4 gezeigten – Aufbaus in zwei grundsätzliche Kernmodule – die Basisstufe (Abb. 7.14b) sowie die  $(N - 1)$ -Stufe (Abb. 7.14a). Mit der Anzahl verwendeter  $(N - 1)$ -Stufen lässt sich einerseits die Sperrspannung der Super-Kaskode skalieren. Die Stromtragfähigkeit kann andererseits durch die Variation der **Parallelschaltzahl** der – in der Haupt-Kaskode verbauten – HV-JFET und LV-MOSFET angepasst werden. Abbildung 7.15 zeigt die prinzipielle Struktur des mechanischen Prototyp-Aufbaus. Aus der Seitenansicht (Abb. 7.15a) wird deutlich, dass der Strom ( $i_{HD}$ ) der Anordnung durch die Hauptkontakte (1 und 1' in Abb. 7.14) geführt wird und in vertikaler Richtung nacheinander (je Spannungsstufe) die Komponenten:

- a) Kühlkörper
- b) Drain-Kontakt der Haupt-JFET  $J_i$  (Rückstromfahne der TO-247-Gehäuse)
- c) Source-Kontakt der Haupt-JFET  $J_i$  (Verlötung in der Leiterplatte)
- d) Leiterplatte (deren Rückseite großflächig kontaktiert ist und auf den Kühlkörper der nächsten Spannungsstufe gepresst wird)

durchfließt. Die Draufsicht der Basisstufe – vollbestückt mit 36 SiC-JFET in TO-247-Gehäusen – ist hingegen in Abb. 7.15b erkennbar. Die seitlich angebrachten Laschen stellen die Verbindungen der Hilfskontakte (2, 2', 3, 3' in Abb. 7.14) für den Referenzspannungsteiler sowie die Einstellung des Ruhestromes (durch  $R_{Ri}$ ) der darüber angeordneten  $(N - 1)$ -Stufen dar.

Für das Durchführen eines Doppelpulstests ist der Aufbau in Abb. 7.15a mit einer Verschiebung versehen und zwischen zwei U-Stahl-Profilen eingepresst. Dadurch ist es für die Messungen möglich, die externe Freilaufdiode (aus einem CM400HB-90H IGBT-Modul [Mitc]) sowie den DC-Kondensator sehr niederinduktiv an die Super-Kaskode anzubinden. Die Messergebnisse mit einer Bestückung von 8 Haupt-JFET je Super-Kaskodenstufe sind abschließend in den folgenden Abbildungen (7.16 bis 7.27) zusammengefasst.

(a) Ersatzschaltbild der  $(N - 1)$ -Stufe

(b) Ersatzschaltbild der Basisstufe

Abb. 7.14.: Aufteilung der neuartigen Super-Kaskode aus Abb. 7.4 in zwei Kernmodule

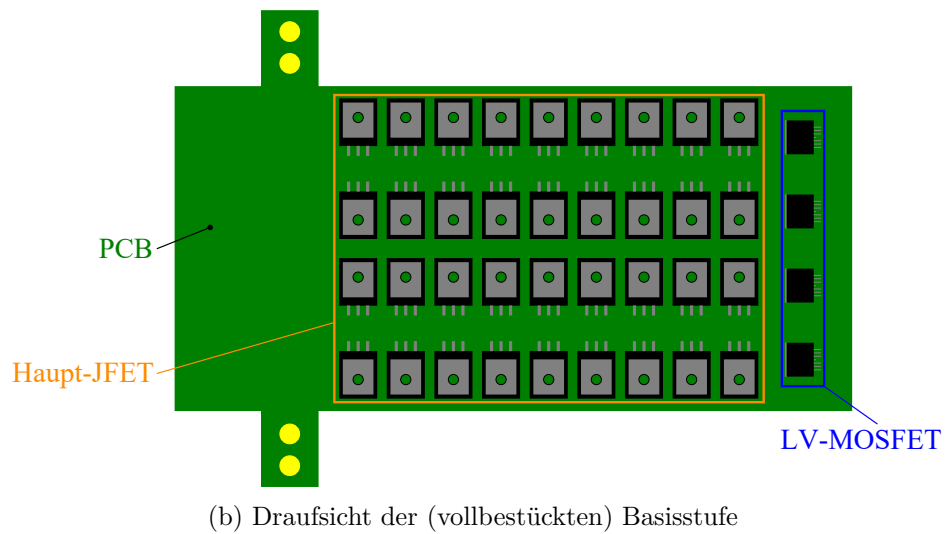
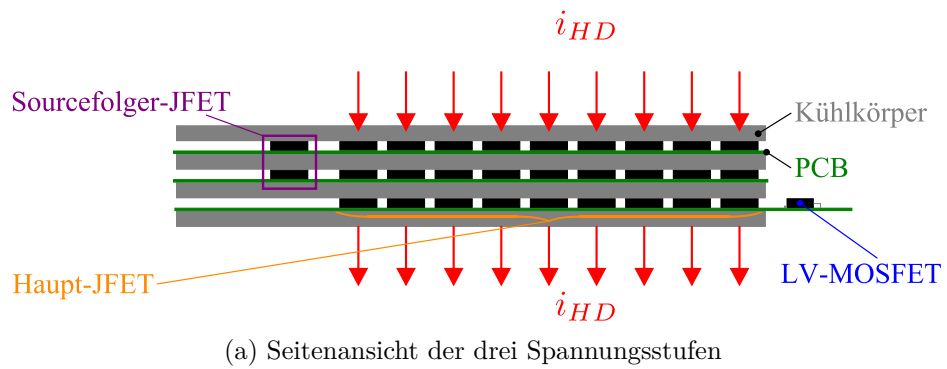


Abb. 7.15.: Prinzipielle Struktur des mechanischen Prototyp-Aufbaus der neuartigen JFET-Super-Kaskode

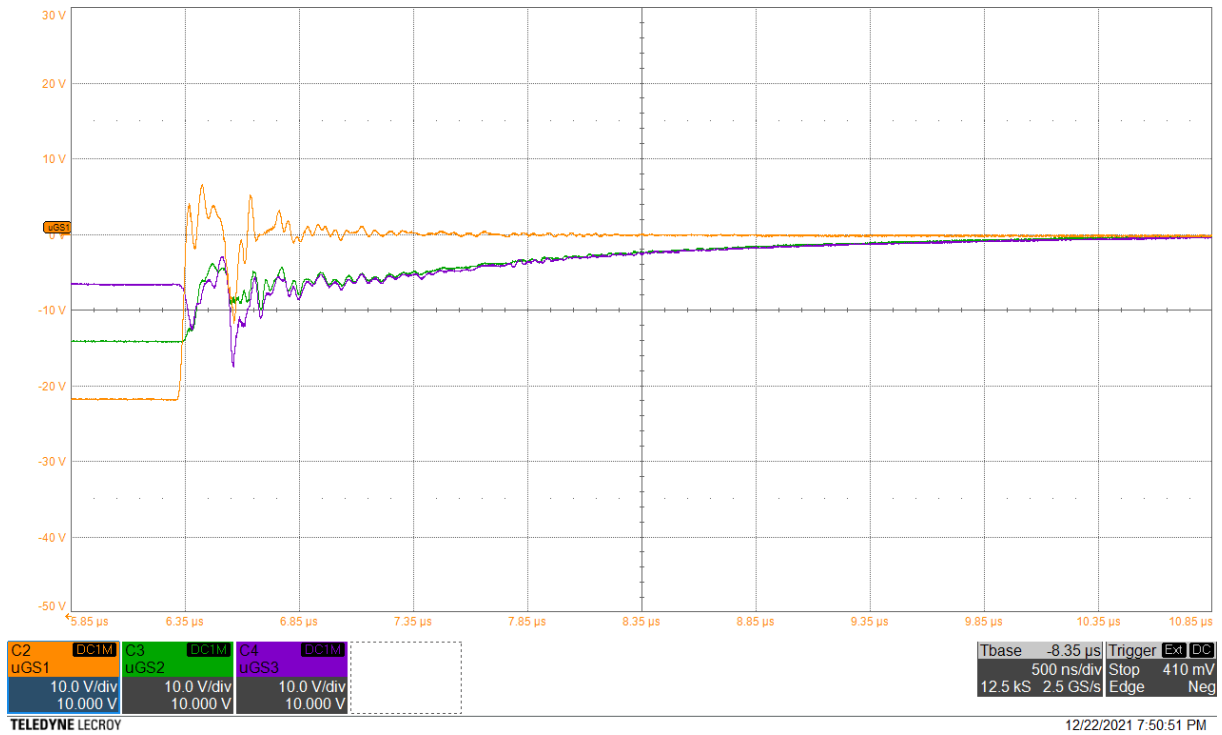


Abb. 7.16.: Neuartige JFET-Super-Kaskode: Messung des Einschaltvorganges ( $u_{GS1}$ ,  $u_{GS2}$ ,  $u_{GS3}$ )

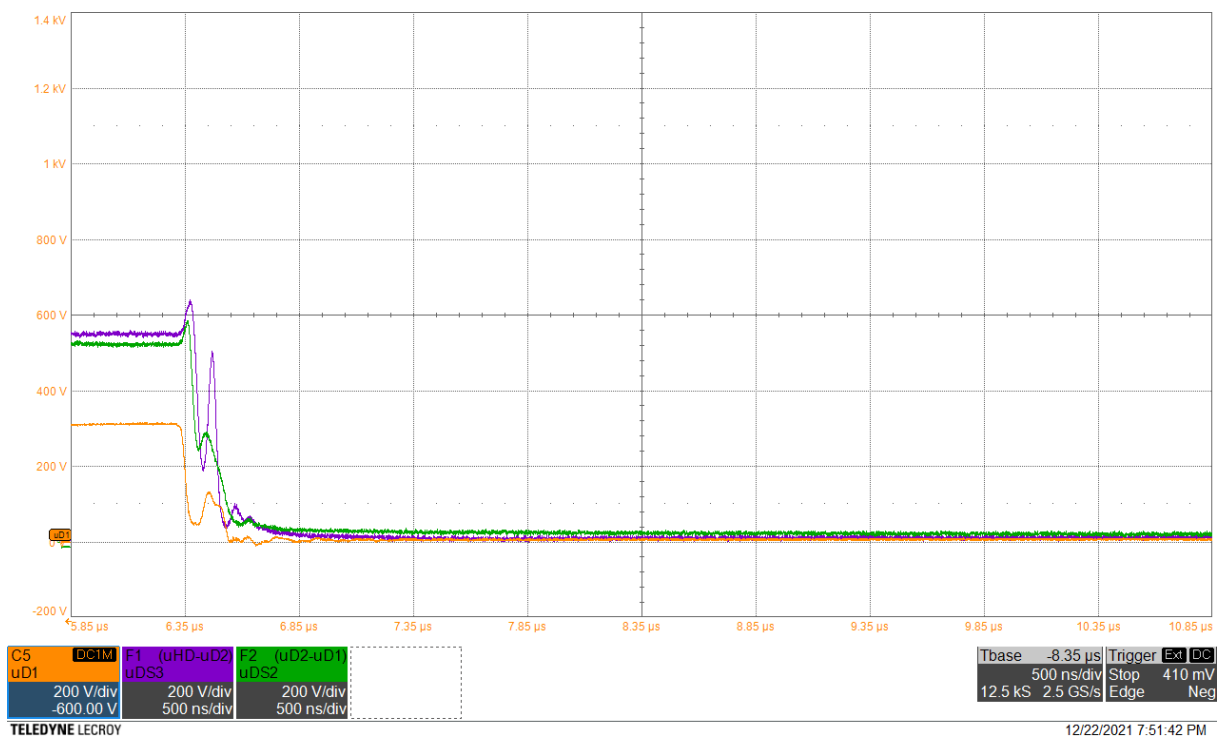


Abb. 7.17.: Neuartige JFET-Super-Kaskode: Messung des Einschaltvorganges ( $u_{D1}$ ,  $u_{DS2}$ ,  $u_{DS3}$ )

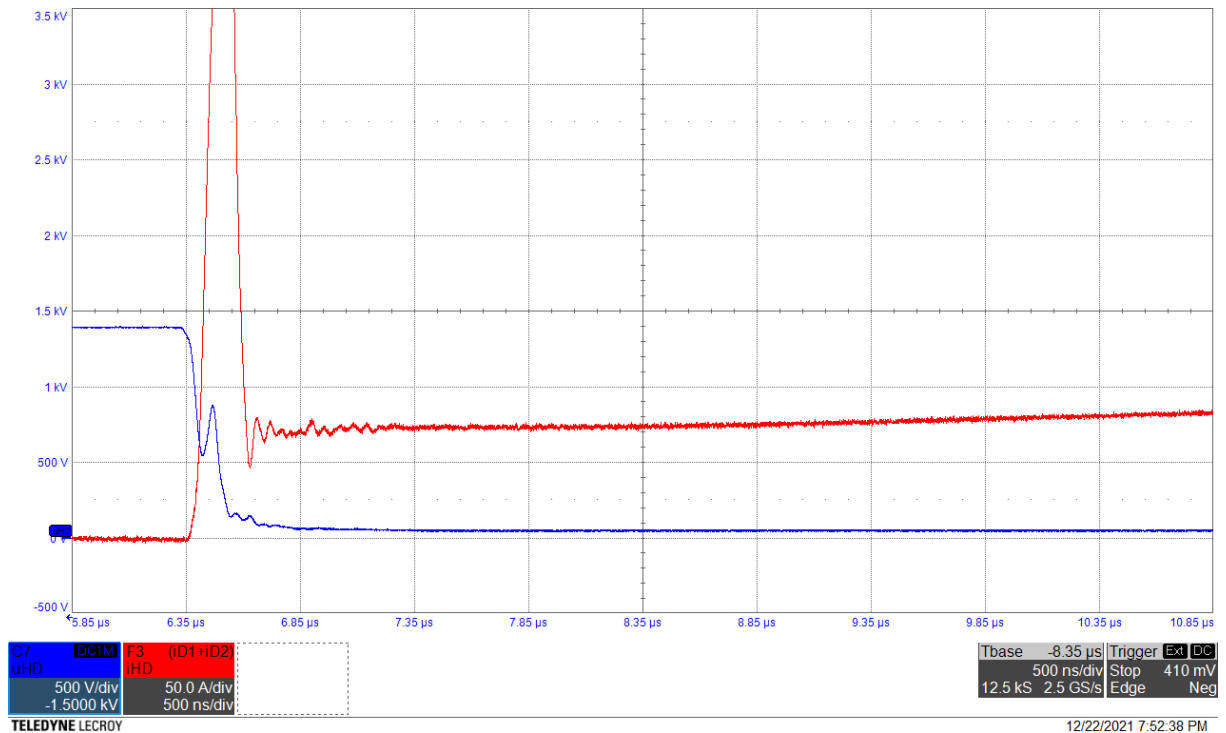


Abb. 7.18.: Neuartige JFET-Super-Kaskode: Messung des Einschaltvorganges ( $u_{HD}$ ,  $i_{HD}$ )

Die Oszillographenbilder in Abb. 7.16 bis 7.18 zeigen zunächst den Einschaltvorgang der neuartigen Super-Kaskode mit einer Auflösung von 500 ns/div. Neben der Kaskoden-Sperrspannung von  $U_{HD} = 1.4$  kV wurde, aufgrund der sehr ausgeprägten Rückstromspitze der Freilaufdiode (von ca. 500 A), ein reduzierter Laststrom von  $I_L = 70$  A geschaltet. Dass die Drain-Source-Spannungen der drei Haupt-JFET während des Einschaltens noch einmal kurzzeitig ansteigen, ist durch die parasitären Induktivitäten der Kommutierungsschleifen zu erklären, welche im Vergleich zur Simulation durch eine deutlich höhere Rückstromspitze angeregt werden. Weiterhin sind die stationären Anfangswerte aller Gate-Source- und Drain-Source-Spannungen in der Simulation und Messung unterschiedlich. Aufgrund der externen Lastinduktivität ist es allerdings nicht möglich, den Doppelpulstest innerhalb weniger 10  $\mu$ s durchzuführen und gleichzeitig den stationären Zustand der Super-Kaskode darzustellen, welcher erst Millisekunden später eintritt. Grundsätzlich sei jedoch angemerkt, dass der Einschaltvorgang – sowohl der neuartigen Super-Kaskode als auch der State of the Art Topologien (siehe Abb. 7.3) – i. Allg. unkritisch ist.

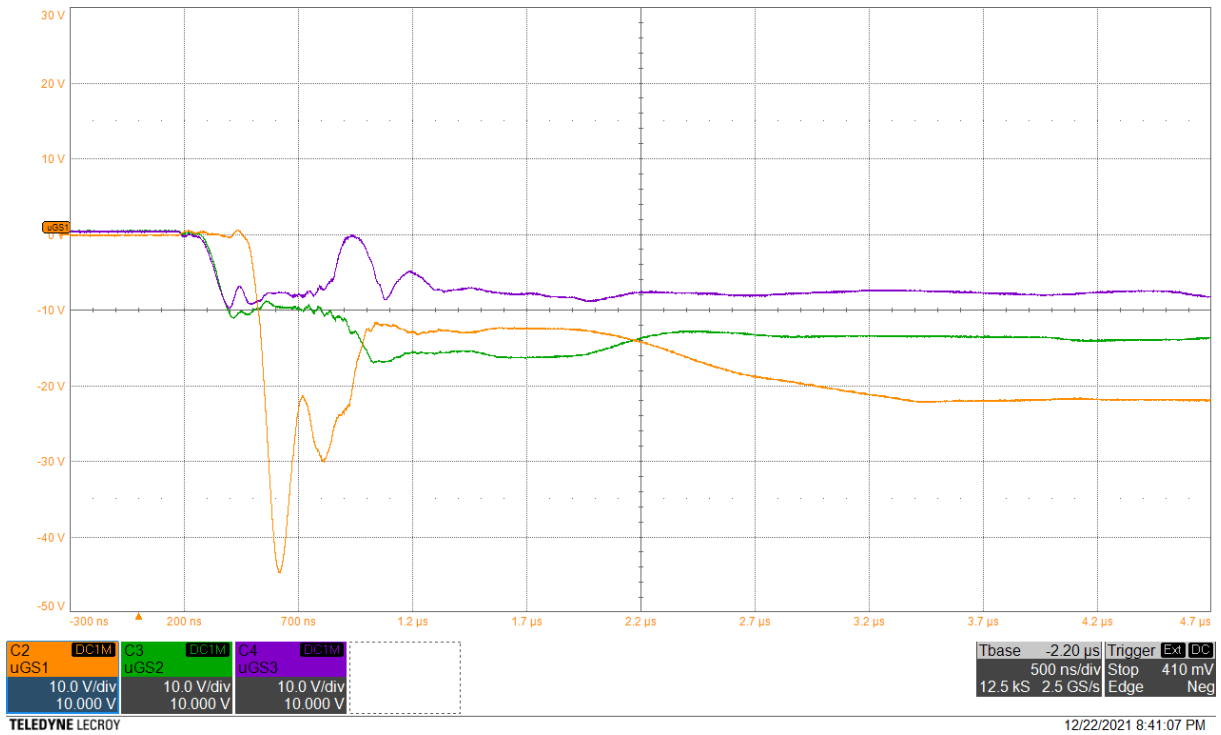


Abb. 7.19.: Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges ( $u_{GS1}$ ,  $u_{GS2}$ ,  $u_{GS3}$ )

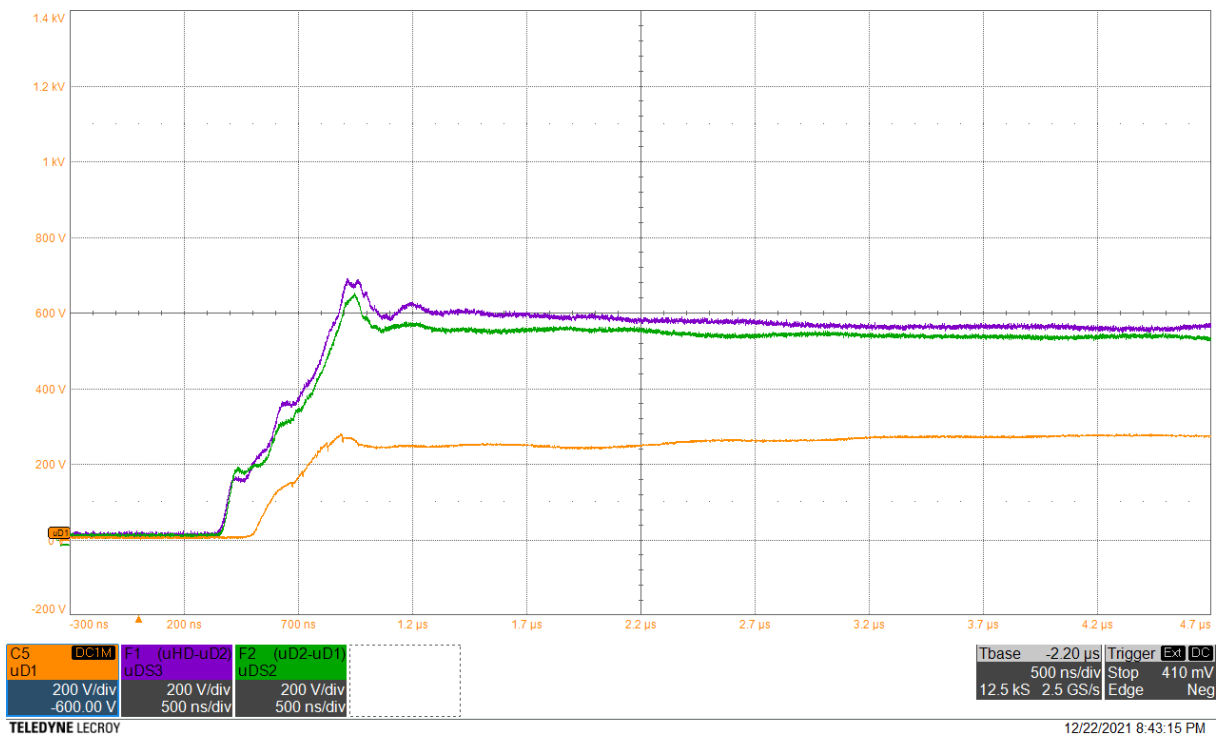


Abb. 7.20.: Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges ( $u_{D1}$ ,  $u_{DS2}$ ,  $u_{DS3}$ )



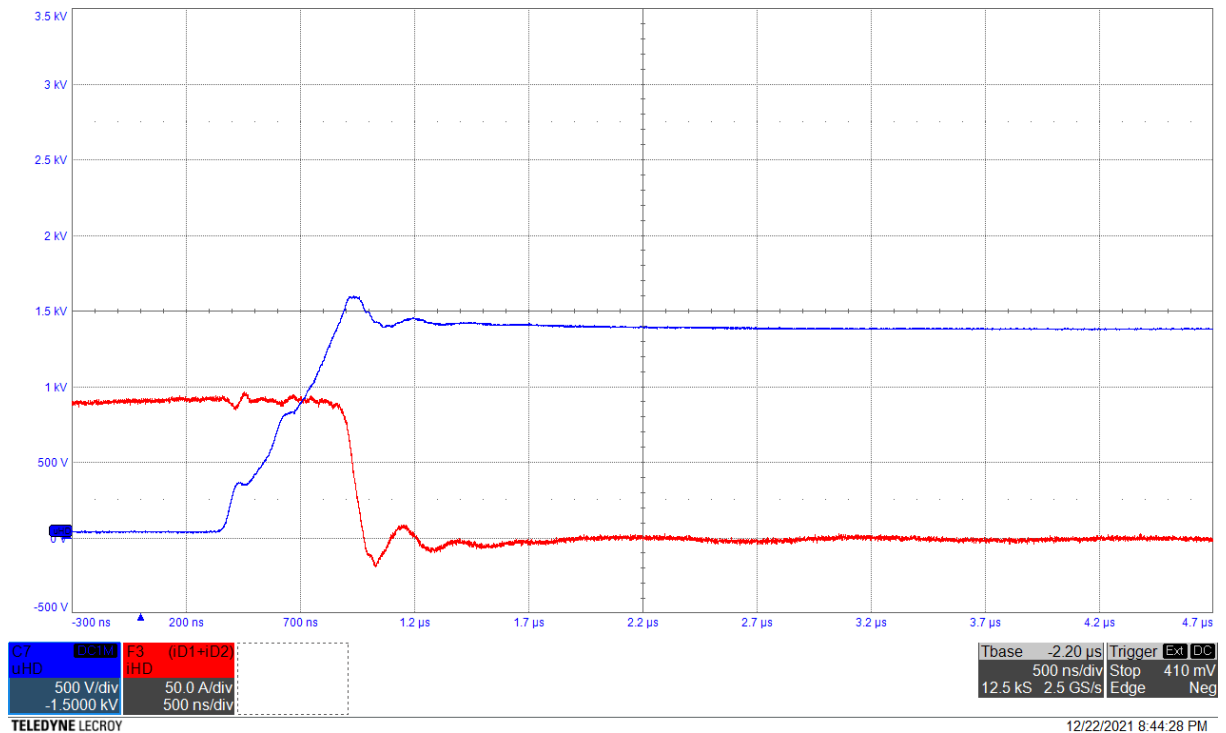


Abb. 7.21.: Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges ( $u_{HD}$ ,  $i_{HD}$ )

Die Oszillographenbilder in Abb. 7.19 bis 7.21 stellen den Ausschaltvorgang eines Laststromes von  $I_L = 100\text{ A}$  mit der gleichen Auflösung (von  $500\text{ ns/div}$ ) dar. Es ist in Abb. 7.19 und 7.20 deutlich erkennbar, dass die oberen Haupt-JFET ( $J_2$  und  $J_3$ ) sperrend werden, bevor der Haupt-JFET der Basisstufe ( $J_1$ ) angesteuert wird. Im Vergleich zur Simulation fällt der (zunächst scheinbar) stationäre Wert der Drain-Spannung  $u_{D1}$  in der Messung ein wenig geringer aus, wobei die Drain-Source-Spannungen  $u_{DS2}$ ,  $u_{DS3}$  leicht erhöht sind (siehe rechten Rand in Abb. 7.20). Es kann jedoch erkannt werden, dass sich die Gate-Source-Spannungen  $u_{GS2}$ ,  $u_{GS3}$  weiterhin nahe der Abschnürgrenze befinden und die Super-Kaskode indessen über einen längeren Zeitraum in den erwarteten, absolut stationären Sperrzustand steuert. Hierzu sind in den Oszillographenbildern in Abb. 7.22 bis 7.25 längere Zeiträume dargestellt. Der absolut stationäre Sperrzustand wird schließlich nach ca.  $5\text{ ms}$  erreicht und ist in Abb. 7.25 (mit einer Auflösung von  $1\text{ ms/div}$ ) zu sehen. Eine Verkleinerung der Zeitkonstante für das Erreichen des absolut stationären Zustandes ist mit einer leichten Modifikation der Schaltung erzielbar. Wie bei der Dimensionierung (in Abschnitt 7.3.2) bereits erwähnt wurde, muss dazu in der Anordnung der Widerstandswert  $R_{Ri}$  verringert und/oder der Widerstandswert  $R_{SSFi}$  erhöht werden.

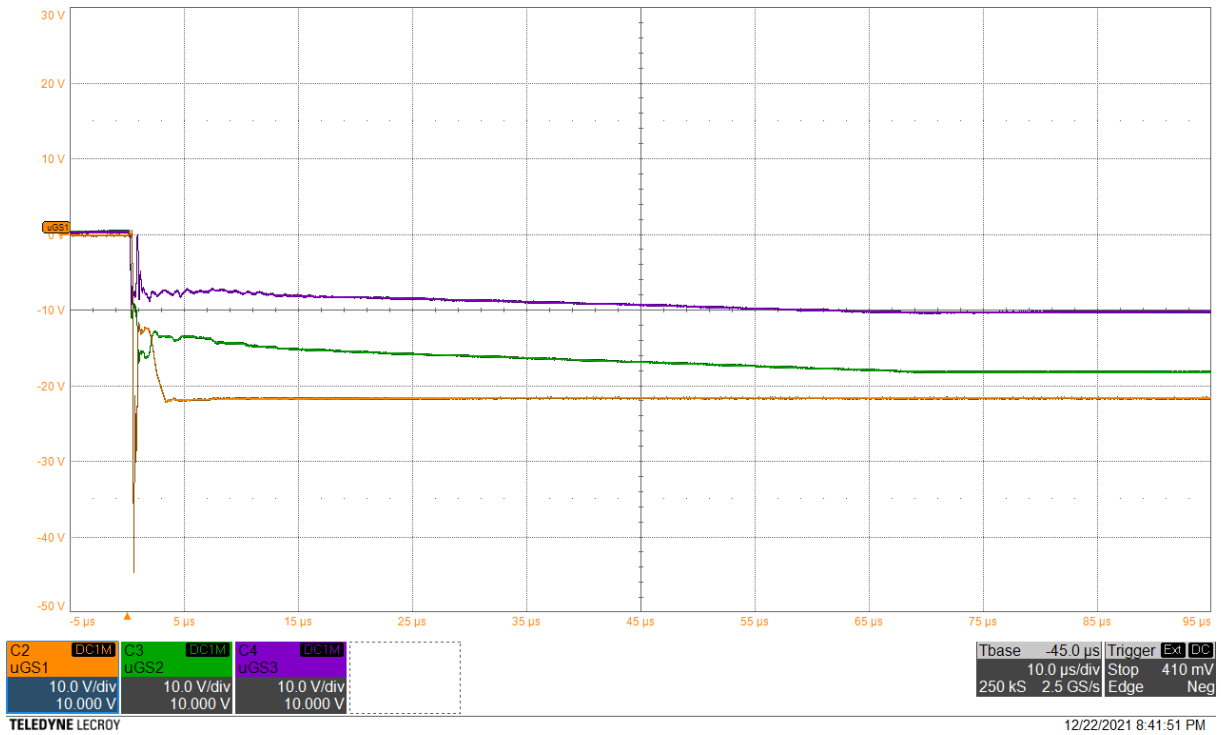


Abb. 7.22.: Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges (längerer Zeitraum) ( $u_{GS1}$ ,  $u_{GS2}$ ,  $u_{GS3}$ )

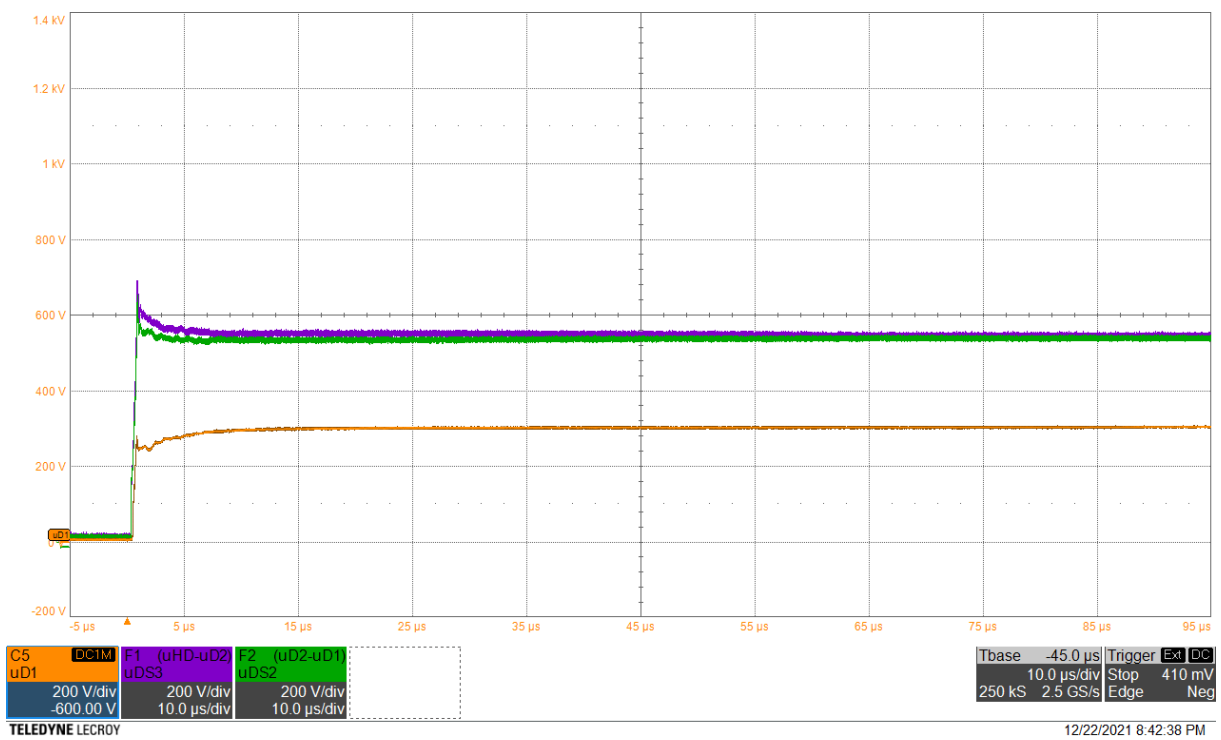


Abb. 7.23.: Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges (längerer Zeitraum) ( $u_{D1}$ ,  $u_{DS2}$ ,  $u_{DS3}$ )

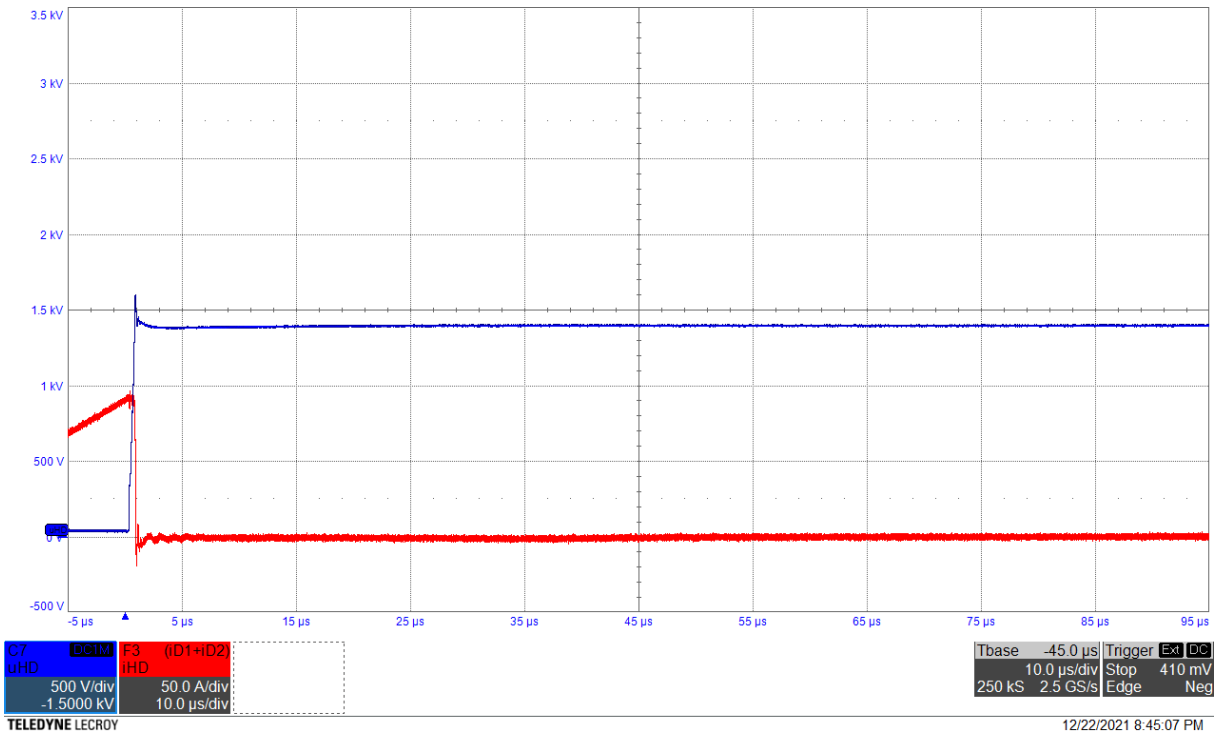


Abb. 7.24.: Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges (längerer Zeitraum) ( $u_{HD}$ ,  $i_{HD}$ )

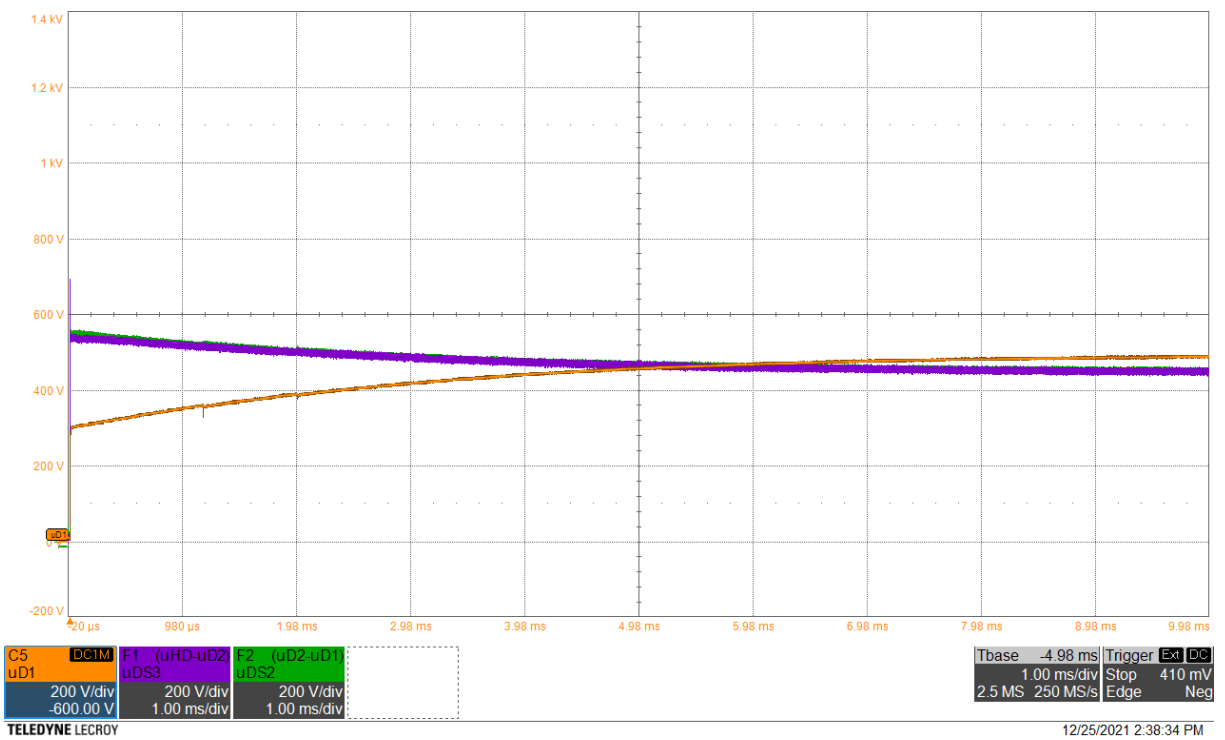


Abb. 7.25.: Neuartige JFET-Super-Kaskode: Messung des Überganges in den absolut stationären Sperrzustand ( $u_{D1}$ ,  $u_{DS2}$ ,  $u_{DS3}$ )

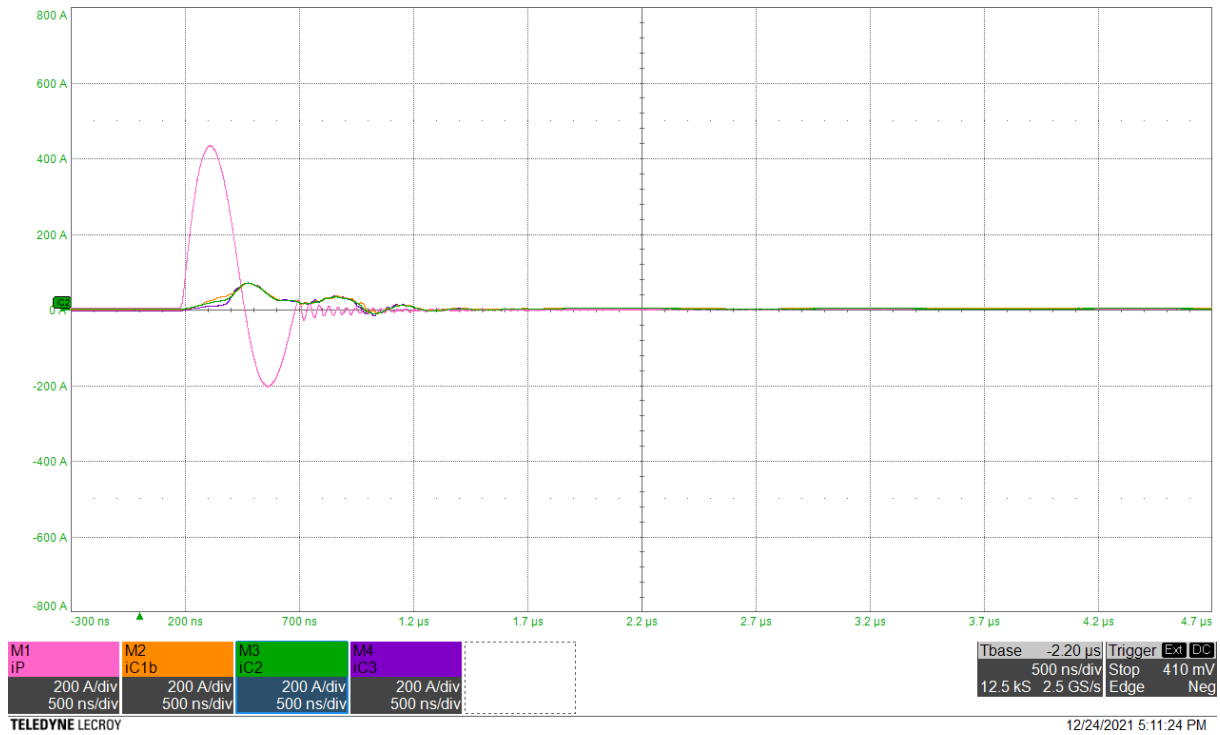


Abb. 7.26.: Neuartige JFET-Super-Kaskode: Messung der Stromverläufe des Referenz-Spannungsteilers ( $i_P$ ,  $i_{C1b}$ ,  $i_{C2}$ ,  $i_{C3}$ )

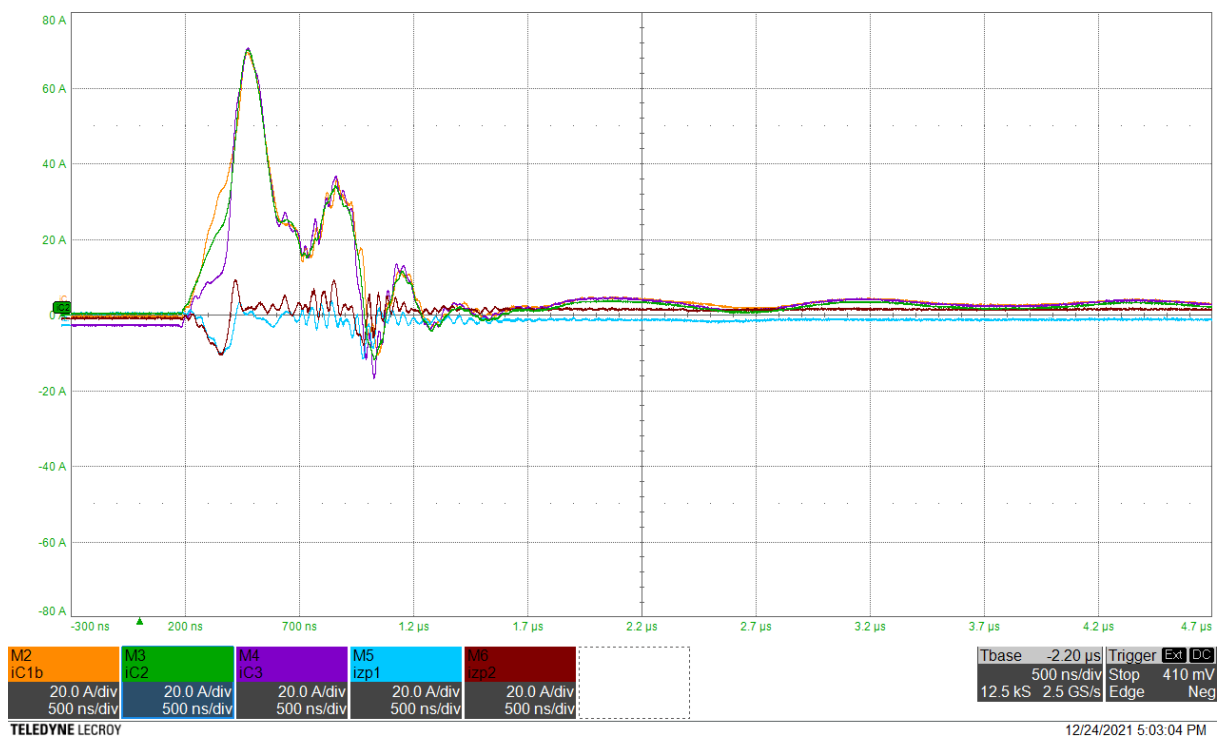


Abb. 7.27.: Neuartige JFET-Super-Kaskode: Messung der Stromverläufe des Referenz-Spannungsteilers ( $i_{C1b}$ ,  $i_{C2}$ ,  $i_{C3}$ ,  $i_{zp1}$ ,  $i_{zp2}$ )

Zum Abschluss zeigen die Oszillographenbilder in Abb. 7.26 und 7.27 die Messergebnisse der Stromverläufe des Referenz-Spannungsteilers – passend zu den Abbildungen 7.19 bis 7.21 mit einer Auflösung von 500 ns/div. Wie auch bei der Simulation (siehe Abb. 7.11) sind die Ströme  $i_{C1b}$ ,  $i_{C2}$  und  $i_{C3}$  für eine bessere Vergleichbarkeit der Amplituden sowohl in Abb. 7.26 als auch in Abb. 7.27 gezeigt. Stellt man die Messergebnisse der Simulation gegenüber, kann vernommen werden, dass die Ausräumströme ( $i_{zp1}$  und  $i_{zp2}$ ) übereinstimmende Verläufe aufweisen. Nicht nur deren Amplituden, sondern auch die jeweils entnommenen, summarischen Gate-Ladungen  $\sum Q_{Gi}$  der Transistoren  $J_2$  und  $J_3$  stimmen in Simulation und Messung quantitativ überein. Die Abschätzung des parasitären Induktivitätswertes der Pulsgenerator-Schleife von ungefähr  $L_P = 26$  nH konnte durch die Messung ebenfalls bestätigt werden.

Die Verläufe des Impulsstromes  $i_P$  entsprechen einander in der Simulation und Messung sowohl in der Amplitude der positiven Halbwelle als auch der Periodendauer. Lediglich die Pulsgenerator-Schleife weist im realen Aufbau eine leicht erhöhte Dämpfung auf. Nennenswerte Abweichungen zur Simulation sind ausschließlich in den Amplituden der Referenz-Spannungsteiler-Ströme  $i_{C1b}$ ,  $i_{C2}$  und  $i_{C3}$  aufzufinden. In dem realen Aufbau kommutiert im Moment des Ausschaltens nicht der gesamte Laststrom auf den Referenz-Spannungsteiler, sondern lediglich 70% dieses. Für das Ausräumen der Gate-Ladungen der Transistoren  $J_2$  und  $J_3$  stellt dies jedoch keine Einschränkung dar. Auch wenn die Amplituden von  $i_{C1b}$ ,  $i_{C2}$  und  $i_{C3}$  maßgeblich durch den Laststrom bestimmt werden, sind für das Ausräumen der Gate-Ladungen nur die Differenzen dieser Ströme von Bedeutung (siehe Abschnitt 7.3.1). Da die Verläufe der Ströme  $i_{zp1}$  und  $i_{zp2}$  aus den Messergebnissen deutlich mit denen der Simulation übereinstimmen, kann die Dimensionierung der neuartigen Super-Kaskode als hinreichend genau bezeichnet werden.

## Fazit der experimentellen Ergebnisse

Allumfassend konnten die Messergebnisse an dem Prototyp der neuartigen Super-Kaskode die vorher getroffenen Überlegungen – mithilfe der durchgeführten Simulationen – erfolgreich bestätigen. Es hat sich herausgestellt, dass die Dimensionierung als ein nützliches Instrument für die praktische Auslegung der vorgestellten Super-Kaskode dient.

Die Messergebnisse der neuartigen Super-Kaskode demonstrieren sehr deutlich die ausgezeichneten Schalteigenschaften – insbesondere beim Ausschalten der Anordnung. Durch die Implementierung eines zusätzlichen Signalpfades (mit einem Pulsgenerator) wurde die gewünschte Abschaltreihenfolge – dass die  $(N - 1)$ -Stufen vor der Basisstufe ausschalten – erfolgreich realisiert. Die Oszillographenbilder bestätigen schließlich eine gleichmäßige, symmetrische Spannungsaufteilung der Drain-Source-Spannungen ( $u_{D1}$ ,  $u_{DS2}$  und  $u_{DS3}$ ). Obwohl sich der Einschaltvorgang grundsätzlich bei keiner Super-Kaskoden-Topologie als kritisch erweist, wurde durch den Einsatz von Sourcefolgern die Leitfähigkeit im stationären, eingeschalteten Zustand der neuartigen Super-Kaskode verbessert. Anhand des modularen Aufbaus der Kaskodenschaltung auf einer Leiterplatte sowie der – sich daraus ergebenden – vertikalen Stromrichtung, ist eine Möglichkeit geschaffen, neben der Sperrspannung ebenfalls die Stromtragfähigkeit der gesamten Anordnung zu erhöhen.

## 8. Zusammenfassung

Um den zukünftigen Anforderungen in elektronisch steuerbaren, vermaschten DC-Netzen zu entsprechen, werden neuartige Submodul-Topologien benötigt, welche im Speziellen die sichere Beherrschung interner und externer Fehler sowie bipolare Klemmenspannungen ermöglichen. In der vorliegenden Arbeit wurden entsprechende Submodul-Topologien untersucht, die sich sowohl für Si- und SiC-Halbleiter als auch hybride Bestückungen eignen. Die Untersuchungen wurden mittels sinnvoll normierter Größen in Form geschlossener Gleichungen durchgeführt, sodass grundsätzliche, allgemeingültige Zusammenhänge erkennbar sind. Die Ergebnisse zeigen, dass alle wesentlichen, neuartigen Anforderungen mit diesen Submodul-Topologien erfüllbar sind, insbesondere:

- Elektronische Strombegrenzung bei Fehlern in den Energienetzen
- Schutz vor Explosion bei einzelnen internen Halbleiterdefekten im Submodul
- Elektronisch ansteuerbarer, redundanter Bypass-Zustand nach Defekten (Double-Zero)
- Wesentlich reduzierte Verlustleistung und reduzierte Energiespeichergröße gegenüber dem Stand der Technik.

Die erarbeitete Methodik ermöglicht es, die konkrete Dimensionierung und Optimierung der Submodule unter allen relevanten Betriebsbedingungen in allgemeingültiger Weise durchzuführen. Die Ergebnisse stellen in allen Fällen eine gute Basis für detaillierte, numerische Simulationen dar, welche i. Allg. für konkrete Anwendungen immer zusätzlich erfolgen.

Weiterhin wurde in der vorliegenden Arbeit eine neuartige Super-Kaskodenschaltung untersucht, welche sich grundsätzlich für den Einsatz als Halbleiterschalter in den neuen Submodul-Topologien eignet – insbesondere für spezielle Anwendungen, in denen Einzelschalter mit sehr hohen Spannungen erforderlich sind. Im Vergleich zum Stand der Technik konnten für die Kaskodenschaltung folgende grundlegende Vorteile nachgewiesen werden:

- Ein modularer Aufbau ermöglicht eine unkritische Skalierbarkeit der Sperrspannung sowie der Stromtragfähigkeit und ist deshalb auch für höhere Kaskoden-Ströme geeignet.
- Die beim Abschalten auftretende (und prinzipiell kritische) Schaltreihenfolge kann durch einen zusätzlichen Signalpfad (mit einem Pulsgenerator) so eingestellt werden, dass eine gleichmäßige, symmetrische Spannungsaufteilung der Drain-Source-Spannungen erreicht wird.





# Anhang



## A. DC-seitiger Fehler des MMC

Ein sehr schwerwiegender Fehlerfall für einen Umrichter ist der Kurzschluss auf der DC-Seite – konventionelle VSC sind nicht in der Lage, diesen zu beherrschen. Dabei wird der DC-Zwischenkreiskondensator ( $C_d$ ) des VSC über die – im Kurzschlusspfad befindliche – Schleifeninduktivität entladen. Die summarische Schleifeninduktivität  $\sum L_\sigma$  in dem Kommutierungskreis ist bekanntlich sehr gering. Aus diesem Grund stellen sich nach dem idealisierten Zusammenhang (unter Vernachlässigung ohmscher Widerstände):

$$\hat{i}_{KS,Extern} = U_d \cdot \sqrt{\frac{C_d}{\sum L_\sigma}} \quad (\text{A.1})$$

auch sehr hohe, externe Spitzenkurzschlussströme ( $\hat{i}_{KS,Extern}$ ) ein, welche Schäden durch elektromagnetische Kräfte und Lichtbögen herbeiführen. Nach der vollständigen Entladung des Zwischenkreiskondensators kommutiert der Fehlerstrom auf die Freilaufdioden des VSC. Die Außenleiterspannung wird nun durch den VSC gleichgerichtet und speist weiter auf die Fehlerstelle.

Modular Multilevel Converter, auf der anderen Seite, sind in der Lage, Kurzschlüsse auf der DC-Seite zu kontrollieren. Zunächst ist es vorteilhaft, dass im MMC – unabhängig von der Submodul-Topologie – kein Zwischenkreiskondensator verbaut ist. Können nach dem Auftreten des Kurzschlusses die Umrichtergrößen nicht mehr durch die Regelung eingepreßt werden, müssen alle Halbleiter im MMC blockiert werden. Somit wird die, von den Submodul-Kondensatoren getriebene, Kurzschlusskomponente direkt unterbunden. Abbildung A.1 zeigt die Blockierung beim DC-Pole-to-Pole-Kurzschluss für die Zeitspanne nach dem Abschalten der Submodul-Halbleiter bei der Verwendung der erläuterten State of the Art Submodul-Topologien aus Abschnitt 3.3.

Bei dem Einsatz eines, mit HB-SM bestückten, MMC kann aus Abb. A.1a erkannt werden, dass die Außenleiterspannung<sup>1</sup>  $u_{LL}$  weiterhin auf den Kurzschluss speist. Die – im Vergleich zu VSC-Applikationen – sehr großen Zweiginduktivitäten  $L_a$  begrenzen zusammen mit  $L_d$  den Stromanstieg im Kurzschlusspfad. Dies verschafft den AC-Schaltern wertvolle Zeit, den Kurzschlussstrom zu unterbrechen. Die Implementierung eines DC-Breakers wäre eine weitere Möglichkeit, den Fehlerstrom zu löschen. Auf dem Gebiet von DC-Breakern wurden in den letzten Jahren große Fortschritte in der Forschung und

---

<sup>1</sup>Leiter-Leiter



chung aufstellen:

$$\underbrace{u_{W0} - u_{U0}}_{u_{WU}=u_{LL}} + \underbrace{u_{a,Wp} + u_{a,Un}}_{-u_{Geg}} = 0. \quad (\text{A.2})$$

Bei der Implementierung von Submodul-Topologien mit bipolarer Klemmenspannung – wie sie FB-SM, CD-SM und SFB-SM aufweisen – kann im Kurzschlusspfad eine Gegenspannung  $u_{Geg}$  erzeugt werden, welche nach Erfüllung der Ungleichung:

$$u_{LL} \leq u_{Geg} \quad (\text{A.3})$$

den Fehlerstrom zu null treiben kann. Je größer  $u_{Geg}$  ist, desto schneller kann der Fehlerstrom gelöscht werden.

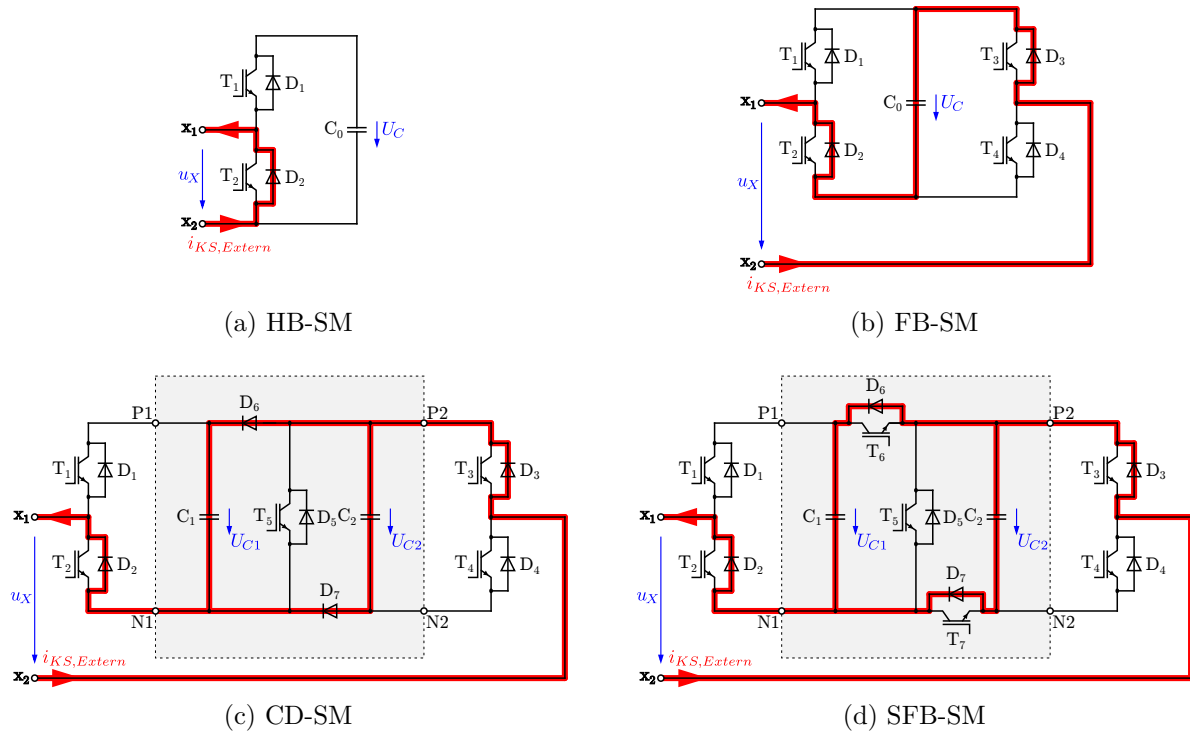


Abb. A.2.: DC-Kurzschlussstrom in verschiedenen State of the Art Submodul-Topologien

Abbildung A.2 zeigt (zugehörig zu Abb. A.1) die in den Submodulen auftretenden Fehlerstrompfade. Ein sinnvoller Vergleich dieser ist nur möglich, wenn bei einer Applikation je Zweig eine feste Anzahl von Submodul-Kondensatoren verbaut wird. Ein Submodul in Double-Connection (CD-SM, SFB-SM) muss deshalb immer mit einer Serienschaltung von zwei Submodulen in Single-Connection (HB-SM, FB-SM) verglichen werden. Die maximal einstellbaren Gegenspannungen sind in Tab. A.1 zusammengefasst. Das konventionelle FB-SM ist hierbei die einzige Topologie, die die Gegenspannung in gesamter Höhe aufbringen kann. Aufgrund der unidirektionalen Spannungsblockierung der Halbleiter, kann die

Reihenschaltung der Kondensatoren mit einem negativen Vorzeichen bei den Submodulen in Double-Connection nicht realisiert werden.

Tab. A.1.: Maximal einstellbare Gegenspannung im DC-Kurzschlussfall in MMC bestückt mit den State of the Art Submodul-Topologien

Submodul-Topologie	$u_{Geg}$
HB-SM	0
FB-SM	$2n \cdot U_C$
CD-SM	$n \cdot U_C$
SFB-SM	$n \cdot U_C$

Die neuartigen Submodul-Topologien (DZ-SM und DZ-DC-SM) weisen – wegen deren bipolarer Klemmenspannung – grundsätzlich ebenfalls eine Beherrschbarkeit von externen DC-Fehlern auf. Vergleicht man einerseits die Abbildungen 4.2c und A.2b, wird ersichtlich, dass sich das DZ-SM durch identische Steuer- sowie Blockierungseigenschaften wie das FB-SM auszeichnet. Andererseits wird aus den Abbildungen 4.5d und A.2d deutlich, dass die beiden Submodule in Double-Connection (DZ-DC-SM, SFB-SM) gleichermaßen in ihrer Funktionalität für das Steuern bzw. Blockieren von externen DC-Kurzschlüssen agieren. Obwohl das CD-SM für positive Stromrichtungen nicht in der Lage ist, eine negative Klemmenspannung einzustellen, kann das Blockieren eines DC-Fehlers jedoch in gleicher Weise erfolgen.

## B. Parametrisierung der Halbleiterbauelemente

Die analytische Bestimmung der Schalt- sowie Durchlassverluste – eingeführt in Abschnitt 4.3 – wurde in Kapitel 5 für eine optimierte Dimensionierung des Modular Multilevel Converters herangezogen. Dort wurde bereits verdeutlicht, dass es sinnvoll ist, die Kennlinien der Halbleiterbauelemente für die Leistungsverluste aus Gründen der Einfachheit linear zu approximieren. Dieses Kapitel beschäftigt sich infolgedessen mit der Parametrisierung der verwendeten Halbleiter, welche in Tab. 5.1 angegeben sind.

### B.1. Parameter für die Schaltverluste

#### B.1.1. Parameter für die HV-IGBT Schaltverluste

Für die Bestimmung aussagekräftiger Kenndaten bzw. Parameter einer linearen Abhängigkeit der Schaltverluste von dem – zu schaltenden – Halbleiterstrom können bei der Betrachtung von verschiedenen HV-IGBT-Datenblättern grundsätzlich folgende Beobachtungen getroffen werden:

- a) Die Energieverluste beim Einschalten des IGBT ( $W_{on}$ ) haben einen überproportionalen Verlauf und besitzen einen vernachlässigbaren Wert beim Nullstrom.
- b) Die Energieverluste beim Ausschalten der zugehörigen Freilaufdiode ( $W_{rec}$ ) haben einen unterproportionalen Verlauf und besitzen einen Offset beim Nullstrom.
- c) Die Summe von a) und b) ( $W_{on} + W_{rec}$ ) hat näherungsweise einen linearen Charakter.
- d) Die Energieverluste beim Ausschalten des IGBT ( $W_{off}$ ) haben einen leicht überproportionalen Verlauf und besitzen einen vernachlässigbaren Wert beim Nullstrom.

Aufgrund der Beobachtung c) wird deutlich, dass die Kennlinien für  $W_{on}$  und  $W_{rec}$  zusammenhängend parametrisiert werden können und sind deshalb beispielhaft für ein IGBT-Modul (CM1800HC-66X von MITSUBISHI ELECTRIC [Mitb]) gemeinsam in einem Diagramm (Abb. B.1) dargestellt. Neben den realen Kennlinien aus dem Datenblatt (gestrichelte Verläufe in Abb. B.1) sind für  $W_{on}$ ,  $W_{rec}$  und  $W_{on} + W_{rec}$  in der Abbildung zudem linear approximierte Kennlinien (durchgezogene Verläufe in Abb. B.1) – für den Nennbetrieb mit dem nominalen Modulstrom ( $I_{nom}$ ) und einer Sperrschichttemperatur von  $\vartheta_j = 125\text{ °C}$  – gezeigt. Hinreichende Genauigkeiten lassen sich für die approximierten

Kennlinien dann erzielen, wenn die Parametrisierung unter den folgenden Bedingungen sowie den Beobachtungen a) bis c) durchgeführt wird:

- 1) Die gemeinsame Kennlinie ( $W_{on} + W_{rec}$ ) führt durch die Arbeitspunkte mit den Stromwerten  $\frac{1}{4}I_{nom}$  sowie  $I_{nom}$  ( $\diamond$ ):

$$W_{sum,IGBT}\left(\frac{1}{4}I_{nom}\right) = W_{on,IGBT}\left(\frac{1}{4}I_{nom}\right) + W_{rec,IGBT}\left(\frac{1}{4}I_{nom}\right) \quad (B.1)$$

$$W_{sum,IGBT}(I_{nom}) = W_{on,IGBT}(I_{nom}) + W_{rec,IGBT}(I_{nom}). \quad (B.2)$$

- 2) Die Geradengleichung der summarischen Schaltverluste durch die in 1) definierten Arbeitspunkte lautet wie folgt:

$$W_{sum,IGBT}(i_{HL}) = \frac{\Delta W_{sum,IGBT}}{\Delta I} \cdot i_{HL} + W_{sum,0,IGBT}. \quad (B.3)$$

- 3) Die Kennlinie der Einschaltverluste führt durch den Koordinatenursprung sowie den Arbeitspunkt mit dem Stromwert  $I_{nom}$  ( $\diamond$ ).
- 4) Die Geradengleichung der Einschaltverluste durch die in 3) definierten Arbeitspunkte lautet wie folgt:

$$W_{on,IGBT}(i_{HL}) = \frac{\Delta W_{on,IGBT}}{\Delta I} \cdot i_{HL}. \quad (B.4)$$

- 5) Die Geradengleichung der Dioden-Ausschaltverluste wird aus der Differenz von Bedingung 2) und 4) (Gleichungen B.3 und B.4) bestimmt:

$$W_{rec,IGBT}(i_{HL}) = W_{sum,IGBT}(i_{HL}) - W_{on,IGBT}(i_{HL}) \quad (B.5)$$

$$W_{rec,IGBT}(i_{HL}) = \frac{\Delta W_{rec,IGBT}}{\Delta I} \cdot i_{HL} + W_{rec,0,IGBT}. \quad (B.6)$$

Vergleicht man die Gleichungen B.3, B.4 und B.6 wird ersichtlich, dass den Ausschaltverlusten der Diode der Offset ( $W_{sum,0,IGBT} = W_{rec,0,IGBT}$ ) zugeschrieben wird (siehe Abb. B.1). Es ist interessant zu vermerken, dass für die summarische Kennlinie ( $W_{on} + W_{rec}$ ) grundsätzlich näherungsweise die folgenden Eigenschaften<sup>1</sup> gelten:

- Die Steigung ist nur abhängig von der Halbleitertechnologie bzw. Generation des jeweiligen Halbleiterherstellers und unabhängig von der Halbleiter-Chipfläche.
- Der Offset ( $W_{sum,0,IGBT}$ ) ist bei einer Halbleitertechnologie bzw. Generation eines Halbleiterherstellers proportional zu dessen Halbleiter-Chipfläche.

---

<sup>1</sup>Die Untersuchung der Datenblattangaben der aktuellen Generationen von HV-IGBT-Modulen MBN1800F33F, MBN1200F33F, CM1800HC-66X, CM1200HC-66X, FZ2000R33HE4 und FZ1400R33HE4 der Halbleiterhersteller HITACHI, MITSUBISHI ELECTRIC und INFINEON TECHNOLOGIES ergaben äquivalente Ergebnisse [Hitb, Hita, Mitb, Mita, Infc, Infb].



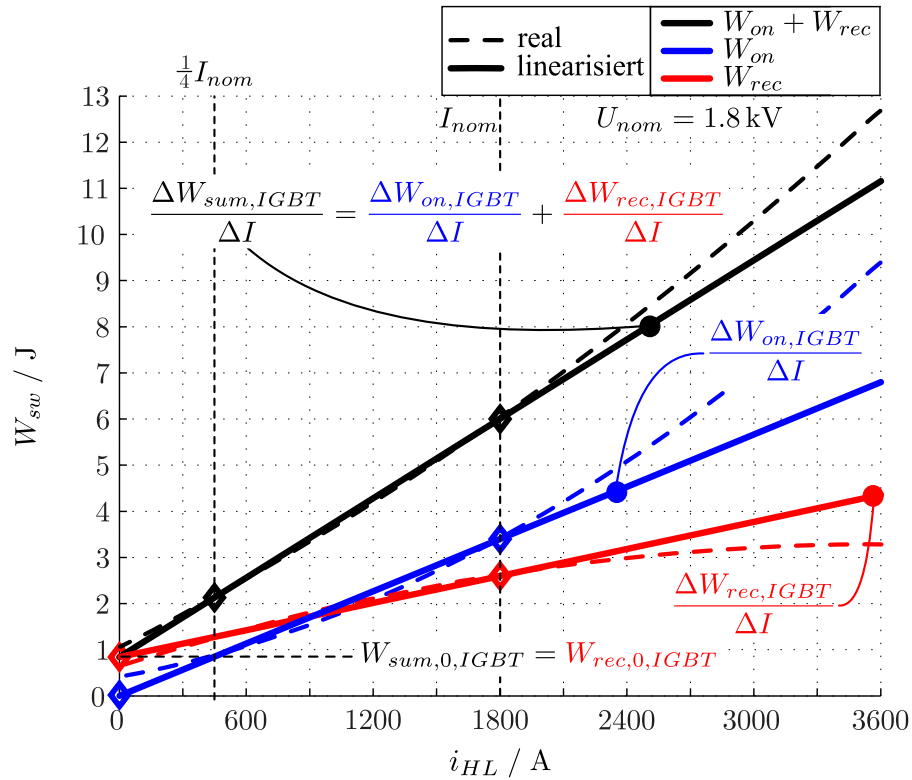


Abb. B.1.: Reale und linearisierte HV-IGBT Schaltkennlinien für  $W_{on}$  und  $W_{rec}$  (MITSUBISHI ELECTRIC CM1800HC-66X für  $\vartheta_j = 125^\circ\text{C}$  [Mitb])

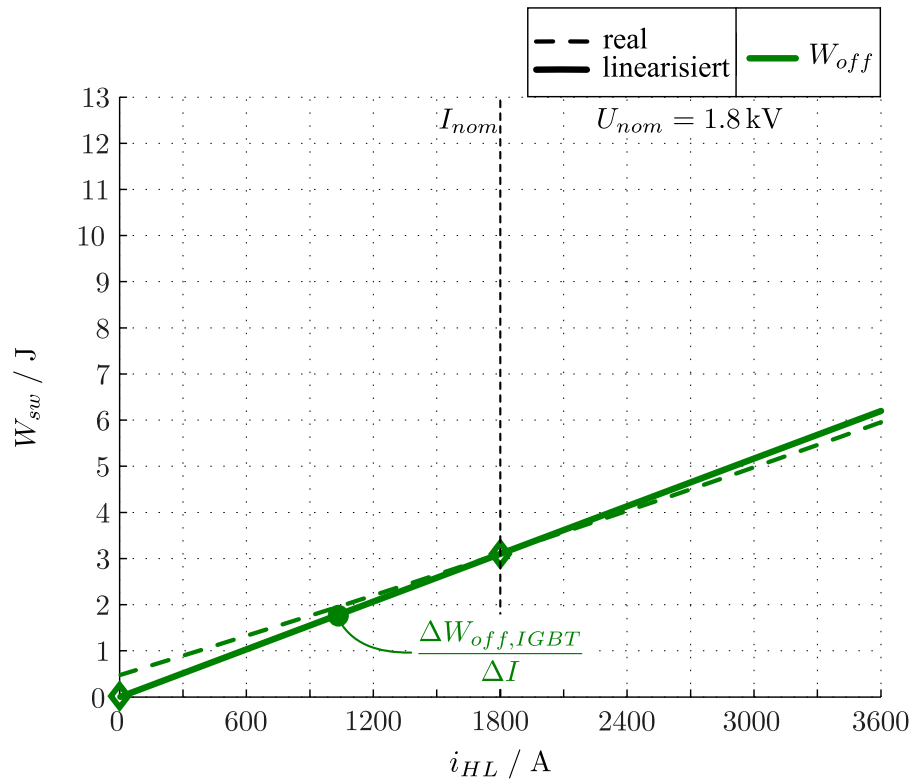


Abb. B.2.: Reale und linearisierte HV-IGBT Schaltkennlinie für  $W_{off}$  (MITSUBISHI ELECTRIC CM1800HC-66X für  $\vartheta_j = 125^\circ\text{C}$  [Mitb])

Tab. B.1.: Approximierte Schaltparameter des HV-IGBT (CM1800HC-66X von MITSUBISHI ELECTRIC) aus der 3.3 kV-Spannungsklasse (siehe Tab. 5.1)

Kennwert	Schaltparameter für den HV-IGBT			
	$\frac{\Delta W_{on,IGBT}}{\Delta I}$	$\frac{\Delta W_{off,IGBT}}{\Delta I}$	$W_{rec,0,IGBT}$	$\frac{\Delta W_{rec,IGBT}}{\Delta I}$
Exakt	$1.89 \frac{\text{J}}{\text{kA}}$	$1.72 \frac{\text{J}}{\text{kA}}$	0.84J	$0.98 \frac{\text{J}}{\text{kA}}$
Gerundet	$2 \frac{\text{J}}{\text{kA}}$	$2 \frac{\text{J}}{\text{kA}}$	1J	$1 \frac{\text{J}}{\text{kA}}$

Betrachtet man abschließend noch die IGBT-Ausschaltverluste (Abb. B.2), können diese nach Beobachtung d) ebenfalls durch eine Geradengleichung durch den Koordinatenursprung sowie  $I_{nom}$  ( $\diamond$ ) angenähert werden:

$$W_{off,IGBT}(i_{HL}) = \frac{\Delta W_{off,IGBT}}{\Delta I} \cdot i_{HL}. \quad (\text{B.7})$$

In Tabelle B.1 sind alle Kennwerte für die Schaltparameter für den HV-IGBT (CM1800HC-66X von MITSUBISHI ELECTRIC) zusammengefasst. Neben den exakten, abgelesenen Kennwerten der Geradengleichungen sind zudem die in der Berechnung – in Kapitel 5 und Tab. 5.1 – verwendeten, gerundeten Kennwerte angegeben. Für eine grundlegende Dimensionierung ist ein derartiges Vorgehen prinzipiell zweckmäßig, weil Halbleiterbauelemente identischer Leistungsklasse von verschiedenen Halbleiterherstellern durchaus geringfügig abweichende Kenndaten aufweisen können. Die gewählte Sperrschichttemperatur von  $\vartheta_j = 125^\circ\text{C}$  entspricht für die – in dieser Arbeit – untersuchte Applikation einem konservativen Ansatz.

### B.1.2. Parameter für die SiC-FET Schaltverluste

Die Bestimmung der Parameter der Schaltverluste eines SiC-FET sind im Rahmen dieser Arbeit prinzipiell nicht eindeutig durchführbar, weil zum aktuellen Zeitpunkt von bekannten Halbleiterherstellern noch keine offiziellen Datenblätter veröffentlicht wurden. Aus frühzeitigen Veröffentlichungen von Halbleiterherstellern konnten jedoch die Kennwerte nach Tab. B.2 abgeschätzt werden [KSK17, SWHU18]. Besonderes Augenmerk sei erneut auf den Kennwert der modulinternen Diode gelegt. Da die Reverse-Recovery Verluste einer SiC-Diode grundsätzlich nur einem marginalen Anteil der gesamten Schaltverluste entsprechen, wurden diese für die Untersuchungen in Kapitel 5 vernachlässigt.

Tab. B.2.: Approximierte Schaltparameter eines SiC-FET aus der 3.3 kV-Spannungsklasse (siehe Tab. 5.1)

Kennwert	Schaltparameter für den SiC-FET			
	$\frac{\Delta W_{on,FET}}{\Delta I}$	$\frac{\Delta W_{off,FET}}{\Delta I}$	$W_{rec,0,FET}$	$\frac{\Delta W_{rec,FET}}{\Delta I}$
Geschätzt	$1 \frac{\text{J}}{\text{kA}}$	$0.5 \frac{\text{J}}{\text{kA}}$	0	0

## B.2. Parameter für die Durchlassverluste

### B.2.1. Parameter für die HV-IGBT Durchlassverluste

Die lineare Approximation von IGBT-Durchlasskennlinien – mit den Parametern  $U_{T0}$  und  $R_T$  – ist in der Leistungselektronik eine geläufige Methode. Im Allgemeinen gibt es jedoch viele Möglichkeiten diese anhand der realen Halbleiterkurven zu bestimmen. In Abbildung B.3 ist für die Durchlasskennlinie ( $\vartheta_j = 125^\circ\text{C}$ ) des IGBT-Moduls (CM1800HC-66X von MITSUBISHI ELECTRIC) eine Methode gezeigt, bei welcher neben dem nominalen Arbeitsbereich (um  $I_{nom} = 1800\text{ A}$ ) ebenfalls der Teillastbereich hinreichend genau abgebildet werden kann. Zum einen soll die Geradengleichung (durchgezogener Verlauf in Abb. B.3) die reale Kennlinie (gestrichelter Verlauf in Abb. B.3) beim nominalen Kollektorstrom ( $I_{nom}$ ) tangieren. Zum anderen verläuft die Geradengleichung beim zweifachen,

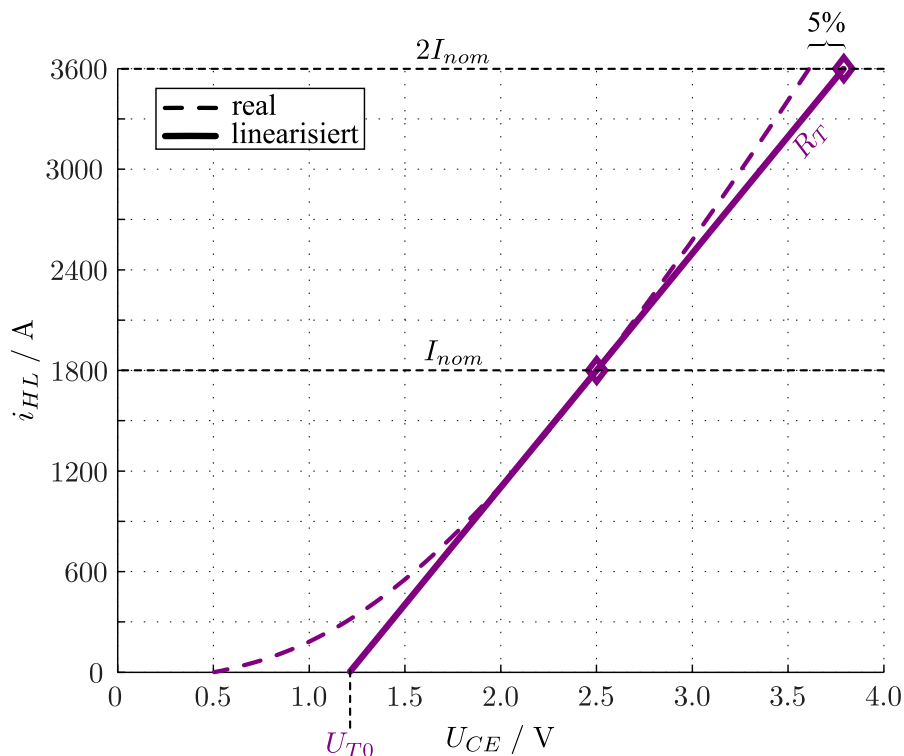


Abb. B.3.: Reale und linearisierte HV-IGBT Durchlasskennlinie (MITSUBISHI ELECTRIC CM1800HC-66X für  $\vartheta_j = 125^\circ\text{C}$  [Mitb])

nominalen Kollektorstrom ( $2I_{nom}$ ) durch einen Punkt, der 5% über dem Wert der realen Kennlinie liegt.

In Tabelle B.3 sind die Durchlassparameter des HV-IGBT (CM1800HC-66X von MITSUBISHI ELECTRIC) aufgeführt. Neben den exakten, abgelesenen Kennwerten der Geradengleichung sind zusätzlich die in der Berechnung – in Kapitel 5 und Tab. 5.1 – verwendeten, vereinfachten Kennwerte angegeben.

Tab. B.3.: Approximierte Durchlassparameter des HV-IGBT (CM1800HC-66X von MITSUBISHI ELECTRIC) aus der 3.3 kV-Spannungsklasse (siehe Tab. 5.1)

Kennwert	Durchlassparameter	
	$U_{T0}$	$R_T$
Exakt	1.21 V	0.72 m $\Omega$
Vereinfacht	1.20 V	0.75 m $\Omega$

### B.2.2. Parameter für die SiC-FET Durchlassverluste

Wie in Kapitel 5 bereits erwähnt wurde, ist es für eine hybride Bestückung der Submodule – mit HV-IGBT sowie SiC-FET – sinnvoll, eine Variation der differentiellen FET-Widerstände durchzuführen. Bei der MMC-Auslegung wurden dazu die festen Verhältnisse  $\frac{R_{Dson}}{R_T}$  von 2, 3 und 4 definiert. Damit können bei den zu untersuchenden Verlustbetrachtungen verschiedene Halbleiter-Chipflächen aufgrund von Technologie-, Prozess- und Preisentwicklung berücksichtigt werden.

## C. Schaltverluste für den reinen Wirkleistungsbetrieb

Neben den beiden typ. Arbeitspunkten im Wechselrichter- ( $\varphi = +30^\circ$ ) sowie Gleichrichter-Betrieb ( $\varphi = -150^\circ$ ) sind hier zusätzlich noch die individuellen Schaltverluste (aller drei Submodul-Topologien) für den reinen Wirkleistungsbetrieb ( $\varphi = 0^\circ$ ) aufgeführt.

Tab. C.1.: FB-SM Schaltverluste im Wechselrichter-Betriebszustand ( $\varphi = 0^\circ$ ;  $I_d = 3.0 \text{ kA}$ ;  $r = 0.9$ ;  $k = 1.5$ ;  $m = 1.3$ )

		$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$
$\left  \frac{i_a(\omega t_j)}{I_d/3} \right $		1.39	2.31	2.31	1.39	0.11	0.11
FB-SM(1)	$W_{sw,T1}(\omega t_j)$	$\frac{1}{2}W_{rec}(i_a)$	0	0	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$
	$W_{sw,T2}(\omega t_j)$	$\frac{1}{2}W_{on}(i_a)$	0	0	$\frac{1}{2}W_{off}(i_a)$	$\frac{1}{2}W_{rec}(i_a)$	0
	$W_{sw,T3}(\omega t_j)$	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0	0	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{rec}(i_a)$	0	0	0	0
FB-SM(2)	$W_{sw,T1}(\omega t_j)$	$\frac{1}{2}W_{rec}(i_a)$	0	0	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$
	$W_{sw,T2}(\omega t_j)$	$\frac{1}{2}W_{on}(i_a)$	0	0	$\frac{1}{2}W_{off}(i_a)$	$\frac{1}{2}W_{rec}(i_a)$	0
	$W_{sw,T3}(\omega t_j)$	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0	0	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{rec}(i_a)$	0	0	0	0

Tab. C.2.: DZ-SM Schaltverluste im Wechselrichter-Betriebszustand ( $\varphi = 0^\circ$ ;  $I_d = 3.0 \text{ kA}$ ;  $r = 0.9$ ;  $k = 1.5$ ;  $m = 1.3$ )

		$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$
$\frac{i_a(\omega t_j)}{\frac{I_d}{3}}$		1.39	2.31	2.31	1.39	0.11	0.11
DZ-SM(1)	$W_{sw,T1}(\omega t_j)$	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0
	$W_{sw,T2}(\omega t_j)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0
	$W_{sw,T3}(\omega t_j)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0
	$W_{sw,T0}(\omega t_j)$	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$
DZ-SM(2)	$W_{sw,T1}(\omega t_j)$	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0
	$W_{sw,T2}(\omega t_j)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0
	$W_{sw,T3}(\omega t_j)$	$\frac{1}{2}W_{on}\left(\frac{i_a}{2}\right)$	0	0	$\frac{1}{2}W_{off}\left(\frac{i_a}{2}\right)$	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0
	$W_{sw,T4}(\omega t_j)$	0	$\frac{1}{2}W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0
	$W_{sw,T0}(\omega t_j)$	$\frac{1}{2}W_{rec}(i_a)$	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$	0	$\frac{1}{2}W_{on}(i_a)$	$\frac{1}{2}W_{off}(i_a)$

Tab. C.3.: DZ-DC-SM Schaltverluste im Wechselrichter-Betriebszustand ( $\varphi = 0^\circ$ ;  $I_d = 3.0 \text{ kA}$ ;  $r = 0.9$ ;  $k = 1.5$ ;  $m = 1.3$ )

		$\omega t_A$	$\omega t_B$	$\omega t_C$	$\omega t_D$	$\omega t_E$	$\omega t_F$	$\omega t_S$
$\frac{i_a(\omega t_j)}{\frac{I_d}{3}}$		1.39	2.31	2.31	1.39	0.11	0.11	0
$W_{sw,T1}(\omega t_j)$	0	$W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0	0	0
$W_{sw,T2}(\omega t_j)$	$W_{on}\left(\frac{i_a}{2}\right)$	0	0	$W_{off}\left(\frac{i_a}{2}\right)$	0	0	0	0
$W_{sw,T3}(\omega t_j)$	$W_{on}\left(\frac{i_a}{2}\right)$	0	0	$W_{off}\left(\frac{i_a}{2}\right)$	0	0	0	0
$W_{sw,T4}(\omega t_j)$	0	$W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0	0	0	0
$W_{sw,T5}(\omega t_j)$	0	0	0	0	$W_{on}(i_a)$	$W_{off}(i_a)$	$W_{rec}(0)$	
$W_{sw,T6}(\omega t_j)$	0	0	0	0	$W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0
$W_{sw,T7}(\omega t_j)$	0	0	0	0	$W_{rec}\left(\frac{i_a}{2}\right)$	0	0	0
$W_{sw,T01}(\omega t_j)$	$W_{rec}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	$W_{off}\left(\frac{i_a}{2}\right)$	0	0	0	0	0
$W_{sw,T02}(\omega t_j)$	$W_{rec}\left(\frac{i_a}{2}\right)$	$W_{on}\left(\frac{i_a}{2}\right)$	$W_{off}\left(\frac{i_a}{2}\right)$	0	0	0	0	0

## Literaturverzeichnis

- [AAN09] ANTONOPOULOS, A. ; ANGQUIST, L. ; NEE, H.-P.: On dynamics and voltage control of the Modular Multilevel Converter. In: *European Conference on Power Electronics and Applications* (2009)
- [AAN<sup>+</sup>12] ANTONOPOULOS, A. ; ÄNGQUIST, L. ; NORRGA, S. ; ILVES, K. ; NEE, H.-P.: Modular Multilevel Converter AC Motor Drives with Constant Torque from Zero to Nominal Speed. In: *ECCE* (2012)
- [ABK08] AGGELER, D. ; BIELA, J. ; KOLAR, J. W.: A compact, high voltage 25 kW, 50 kHz DC-DC converter based on SiC JFETs. In: *APEC* (2008)
- [ABL<sup>+</sup>16] AIEXANDROV, P. ; BHALLA, A. ; LI, Z. ; LI, X. ; BENDEL, J. ; DODGE, J.: 650V SiC cascode: A breakthrough for wide-bandgap switches. In: *European Conference on Silicon Carbide & Related Materials (ECSCRM)* (2016)
- [ACBK13] AGGELER, D. ; CANALES, F. ; BIELA, J. ; KOLAR, J. W.: dv/dt-Control Methods for the SiC JFET/Si MOSFET Cascode. In: *IEEE Transactions on Power Electronics (Vol. 28, Issue: 8)* (2013)
- [ACML<sup>+</sup>15] ADEUYI, O. D. ; CHEAH-MANE, M. ; LIANG, J. ; JENKINS, N. ; WU, Y. ; LI, C. ; WU, X.: Frequency support from modular multilevel converter based multi-terminal HVDC schemes. In: *IEEE Power & Energy Society General Meeting* (2015)
- [AES97] ASPLUND, G. ; ERIKSSON, K. ; SVENSSON, K.: DC Transmission based on Voltage Source Converters. In: *CIGRE* (1997)
- [AET98] ASPLUND, G. ; ERIKSSON, K. ; TOLLERZ, O.: HVDC Light, a tool for electric power transmission to distant loads. In: *VI Sepope Conference* (1998)
- [AJBL10] ASPLUND, G. ; JACOBSON, B. ; BERGGREN, B. ; LINDEN, K.: Continental Overlay HVDC-Grid. In: *CIGRE* (2010)
- [Asp00] ASPLUND, G.: Application of HVDC Light to power system enhancement. In: *IEEE Power Engineering Society Winter Meeting. Conference Proceedings (Cat. No.00CH37077)* (2000)

- [BABK08] BIELA, J. ; AGGELER, D. ; BORTIS, D. ; KOLAR, J. W.: 5kV/200ns Pulsed Power Switch based on a SiC-JFET Super Cascode. In: *IPMHVC* (2008)
- [BABK12] BIELA, J. ; AGGELER, D. ; BORTIS, D. ; KOLAR, J. W.: Balancing Circuit for a 5kV/50ns Pulsed-Power Switch Based on SiC-JFET Super Cascode. In: *IEEE Transactions on Plasma Science (Vol.: 40, Issue: 10)* (2012)
- [BLD21] BHALLA, A. ; LI, X. ; DODGE, J.: Circuit protection with SiC FETs in dual-gate configuration. In: *White Paper - United Silicon Carbide, Inc.* (2021)
- [BMG09] BILLMANN, M. ; MALIPAARD, D. ; GAMBACH, H.: Explosion proof housings for IGBT module based high power inverters in HVDC transmission application. In: *PCIM Europe* (2009)
- [CCB<sup>+</sup>15] CHEN, H. ; CAO, W. ; BORDIGNON, P. ; YI, R. ; ZHANG, H. ; SHI, W.: Design and testing of the World's first single-level press-pack IGBT based submodule for MMC VSC HVDC applications. In: *IEEE Energy Conversion Congress and Exposition (ECCE)* (2015)
- [CP11] CANDELARIA, J. ; PARK, J.-D.: VSC-HVDC system protection: A review of current methods. In: *IEEE/PES Power Systems Conference and Exposition* (2011)
- [Cre] CREE: *Silicon Carbide Power MOSFET: C3M0030090K*. – datasheet
- [CSD16] CUI, S. ; SOLTAU, N. ; DE DONCKER, R. W.: A high step-up ratio soft-switching DC-DC converter for interconnection of MVDC and HVDC grids. In: *ECCE* (2016)
- [CSD17] CUI, S. ; SOLTAU, N. ; DE DONCKER, R. W.: Dynamic performance and fault-tolerant capability of a TLC-MMC hybrid DC-DC converter for interconnection of MVDC and HVDC grids. In: *ECCE* (2017)
- [DGSW12] DORN, J. ; GAMBACH, H. ; STRAUSS, J. ; WESTERWELLER, T.: Trans Bay Cable – A Breakthrough of VSC Multilevel Converters in HVDC Transmission. In: *CIGRE* (2012)
- [DHM18] DINKEL, D. ; HILLERMEIER, C. ; MARQUARDT, R.: Direct Multivariable Control of Modular Multilevel Converters. In: *EPE* (2018)
- [DHM19] DINKEL, D. ; HILLERMEIER, C. ; MARQUARDT, R.: Direct Multivariable Control of MMC Under Transient Conditions. In: *EPE* (2019)



- [DHM20] DINKEL, D. ; HILLERMEIER, C. ; MARQUARDT, R.: Direct Multivariable Control for MMC: Digital Signal Processing and Experimental Results. In: *EPE* (2020)
- [DHR07] DORN, J. ; HUANG, H. ; RETZMANN, D.: Novel Voltage-Sourced Converters for HVDC and FACTS Applications. In: *CIGRE* (2007)
- [DK05] DROFENIK, U. ; KOLAR, J. W.: A General Scheme for Calculating Switching- and Conduction-Losses of Power Semiconductors in Numerical Circuit Simulations of Power Electronic Systems. In: *IPEC* (2005)
- [DKM17] DAHMEN, C. ; KAPAUN, F. ; MARQUARDT, R.: Analytical investigation of efficiency and operating range of different Modular Multilevel Converters. In: *PEDS* (2017)
- [DM17] DAHMEN, C. ; MARQUARDT, R.: Progress of High Power Multilevel Converters: Combining Silicon and Silicon Carbide. In: *PCIM Europe* (2017)
- [DM19a] DAHMEN, C. ; MARQUARDT, R.: Charge balancing for advanced MMC-Double-Submodules with ultra-low loss. In: *CPE-POWERENG* (2019)
- [DM19b] DAHMEN, C. ; MARQUARDT, R.: Power Losses of Advanced MMC Submodule Topologies Using Si- and SiC-Semiconductors. In: *EPE* (2019)
- [DM20] DAHMEN, C. ; MARQUARDT, R.: Reduced Capacitor Size and On-State Losses in Advanced MMC Submodule Topologies. In: *EPE* (2020)
- [DMS<sup>+</sup>98] DEBOY, G. ; MÄRZ, M. ; STENGL, J.-P. ; STRACK, H. ; TIHANYI, J. ; WEBER, H.: A new generation of high voltage MOSFETs breaks the limit line of silicon. In: *International Electron Devices Meeting. Technical Digest (Cat. No.98CH36217)* (1998)
- [EBH12] ERGUN, H. ; BEERTEN, J. ; HERTEM, D. V.: Building a new overlay grid for Europe. In: *CIGRE* (2012)
- [Fai] FAIRCHILD: *N-Channel PowerTrench MOSFET: FDB0105N407L*. – datasheet
- [FCST21] FARIAS, J. V. M. ; CUPERTINO, A. F. ; SELEME, H. A. Pereira; S. I. ; TEODORESCU, R.: On Converter Fault Tolerance in MMC-HVDC Systems: A Comprehensive Survey. In: *IEEE Journal of Emerging and Selected Topics in Power Electronics (Vol.: 9, Issue: 6)* (2021)
- [FLL<sup>+</sup>17] FURSIN, L. ; LI, X. ; LI, Z. ; O'GRADY, M. ; SIMON, W. ; BHALLA, A.: Reliability aspects of 1200V and 3300V silicon carbide MOSFETs. In: *IEEE*

- 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)* (2017)
- [FMS<sup>+</sup>03] FRIEDRICHS, P. ; MITLEHNER, H. ; SCHORNER, R. ; DOHNKE, K.-O. ; ELPELT, R. ; STEPHANI, D.: Stacked high voltage switch based on SiC VJFETs. In: *ISPSD* (2003)
- [FRG<sup>+</sup>16] FREYTES, J. ; RAULT, P. ; GRUSON, F. ; COLAS, F. ; GUILLAUD, X.: Dynamic impact of MMC controllers on DC voltage droop controlled MTDC grids. In: *EPE* (2016)
- [Gao18] GAO, B.: *Scalable Medium Voltage and High Voltage Super Cascode Power Modules*, North Carolina State University, Diss., 2018
- [GCGT10] GNANARATHNA, U.N. ; CHAUDHARY, S.K. ; GOLE, A.M. ; TEODORESCU, R.: Modular multi-level converter based HVDC system for grid connection of offshore wind power plant. In: *International Conference on AC and DC Power Transmission* (2010)
- [GMX<sup>+</sup>18a] GAO, B. ; MORGAN, A. J. ; XU, Y. ; ZHAO, X. ; BALLARD, B. ; HOPKINS, D. C.: 6.5kV SiC JFET-based Super Cascode Power Module with High Avalanche Energy Handling Capability. In: *IEEE 6th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)* (2018)
- [GMX<sup>+</sup>18b] GAO, B. ; MORGAN, A. J. ; XU, Y. ; ZHAO, X. ; HOPKINS, D. C.: 6.0kV, 100A, 175kHz super cascode power module for medium voltage, high power applications. In: *APEC* (2018)
- [HAI<sup>+</sup>15] HASSANPOOR, A. ; ÄNGQUIST, L. ; ILVES, K. ; NORRGA, S. ; NEE, H.-P.: Tolerance Band Modulation Methods for Modular Multilevel Converters. In: *IEEE Transactions on Power Electronics (Vol. 30, Issue: 1)* (2015)
- [HAL<sup>+</sup>14] HOSTETLER, J. L. ; ALEXANDROV, P. ; LI, X. ; FURSIN, L. ; BHALLA, A.: 6.5 kV SiC normally-off JFETs — Technology status. In: *IEEE Workshop on Wide Bandgap Power Devices and Applications* (2014)
- [HB16] HOFMANN, V. ; BAKRAN, M.-M.: Optimized design of a Hybrid-MMC and evaluation of different MMC topologies. In: *EPE* (2016)
- [Hita] HITACHI: *High Voltage Insulated Gate Bipolar Transistor (HV-IGBT): MBN1200F33F*. – datasheet
- [Hitb] HITACHI: *High Voltage Insulated Gate Bipolar Transistor (HV-IGBT): MBN1800F33F*. – datasheet

- [HJI<sup>+</sup>18] HEINIG, S. ; JACOBS, K. ; ILVES, K. ; NORRGA, S. ; NEE, H.-P.: Reduction of Switching Frequency for the Semi-Full-Bridge Submodule Using Alternative Bypass States. In: *EPE* (2018)
- [HJI<sup>+</sup>19] HEINIG, S. ; JACOBS, K. ; ILVES, K. ; BESSEGATO, L. ; BAKAS, P. ; NORRGA, S. ; NEE, H.-P.: Implications of Capacitor Voltage Imbalance on the Operation of the Semi-Full-Bridge Submodule. In: *IEEE Transactions on Power Electronics (Vol.: 34, Issue: 10)* (2019)
- [HVB<sup>+</sup>17] HUANG, X. ; VURSIN, L. ; BHALLA, A. ; SIMON, W. ; DRIES, J. C.: Design and fabrication of 3.3kV SiC MOSFETs for industrial applications. In: *29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)* (2017)
- [HWL<sup>+</sup>17] HU, B. ; WEI, Z. ; LI, H. ; LYU, X. ; XING, D. ; NA, R. ; WANG, J.: Characterization and evaluation of 4.5 kV 40 A SiC super-cascode device. In: *IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)* (2017)
- [IAN<sup>+</sup>11] ILVES, K. ; ANTONOPOULOS, A. ; NORRGA, S. ; ÄNGQUIST, L. ; NEE, H.-P.: Controlling the ac-side voltage waveform in a modular multilevel converter with low energy-storage capability. In: *EPE* (2011)
- [IBH<sup>+</sup>15] ILVES, K. ; BESSEGATO, L. ; HARNEFORS, L. ; NORRGA, S. ; NEE, H.-P.: Semi-Full-Bridge Submodule for Modular Multilevel Converters. In: *ECCE* (2015)
- [IHNN15] ILVES, K. ; HARNEFORS, L. ; NORRGA, S. ; NEE, H.-P.: Analysis and Operation of Modular Multilevel Converters With Phase-Shifted Carrier PWM. In: *IEEE Transactions on Power Electronics (Vol. 30, Issue: 1)* (2015)
- [InfA] INFINEON TECHNOLOGIES: *CoolMOS<sup>TM</sup> C7: Mastering the Art of Quickness: A Technology Description and Design Guide*. – Application Note AN 2013-04
- [InfB] INFINEON TECHNOLOGIES: *High Voltage Insulated Gate Bipolar Transistor (HV-IGBT): FZ1400R33HE4*. – datasheet
- [InfC] INFINEON TECHNOLOGIES: *High Voltage Insulated Gate Bipolar Transistor (HV-IGBT): FZ2000R33HE4*. – datasheet
- [INN13] ILVES, K. ; NORRGA, S. ; NEE, H.-P.: On Energy Variations in Modular Multilevel Converters with Full-Bridge Submodules for Ac-Dc and Ac-Ac Applications. In: *EPE* (2013)

- [KCS14] KIM, S. ; CUI, S. ; SUL, S.-K.: Modular multilevel converter based on full bridge cells for Multi-Terminal DC transmission. In: *European Conference on Power Electronics and Applications* (2014)
- [KHCB22] KARLSSON, T. ; HYTTINEN, M. ; CARLSSON, L. ; BJÖRKLUND, H.: *MODERN CONTROL AND PROTECTION SYSTEM FOR HVDC*. <https://library.e.abb.com/public/c2feb6f9699a3010c1256fda004aead7/control.pdf> : ABB Ltd. - Library, Access: 10.02.2022
- [KPB15a] KONTOS, E. ; PINTO, R. T. ; BAUER, P.: Fast DC fault recovery technique for H-bridge MMC-based HVDC networks. In: *ICPE-ECCE Asia* (2015)
- [KPB15b] KONTOS, E. ; PINTO, R. T. ; BAUER, P.: Providing dc fault ride-through capability to H-bridge MMC-based HVDC networks. In: *ICPE-ECCE Asia* (2015)
- [KSK17] KATSUMI, T. ; SATOSHI, K. ; KEISHIRO, K.: 3.3-kV All-SiC Modules for Electric Distribution Equipment. In: *FUJI ELECTRIC REVIEW: Power Semiconductors Contributing in Energy Management (Vol.: 63, No.: 4)* (2017)
- [LBA<sup>+</sup>15] LI, X. ; BHALLA, A. ; ALEXANDROV, P. ; HOSTETLER, J. ; FURSIN, L.: Series-connection of SiC normally-on JFETs. In: *ISPSD* (2015)
- [LGH<sup>+</sup>18] LI, N. ; GAO, F. ; HAO, T. ; MA, Z. ; ZHANG, C.: SOH Balancing Control Method for the MMC Battery Energy Storage System. In: *IEEE Transactions on Industrial Electronics (Vol.: 65, Issue: 8)* (2018)
- [LM03] LESNICAR, A. ; MARQUARDT, R.: An innovative modular multilevel converter topology suitable for a wide power range. In: *IEEE Bologna Power Tech Conference Proceedings* (2003)
- [LMC17] LYU, J. ; MOLINAS, M. ; CAI, X.: Stabilization control methods for enhancing the stability of wind farm integration via an MMC-based HVDC system. In: *CPE-POWERENG* (2017)
- [LSC15] LADOUX, P. ; SERBIA, N. ; CARROLL, E. I.: On the Potential of IGCTs in HVDC. In: *IEEE Journal of Emerging and Selected Topics in Power Electronics (Vol.: 3, Issue: 3)* (2015)
- [LSL<sup>+</sup>13] LI, X. ; SONG, Q. ; LIU, W. ; RAO, H. ; XU, S. ; LI, L.: Protection of Nonpermanent Faults on DC Overhead Lines in MMC-Based HVDC Systems. In: *IEEE Transactions on Power Delivery (Vol.: 28, Issue: 1)* (2013)

- [LZB17] LI, X. ; ZHANG, H. ; BHALLA, A.: Medium voltage power module based on SiC JFETs. In: *IEEE Applied Power Electronics Conference and Exposition (APEC)* (2017)
- [Mar01] MARQUARDT, R.: Stromrichterschaltungen mit verteilten Energiespeichern. In: *German Patent DE20 122 923 U1* (2001)
- [Mar10] MARQUARDT, R.: Modular Multilevel Converter: An universal concept for HVDC-Networks and extended DC-Bus-applications. In: *IPEC* (2010)
- [Mar11] MARQUARDT, R.: Modular Multilevel Converter Topologies with DC-Short Circuit Current Limitation. In: *ECCE* (2011)
- [Mar17] MARQUARDT, R.: Modular Multilevel Converter: Impact on future applications and semiconductors. In: *VDE, 7. ETG-Fachtagung, Bad Nauheim* (2017)
- [Mita] MITSUBISHI ELECTRIC: *High Voltage Insulated Gate Bipolar Transistor (HV-IGBT): CM1200HC-66X*. – datasheet
- [Mitb] MITSUBISHI ELECTRIC: *High Voltage Insulated Gate Bipolar Transistor (HV-IGBT): CM1800HC-66X*. – datasheet
- [Mitc] MITSUBISHI ELECTRIC: *High Voltage Insulated Gate Bipolar Transistor (HV-IGBT): CM400HB-90H*. – datasheet
- [ML04] MARQUARDT, R. ; LESNICAR, A.: New Concept for High Voltage Modular Multilevel Converter. In: *PESC* (2004)
- [MLH02] MARQUARDT, R. ; LESNICAR, A. ; HILDINGER, J.: Modulares Stromrichterkonzept für Netzkupplungsanwendung bei hohen Spannungen. In: *ETG-Fachtagung* (2002)
- [MNN11] MODEER, T. ; NEE, H.-P. ; NORRGA, S.: Loss comparison of different sub-module implementations for modular multilevel converters in HVDC Applications. In: *EPE* (2011)
- [MXS<sup>+</sup>13] MEI, J. ; XIAO, B. ; SHEN, K. ; TOLBERT, L. M. ; ZHENG, J. Y.: Modular Multilevel Inverter with New Modulation Method and Its Application to Photovoltaic Grid-Connected Generator. In: *IEEE Transactions on Power Electronics (Vol. 28, Issue: 11)* (2013)
- [NGS<sup>+</sup>15] NI, X. ; GAO, R. ; SONG, X. ; HUANG, A. Q. ; YU, W.: Development of 6kV SiC hybrid power switch based on 1200V SiC JFET and MOSFET. In: *IEEE Energy Conversion Congress and Exposition (ECCE)* (2015)

- [Nic14] NICOLAI, U.: Determining switching losses of SEMIKRON IGBT modules / SEMIKRON. 19/08/2014. – Application Note: AN 1403
- [NLDL15] NAMI, A. ; LIANG, J. ; DIJKHUIZEN, F. ; LUNDBERG, P.: Analysis of Modular Multilevel Converters with DC Short Circuit Fault Blocking Capability in Bipolar HVDC Transmission Systems. In: *EPE* (2015)
- [OWWB16] ODEGARD, B. ; WEISS, D. ; WIKSTRÖM, T. ; BAUMANN, R.: Rugged MMC converter cell for high power applications. In: *EPE* (2016)
- [PRL<sup>+</sup>11] PEREIRA, M. ; RETZMANN, D. ; LOTTES, J. ; WIESINGER, M. ; WONG, G.: SVC PLUS: An MMC STATCOM for network and grid access applications. In: *IEEE Trondheim PowerTech* (2011)
- [PTA<sup>+</sup>10] PEFTITSIS, D. ; TOLSTOY, G. ; ANTONOPOULOS, A. ; RABKOWSKI, J. ; LIM, J.-K. ; BAKOWSKI, M. ; ANGQUIST, L. ; NEE, H.-P.: High-power modular multilevel converters with SiC JFETs. In: *IEEE Energy Conversion Congress and Exposition* (2010)
- [QSRZ15] QIN, J. ; SAEEDIFARD, M. ; ROCKHILL, A. ; ZHOU, R.: Hybrid Design of Modular Multilevel Converters for HVDC Systems Based on Various Submodule Circuits. In: *IEEE Transactions on Power Delivery* (Vol. 30, Issue: 1) (2015)
- [RBHS10] ROHNER, S. ; BERNET, S. ; HILLER, M. ; SOMMER, R.: Modulation, losses and semiconductor requirements of modular multilevel converters. In: *IEEE Transactions of Industrial Electronics* (Vol. 57, Issue: 8) (2010)
- [RWL<sup>+</sup>13] RIVERA, S. ; WU, B. ; LIZANA, R. ; KOURO, S. ; PEREZ, M. ; RODRIGUEZ, J.: Modular multilevel converter for large-scale multistring photovoltaic energy conversion system. In: *IEEE Energy Conversion Congress and Exposition* (2013)
- [SDL16] SUN, H. ; DU, L. ; LIANG, G.: Calculation of Electromagnetic Radiation of VSC-HVdc Converter System. In: *IEEE Transactions on Magnetics* (Vol.: 52, Issue: 3) (2016)
- [SHC00] SCHETTLER, F. ; HUANG, H. ; CHRISTL, N.: HVDC Transmission Systems using Voltage Sourced Converters - Design and Applications. In: *IEEE Power Engineering Society Summer Meeting* (2000)
- [SHNZ15] SONG, X. ; HUANG, A. Q. ; NI, X. ; ZHANG, L.: Comparative evaluation of 6kV Si and SiC power devices for medium voltage power electronics applications.

- In: *IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)* (2015)
- [SHZ<sup>+</sup>16] SONG, X. ; HUANG, A. Q. ; ZHANG, L. ; LIU, P. ; NI, X.: 15kV/40A FREEDM super-cascode: A cost effective SiC high voltage and high frequency power switch. In: *IEEE Energy Conversion Congress and Exposition (ECCE)* (2016)
- [SJR<sup>+</sup>15] STAUDT, V. ; JÄGER, M. K. ; ROTHSTEIN, A. ; STEIMEL, A. ; MEYER, D. ; BARTELT, R. ; HEISING, C.: Short-Circuit Protection in DC ship grids based on MMC with full-bridge modules. In: *ESARS* (2015)
- [SSF<sup>+</sup>16] STEURER, M. ; SCHODER, K. ; FARUQUE, M. O. ; SOTO, D. ; BOSWORTH, M. ; SLODERBECK, M. ; BOGDAN, F. ; HAUER, J. ; WINKELNKEMPER, M. ; SCHWAGER, L. ; BLASZCZYK, P.: Multifunctional Megawatt-Scale Medium Voltage DC Test Bed Based on Modular Multilevel Converter Technology. In: *IEEE Transactions on Transportation Electrification (Vol. 2, Issue: 4)* (2016)
- [SSS13] SPICHARTZ, M. ; STAUDT, V. ; STEIMEL, A.: Modular Multilevel Converter for propulsion system of electric ships. In: *Electric Ship Technologies Symposium* (2013)
- [SSZH17] SEN, S. ; SONG, X. ; ZHANG, L. ; HUANG, A. Q.: Continuous switching operation of 15 kV FREEDM super-cascode. In: *IEEE Energy Conversion Congress and Exposition (ECCE)* (2017)
- [SWHU18] SOLTAU, N. ; WIESNER, E. ; HATORI, K. ; UEMURA, H.: 3.3 kV Full SiC MOSFETs – Towards High-Performance Traction Inverters. In: *Bodo's Power Systems* (Jan. 2018)
- [SWS<sup>+</sup>20] SOLTAU, N. ; WIESNER, E. ; STUMPF, E. ; IDAKA, S. ; HATORI, K.: Electric-Energy Savings using 3.3 kV Full-SiC Power-Modules in Traction Applications. In: *International Conference on Ecological Vehicles and Renewable Energies (EVER)* (2020)
- [SWWM12] SCHMITT, D. ; WANG, Y. ; WEYH, T. ; MARQUARDT, R.: DC-Side Fault Current Management in extended Multiterminal-HVDC-Grids. In: *International Multi-Conference on Systems, Signals and Devices* (2012)
- [TX11] TU, Q. ; XU, Z.: Power losses evaluation for modular multilevel converter with junction temperature feedback. In: *IEEE Power and Energy Society General Meeting* (2011)

- [UDF17] UDREA, F. ; DEBOY, G. ; FUJIHIRA, T.: Superjunction Power Devices, History, Development, and Future Prospects. In: *IEEE Transactions on Electron Devices (Vol.: 64, Issue: 3)* (2017)
- [Uni] UNITED SILICON CARBIDE: *xJ SiC Series - 1200V SiC Normally-On JFET: UJN1205K*. – datasheet
- [VABR<sup>+</sup>16] VIDAL-ALBALATE, R. ; BELTRAN, H. ; ROLAN, A. ; BELENGUER, E. ; PENA, R. ; BLASCO-GIMENEZ, R.: Analysis of the Performance of MMC Under Fault Conditions in HVDC-Based Offshore Wind Farms. In: *IEEE Transactions on Power Delivery (Vol. 31, Issue: 2)* (2016)
- [VAR<sup>+</sup>14] VEMULAPATI, U. ; ARNOLD, M. ; RAHIMO, M. ; STIASNY, T. ; VOBECKY, J.: 3.3kV RC-IGCTs Optimized for Multi-Level Topologies. In: *PCIM Europe* (2014)
- [WCB<sup>+</sup>17] WANG, L. ; CHENG, G. ; BUREAU, T. ; LI, X. ; ZHANG, D. ; FAN, Y.: Automation and control design of overvoltage protection for sub-modules in modular multilevel converter. In: *IEEE Information Technology, Networking, Electronic and Automation Control Conference (ITNEC)* (2017)
- [WM14] WANG, Y. ; MARQUARDT, R.: A fast switching, scalable DC-Breaker for meshed HVDC SuperGrids. In: *PCIM* (2014)
- [WM15] WANG, Y. ; MARQUARDT, R.: Performance of a new fast switching DC-Breaker for meshed HVDC-Grids. In: *EPE* (2015)
- [WM17] WANG, Y. ; MARQUARDT, R.: Novel control scheme for the internal energies and circulating currents of Modular Multilevel Converter. In: *PCIM Europe* (2017)
- [WWZB18] WANG, Z. ; WANG, H. ; ZHANG, Y. ; BLAABJERG, F.: Balanced Conduction Loss Distribution among SMs in Modular Multilevel Converters. In: *IPEC* (2018)
- [YTY18] YANO, K. ; TANAKA, Y. ; YAMAMOTO, M.: Extremely Low ON-Resistance SiC Cascode Configuration Using Buried-Gate Static Induction Transistor. In: *IEEE Electron Device Letters (Vol. 39, Issue: 12)* (2018)
- [ZOD<sup>+</sup>16] ZHU, K. ; O'GRADY, M. ; DODGE, J. ; BENDEL, J. ; HOSTETLER, J.: 1.5 kW single phase CCM totem-pole PFC using 650V SiC cascodes. In: *IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)* (2016)



- 
- [ZXYW15] ZENG, R. ; XU, L. ; YAO, L. ; WILLIAMS, B. W.: Design and Operation of a Hybrid Modular Multilevel Converter. In: *IEEE Transactions on Power Electronics (Vol. 30, Issue: 3)* (2015)



# Abbildungsverzeichnis

2.1. Umrichter-Topologien für die Anwendung in HVDC-Übertragungen . . . . .	5
2.2. Punkt-zu-Punkt-HVDC-Übertragung . . . . .	6
2.3. Multi-Terminal-HVDC-Übertragung . . . . .	6
3.1. Schematischer Aufbau des dreiphasigen Modular Multilevel Converters . . . . .	8
3.2. Zweigspannungen und -ströme des einphasigen MMC . . . . .	9
3.3. Normierter quadratischer RMS-Wert der Ströme im MMC-Zweig sowie Submodul-Kondensator in Abhängigkeit vom Arbeitspunkt . . . . .	12
3.4. Halbbrücken-Submodul (HB-SM) . . . . .	14
3.5. Vollbrücken-Submodul (FB-SM) . . . . .	15
3.6. Realisierung einer Double-Connection aus Vollbrücken-Submodulen . . . . .	16
3.7. Clamp-Double-Submodul (CD-SM) . . . . .	17
3.8. Semi-Full-Bridge-Submodul (SFB-SM) . . . . .	18
3.9. Halbbrücken-Submodul mit Bypass-Thyristor und -Schalter . . . . .	22
4.1. Double-Zero-Submodul (DZ-SM) . . . . .	26
4.2. Strompfade innerhalb des Double-Zero-Submoduls in den verschiedenen Schaltzuständen nach Tab. 4.1 . . . . .	28
4.3. Beherrschung von internen Fehlern innerhalb des DZ-SM . . . . .	28
4.4. Double-Zero-Submodul in Double-Connection (DZ-DC-SM) . . . . .	29
4.5. Strompfade innerhalb des Double-Zero-Submoduls in Double-Connection in den verschiedenen Schaltzuständen nach Tab. 4.2 . . . . .	30
4.6. Beherrschung von internen Fehlern innerhalb des DZ-DC-SM . . . . .	31
4.7. 4-Level Pulsmuster für die Untersuchung des FB-SM, DZ-SM und DZ-DC-SM . . . . .	33
4.8. Arbeitsbereich von $b$ und $r$ mit einem 4-Level Pulsmuster . . . . .	34
4.9. 4-Level Pulsmuster für die Arbeitspunkte A-F nach Abb. 4.8 . . . . .	36
4.10. Zweigstrom und Cluster-Submodul-Klemmenspannung in dem MMC- Referenz-Arbeitspunkt nach Tab. 4.3 . . . . .	39
4.11. Normierte Zweigströme während der Schaltzeitpunkte nach Abb. 4.10 . . . . .	41
4.12. Schaltvorgänge innerhalb eines HV-IGBT-Moduls . . . . .	42
4.13. Zweigstrom und Cluster-Pulsmuster für die Untersuchung der Schaltverluste des FB-SM (sowie DZ-SM) in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 . . . . .	47
4.14. Schalthandlungen des FB-SM im Wechselrichter-Betrieb ( $\varphi = 30^\circ$ ) . . . . .	48

4.15. Schalthandlungen des FB-SM im Gleichrichter-Betrieb ( $\varphi = -150^\circ$ ) . . . . .	49
4.16. Schalthandlungen des DZ-SM im Wechselrichter-Betrieb ( $\varphi = 30^\circ$ ) . . . . .	52
4.17. Schalthandlungen des DZ-SM im Gleichrichter-Betrieb ( $\varphi = -150^\circ$ ) . . . . .	53
4.18. Zweigstrom und Cluster-Pulsmuster für die Untersuchung der Schaltverluste des DZ-DC-SM in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 . . . . .	55
4.19. Schalthandlungen des DZ-DC-SM im Wechselrichter-Betrieb ( $\varphi = 30^\circ$ ) . . . . .	56
4.20. Schalthandlungen des DZ-DC-SM im Gleichrichter-Betrieb ( $\varphi = -150^\circ$ ) . . . . .	57
4.21. Durchlasskennlinien von HV-IGBT und SiC-MOSFET . . . . .	59
4.22. Normierte MMC-System- und Hilfsströme (siehe Box 4.10) für die Bestimmung der individuellen Halbleiterströme nach Box 4.9 . . . . .	65
5.1. Verschiedene Bestückungsvarianten des FB-SM . . . . .	69
5.2. Verschiedene Bestückungsvarianten des DZ-SM . . . . .	69
5.3. Verschiedene Bestückungsvarianten des DZ-DC-SM . . . . .	70
5.4. Submodul-Wirkungsgrad ( $\varphi = 30^\circ$ ; $\frac{R_{DSon}}{R_T} = 2$ ) . . . . .	72
5.5. Submodul-Wirkungsgrad ( $\varphi = 30^\circ$ ; $\frac{R_{DSon}}{R_T} = 3$ ) . . . . .	73
5.6. Submodul-Wirkungsgrad ( $\varphi = 30^\circ$ ; $\frac{R_{DSon}}{R_T} = 4$ ) . . . . .	74
5.7. Submodul-Wirkungsgrad ( $\varphi = -150^\circ$ ; $\frac{R_{DSon}}{R_T} = 2$ ) . . . . .	75
5.8. Submodul-Wirkungsgrad ( $\varphi = -150^\circ$ ; $\frac{R_{DSon}}{R_T} = 3$ ) . . . . .	76
5.9. Submodul-Wirkungsgrad ( $\varphi = -150^\circ$ ; $\frac{R_{DSon}}{R_T} = 4$ ) . . . . .	77
5.10. Submodul-Wirkungsgrad ( $\varphi = 0^\circ$ ; $\frac{R_{DSon}}{R_T} = 2$ ) . . . . .	78
5.11. Submodul-Wirkungsgrad ( $\varphi = 0^\circ$ ; $\frac{R_{DSon}}{R_T} = 3$ ) . . . . .	79
5.12. Submodul-Wirkungsgrad ( $\varphi = 0^\circ$ ; $\frac{R_{DSon}}{R_T} = 4$ ) . . . . .	80
5.13. Submodul-Wirkungsgrad bei $\varphi = 30^\circ$ und maximaler SiC-Bestückung . . . . .	82
5.14. Submodul-Wirkungsgrad des DZ-DC-SM im Überlastbetrieb ( $S = 1.8$ GVA ; $\frac{R_{DSon}}{R_T} = 2$ ) . . . . .	83
5.15. Farbzuzuweisung für die individuellen Halbleiterverluste innerhalb der Submodul-Topologien . . . . .	84
5.16. Normierte Submodul-Verluste ( $\varphi = 30^\circ$ ; $\frac{R_{DSon}}{R_T} = 2$ ) . . . . .	86
5.17. Normierte Submodul-Verluste ( $\varphi = -150^\circ$ ; $\frac{R_{DSon}}{R_T} = 2$ ) . . . . .	87
5.18. Normierte Submodul-Verluste ( $\varphi = 0^\circ$ ; $\frac{R_{DSon}}{R_T} = 2$ ) . . . . .	87
5.19. Gleichverteilte Halbleiter-Chipflächen innerhalb des FB-SM als Referenz- schaltung für die Optimierung der Durchlassverluste (Leistungsverluste) . . . . .	90
5.20. Verteilung der Halbleiter-Chipflächen innerhalb der Submodule für die Optimierung der Durchlassverluste (Leistungsverluste) . . . . .	91
5.21. Ergebnis der Optimierung der relativen Durchlassverluste (Leistungsverluste) in Abhängigkeit der Reduktionsfaktoren . . . . .	93
6.1. Blockschaltbild der Ansteuerung des DZ-DC-SM . . . . .	96
6.2. Zustandsautomat (EA) für die Ansteuerung des DZ-DC-SM . . . . .	97

6.3.	Auftreten eines inkorrekten Schaltzustandes aufgrund des Zweigstromrichtungswechsels bei der Ansteuerung des DZ-DC-SM . . . . .	99
6.4.	Realisierung des reduzierten EA in ein sequentielles Schaltwerk für die Ansteuerung des DZ-DC-SM . . . . .	101
6.5.	Energiepulsationen für ein verallgemeinertes MMC-Submodul unter der Anwendung einer hohen PWM Schaltfrequenz (HF PWM MMC-SM) . . .	103
6.6.	Energiepulsationen für ein DZ-DC-SM unter der Anwendung des 4-Level Pulsmusters nach Abb. 4.7 . . . . .	104
6.7.	Energiepulsationen für die Serienschaltung zweier FB-SM (oder DZ-SM) unter der Anwendung des 4-Level Pulsmusters nach Abb. 4.7 . . . . .	105
6.8.	Energiepulsationen innerhalb der Submodul-Kondensatoren für verschiedene Spannungsmodulationsfaktoren (und $\varphi = 30^\circ$ ) . . . . .	107
6.9.	Energiepulsationen für die Serienschaltung zweier FB-SM (oder DZ-SM) unter Anwendung eines alternierend gebildeten 4-Level Pulsmusters . . . .	108
6.10.	Maximale Energiepulsationen der drei Submodul-Topologien in Abhängigkeit vom Arbeitspunkt . . . . .	111
6.11.	Realisierung einer Double-Connection aus Double-Zero-Submodulen . . . .	113
6.12.	Simulation einer DZ-DC-SM-Balancing-Sequenz für eine vollständige Periode der Grundfrequenz (Laden des Kondensators mit der geringeren Spannung) . . . . .	114
6.13.	Simulation einer DZ-DC-SM-Balancing-Sequenz für eine vollständige Periode der Grundfrequenz (Entladen des Kondensators mit der höheren Spannung) . . . . .	115
6.14.	Balancing-Sequenz und Kommutierungstrajektorie des DZ-DC-SM für $i_a > 0$	116
6.15.	Kommutierungspfade im inneren Kern des DZ-DC-SM für $i_a > 0$ . . . . .	116
6.16.	Balancing-Sequenz und Kommutierungstrajektorie des DZ-DC-SM für $i_a < 0$	117
6.17.	Kommutierungspfade im inneren Kern des DZ-DC-SM für $i_a < 0$ . . . . .	117
6.18.	Vergleich der Energieverluste bei einer harten sowie weichen Kommutierung innerhalb des DZ-DC-SM . . . . .	122
7.1.	Flächenspezifischer Durchlasswiderstand verschiedener Si- und SiC-Halbleiterbauelemente . . . . .	124
7.2.	Schematische Darstellung verschiedener SiC-FET-Ansteuerungen . . . . .	126
7.3.	State of the Art Super-Kaskoden mit einer Minimalbestückung von drei Spannungsstufen . . . . .	128
7.4.	Neuartige JFET-Super-Kaskode mit drei Spannungsstufen ( $N = 3$ ) . . . .	133
7.5.	Ruhestrom durch die SiC-JFET der Haupt-Kaskode im ausgeschalteten Zustand . . . . .	134

7.6. Auf- und Entladen der SiC-JFET-Gates der Haupt-Kaskode durch einen Sourcefolger . . . . .	135
7.7. Strompfade innerhalb der neuartigen Super-Kaskode während des Einschaltvorganges . . . . .	138
7.8. Signalverläufe innerhalb der neuartigen Super-Kaskode während des Einschaltvorganges . . . . .	139
7.9. Strompfade innerhalb der neuartigen Super-Kaskode während des Ausschaltvorganges . . . . .	140
7.10. Signalverläufe innerhalb der neuartigen Super-Kaskode während des Ausschaltvorganges . . . . .	141
7.11. Signalverläufe des Referenz-Spannungsteilers innerhalb der neuartigen Super-Kaskode während des Ausschaltvorganges . . . . .	142
7.12. Signalverläufe innerhalb der neuartigen Super-Kaskode während des Ausschaltvorganges (längerer Zeitraum) . . . . .	144
7.13. Ersatzschaltbild für die schrittweise Dimensionierung der Pulsgenerator-Kapazitäten der neuartigen Super-Kaskode . . . . .	148
7.14. Aufteilung der neuartigen Super-Kaskode aus Abb. 7.4 in zwei Kernmodule	154
7.15. Prinzipielle Struktur des mechanischen Prototyp-Aufbaus der neuartigen JFET-Super-Kaskode . . . . .	155
7.16. Neuartige JFET-Super-Kaskode: Messung des Einschaltvorganges ( $u_{GS1}$ , $u_{GS2}$ , $u_{GS3}$ ) . . . . .	156
7.17. Neuartige JFET-Super-Kaskode: Messung des Einschaltvorganges ( $u_{D1}$ , $u_{DS2}$ , $u_{DS3}$ ) . . . . .	156
7.18. Neuartige JFET-Super-Kaskode: Messung des Einschaltvorganges ( $u_{HD}$ , $i_{HD}$ )	157
7.19. Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges ( $u_{GS1}$ , $u_{GS2}$ , $u_{GS3}$ ) . . . . .	158
7.20. Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges ( $u_{D1}$ , $u_{DS2}$ , $u_{DS3}$ ) . . . . .	158
7.21. Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges ( $u_{HD}$ , $i_{HD}$ )	159
7.22. Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges (längerer Zeitraum) ( $u_{GS1}$ , $u_{GS2}$ , $u_{GS3}$ ) . . . . .	160
7.23. Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges (längerer Zeitraum) ( $u_{D1}$ , $u_{DS2}$ , $u_{DS3}$ ) . . . . .	160
7.24. Neuartige JFET-Super-Kaskode: Messung des Ausschaltvorganges (längerer Zeitraum) ( $u_{HD}$ , $i_{HD}$ ) . . . . .	161
7.25. Neuartige JFET-Super-Kaskode: Messung des Überganges in den absolut stationären Sperrzustand ( $u_{D1}$ , $u_{DS2}$ , $u_{DS3}$ ) . . . . .	161
7.26. Neuartige JFET-Super-Kaskode: Messung der Stromverläufe des Referenz-Spannungsteilers ( $i_P$ , $i_{C1b}$ , $i_{C2}$ , $i_{C3}$ ) . . . . .	162

---

7.27. Neuartige JFET-Super-Kaskode: Messung der Stromverläufe des Referenz-Spannungsteilers ( $i_{C1b}$ , $i_{C2}$ , $i_{C3}$ , $i_{zp1}$ , $i_{zp2}$ ) . . . . .	162
A.1. Blockieren des DC-Kurzschlussstromes im MMC bei der Verwendung verschiedener State of the Art Submodul-Topologien . . . . .	170
A.2. DC-Kurzschlussstrom in verschiedenen State of the Art Submodul-Topologien	171
B.1. Reale und linearisierte HV-IGBT Schaltkennlinien für $W_{on}$ und $W_{rec}$ . . . . .	175
B.2. Reale und linearisierte HV-IGBT Schaltkennlinie für $W_{off}$ . . . . .	175
B.3. Reale und linearisierte HV-IGBT Durchlasskennlinie . . . . .	177





# Tabellenverzeichnis

3.1. Schaltzustände des Halbbrücken-Submoduls . . . . .	15
3.2. Schaltzustände des Vollbrücken-Submoduls . . . . .	16
3.3. Haupt-Schaltzustände des Clamp-Double-Submoduls . . . . .	18
3.4. Haupt-Schaltzustände des Semi-Full-Bridge-Submoduls . . . . .	19
3.5. Zusammenfassung der Eigenschaften und Funktionalität der bedeutendsten State of the Art Submodul-Topologien . . . . .	20
4.1. Schaltzustände des Double-Zero-Submoduls . . . . .	26
4.2. Haupt-Schaltzustände des Double-Zero-Submoduls in Double-Connection .	29
4.3. MMC-Referenz-Arbeitspunkt . . . . .	38
4.4. Auftreten der Schaltverluste in Abhängigkeit der Zweiggrößen . . . . .	44
4.5. FB-SM Schaltverluste nach Abb. 4.13a und 4.14 im Wechselrichter- Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = 30^\circ$ )	50
4.6. FB-SM Schaltverluste nach Abb. 4.13b und 4.15 im Gleichrichter- Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi =$ $-150^\circ$ ) . . . . .	50
4.7. DZ-SM Schaltverluste nach Abb. 4.13a und 4.16 im Wechselrichter- Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = 30^\circ$ )	54
4.8. DZ-SM Schaltverluste nach Abb. 4.13b und 4.17 im Gleichrichter- Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi =$ $-150^\circ$ ) . . . . .	54
4.9. DZ-DC-SM Schaltverluste nach Abb. 4.18a und 4.19 im Wechselrichter- Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = 30^\circ$ )	58
4.10. DZ-DC-SM Schaltverluste nach Abb. 4.18b und 4.20 im Gleichrichter- Betriebszustand in dem MMC-Referenz-Arbeitspunkt nach Tab. 4.3 ( $\varphi = -150^\circ$ ) . . . . .	58
4.11. Definition der MMC-System- und Hilfsströme für die analytische Bestim- mung der Durchlassverluste . . . . .	62
5.1. Approximierte Halbleiterparameter eines HV-IGBT und eines SiC-FET aus der 3.3 kV-Spannungsklasse . . . . .	68
5.2. Bezeichnung der Halbleiter-Bestückungsvarianten . . . . .	70

5.3. Übersichtsverzeichnis für die Submodul-Wirkungsgrade der Abbildungen 5.4 bis 5.12 . . . . .	71
5.4. Individuelle Durchlassverluste für die Optimierung der Leistungsverluste .	92
6.1. Schaltzustände für die Ansteuerung des DZ-DC-SM . . . . .	97
6.2. Reduzierte Schaltzustände des EA für die Ansteuerung des DZ-DC-SM . .	100
6.3. Simulationsparameter einer DZ-DC-SM-Balancing-Sequenz für eine voll- ständige Periode der Grundfrequenz . . . . .	112
6.4. Simulationsparameter und -ergebnisse einer DZ-DC-SM-Balancing-Sequenz sowie Kommutierung in den Parallelzustand . . . . .	118
7.1. Zusammenfassung der Eigenschaften und Funktionalität von den State of the Art Super-Kaskoden aus Abb. 7.3 . . . . .	131
A.1. Maximal einstellbare Gegenspannung im DC-Kurzschlussfall in MMC be- stückt mit den State of the Art Submodul-Topologien . . . . .	172
B.1. Approximierte Schaltparameter des HV-IGBT aus der 3.3 kV- Spannungsklasse (siehe Tab. 5.1) . . . . .	176
B.2. Approximierte Schaltparameter eines SiC-FET aus der 3.3 kV-Spannungs- klasse (siehe Tab. 5.1) . . . . .	177
B.3. Approximierte Durchlassparameter des HV-IGBT aus der 3.3 kV- Spannungsklasse (siehe Tab. 5.1) . . . . .	178
C.1. FB-SM Schaltverluste im Wechselrichter-Betriebszustand ( $\varphi = 0^\circ$ ; $I_d = 3.0 \text{ kA}$ ; $r = 0.9$ ; $k = 1.5$ ; $m = 1.\bar{3}$ ) . . . . .	179
C.2. DZ-SM Schaltverluste im Wechselrichter-Betriebszustand ( $\varphi = 0^\circ$ ; $I_d = 3.0 \text{ kA}$ ; $r = 0.9$ ; $k = 1.5$ ; $m = 1.\bar{3}$ ) . . . . .	180
C.3. DZ-DC-SM Schaltverluste im Wechselrichter-Betriebszustand ( $\varphi = 0^\circ$ ; $I_d = 3.0 \text{ kA}$ ; $r = 0.9$ ; $k = 1.5$ ; $m = 1.\bar{3}$ ) . . . . .	180

# Symbolverzeichnis

Notation	Beschreibung	Einheit	Seite
$C_0$	Kondensatorkapazität für SM in Single-Connection	F	27
$C_1$	<b>Kap. 1-6:</b> Kapazität ( $C_1$ ) für SM in Double-Connection	F	29
$C_2$	<b>Kap. 1-6:</b> Kapazität ( $C_2$ ) für SM in Double-Connection	F	29
$C_i$	<b>Kap. 7:</b> Kap. der Stufe $i$ einer Su.-Kask. (RC-Teiler)	F	133
$C_i$	<b>Kap. 1-6:</b> Kapazität ( $C_i$ ) im DZ-DC-SM	F	112
$C$	Resultierende Kapazität bei der Kommutierung	F	119
$G_0$	Gesamtleitwert aller Halbleiter in einem Submodul	S	90
$G_{HB}$	Leitwert eines Halbleiters in der äußeren Halbbrücke	S	90
$I_C^2$	Quadratischer RMS-Wert des SM-Kondensatorstromes	A <sup>2</sup>	13
$I_L$	Geschalteter Laststrom der Super-Kaskode	A	136
$I_a^2$	Quadratischer RMS-Wert des Zweigstromes	A <sup>2</sup>	12
$I_d$	DC-Strom	A	10
$I_{RRM}$	Rückstromspitze einer Diode	A	43
$I_{Ti}^2$	Quadratischer RMS-Wert des Halbleiterstromes von $T_i$	A <sup>2</sup>	61
$I_{nom}$	Nom. Halbleiter-Sperrstrom (aus dem Datenblatt)	A	45
$I_y^2$	Quadratischer RMS-Wert des Hilfsstromes $y$	A <sup>2</sup>	62
$I_z^2$	Quadratischer RMS-Wert des Hilfsstromes $z$	A <sup>2</sup>	62
$L_N$	Parasitäre Induktivität (unterer Kommutierungspfad)	H	118
$L_P$	Parasitäre Induktivität (oberer Kommutierungspfad)	H	118
$L_\sigma$	Parasitäre Induktivität der Kommutierungsschleife	H	43
$L_a$	Zweiginduktivität	H	9
$L_d$	DC-Induktivität	H	169
$L$	Resultierende parasitäre Induktivität bei der Komm.	H	119
$N$	Anzahl der Spannungsstufen einer Super-Kaskode	1	132
$P_d$	Umrichter-Wirkleistung	W	38
$P_{D-Con.}$	Wirkleistung eines Submoduls in Double-Connection	W	85
$P_{on}$	Durchlassverluste eines Transistors	W	60
$P_{sw,off}$	Ausschaltverluste eines Transistors	W	45
$P_{sw,on}$	Einschaltverluste eines Transistors	W	45
$P_{sw,rec}$	Ausschaltverluste einer Diode	W	45

Notation	Beschreibung	Einheit	Seite
$Q_0$	Nominale Ladung in $C_1$ bzw. $C_2$	As	121
$Q_A$	Zustands-Bit $Q_A$ des EA des DZ-DC-SM	1	100
$Q_B$	Zustands-Bit $Q_B$ des EA des DZ-DC-SM	1	100
$Q_C$	Zustands-Bit $Q_C$ des EA des DZ-DC-SM	1	100
$Q_{RR}$	Speicherladung der Rückstromspitze einer Diode	As	43
$R_1$	<b>Kap. 1-6:</b> Widerstand im SM-Kondensatorzweig $C_1$	$\Omega$	118
$R_2$	<b>Kap. 1-6:</b> Widerstand im SM-Kondensatorzweig $C_2$	$\Omega$	118
$R_T$	Differentieller Widerstand eines IGBT	$\Omega$	60
$R_i$	<b>Kap. 7:</b> Wid. der Stufe $i$ einer Su.-Kask. (RC-Teiler)	$\Omega$	133
$R_{DSon}$	Differentieller Widerstand eines FET	$\Omega$	60
$R$	Resultierender Widerstand bei der Kommutierung	$\Omega$	119
$S$	Umrichter-Scheinleistung	VA	38
$T_1$	Periode der Grundschiwingung des AC-Netzes	s	40
$T_{Pulse}$	Periodendauer des Impulsstromes (Super-Kaskode)	s	150
$U_C$	Submodul-Kondensatorspannung	V	15
$U_P$	Spannungsversorgung des Pulsgenerators (Su.-Kask.)	V	137
$U_d$	DC-Spannung	V	10
$U_{C1}$	Spannung des Submodul-Kondensators $C_1$	V	17
$U_{C2}$	Spannung des Submodul-Kondensators $C_2$	V	17
$U_{GU_n}$	Negative Versorgungsspannung des Gate-Treibers	V	125
$U_{GU_p}$	Positive Versorgungsspannung des Gate-Treibers	V	125
$U_{HD}$	Sperrspannung der Super-Kaskode	V	136
$U_{PO}$	Abschnürspannung eines JFET	V	127
$U_{T0}$	Schleusenspannung eines IGBT	V	60
$U_{nom}$	Nom. Halbleiter-Sperrspannung (aus dem Datenblatt)	V	45
$W_{off,nom}$	Nom. Energieverl. beim Ausschalten eines Transistors	J	44
$W_{off}$	Allg. Energieverl. beim Ausschalten eines Transistors	J	43
$W_{on,nom}$	Nom. Energieverl. beim Einschalten eines Transistors	J	44
$W_{on}$	Allg. Energieverl. beim Einschalten eines Transistors	J	43
$W_{rec,0,HL}$	Allg. Offset der Ausschaltverluste einer Diode	J	68
$W_{rec,0,nom}$	Nom. Offset der Ausschaltverluste einer Diode	J	45
$W_{rec,nom}$	Nom. Energieverluste beim Ausschalten einer Diode	J	44
$W_{rec}$	Allg. Energieverluste beim Ausschalten einer Diode	J	43
$W_{sw,T_i}$	Schaltenergie des Transistors $T_i$	J	46
$\Delta Q_{12}$	Ladungsänderung während der Kondensator-Seriensch.	As	121
$\Delta U_C$	Spannungsdifferenz zwischen den SM-Kondensatoren	V	29
$\Delta U_{C,hard}$	Spannungsdifferenz bei einer harten Kommutierung	V	118
$\Delta U_{C,soft}$	Spannungsdifferenz bei einer weichen Kommutierung	V	118

Notation	Beschreibung	Einheit	Seite
$\Delta W_{Ci,max}$	Maximal auftretende Energiepulsation in den SM	J	102
$\Delta W_{hard}$	Energieverluste für eine harte Kommutierung	J	118
$\Delta W_{soft}$	Energieverluste für eine weiche Kommutierung	J	118
$\Delta t_d$	Zeitverz. zw. dem Anst. von Haupt- und Impuls-Gate	s	147
$\alpha$	Pulsbreite des 4-Level Pulsmusters des $+U_C$ -Zustandes	rad	32
$\beta$	Pulsbreite des 4-Level Pulsmusters des $+2 U_C$ -Zustandes	rad	32
$\delta$	Abklingkonstante des Schwingkreises bei der Komm.	$\frac{1}{s}$	119
$\eta$	Wirkungsgrad eines Submoduls bzw. des MMC	1	71
$\frac{\Delta W_{off,HL}}{\Delta I}$	Steigung der Ausschaltverluste eines Transistors	$\frac{J}{A}$	68
$\frac{\Delta W_{on,HL}}{\Delta I}$	Steigung der Einschaltverluste eines Transistors	$\frac{J}{A}$	68
$\frac{\Delta W_{rec,HL}}{\Delta I}$	Steigung der Ausschaltverluste einer Diode	$\frac{J}{A}$	68
$\gamma$	Pulsbreite des 4-Level Pulsmusters des $-U_C$ -Zustandes	rad	32
$\hat{I}_U$	Spitzenwert des AC-Strangstromes der Phase U	A	10
$\hat{U}_{U0}$	Spitzenwert der AC-Strangspannung der Phase U	V	10
$\hat{i}_{KS,Extern}$	Externer Spitzenkurzschlussstrom	A	169
$\hat{i}_P$	Spitzenwert des Impulsstromes (Super-Kaskode)	A	150
$\hat{u}_{X,z}$	Amplituden der Harm. der SM-Klemmenspannung	V	33
D <sub>1</sub>	<b>Kap. 7:</b> Avalanche-Diode der u. Su.-Kaskodenstufe	–	127
D <sub>2</sub>	<b>Kap. 7:</b> Avalanche-Diode der mittl. Su.-Kaskodenstufe	–	129
J <sub>1</sub>	JFET der unteren Super-Kaskoden-Spannungsstufe	–	127
J <sub>2</sub>	JFET der mittleren Super-Kaskoden-Spannungsstufe	–	127
J <sub>3</sub>	JFET der oberen Super-Kaskoden-Spannungsstufe	–	127
T <sub>0</sub>	<b>Kap. 7:</b> Niedervolt-MOSFET in den Super-Kaskoden	–	127
T <sub>0</sub>	<b>Kap. 1-6:</b> Transistor im Kondensatorzweig des DZ-SM	–	26
T <sub>1,GU</sub>	Transistor T <sub>1,GU</sub> des Gate-Treibers	–	125
T <sub>EL</sub>	Entlade-Transistor T <sub>EL</sub> der Double-Zero-Submodule	–	27
g	Logikvar. für inkorrekte Schaltzustände im DZ-DC-SM	1	97
$\omega_0$	Kennkreisfrequenz des Schwingkreises bei der Komm.	$\frac{1}{s}$	119
$\omega_e$	Eigenkreisfrequenz des Schwingkreises bei der Komm.	$\frac{1}{s}$	119
$\omega t_j$	Schaltinstanzen A-F für das 4-Level Pulsmuster	rad	40
$\omega t_{SA}$	Nulldurchgang A des Zweigstromes	rad	38
$\omega t_{SB}$	Nulldurchgang B des Zweigstromes	rad	38
$\bar{C}_{12}$	Nominale Kapazität (Mittelwert von $C_1$ und $C_2$ )	F	109
$\bar{I}_{eq}$	Konstanter Äquivalentstrom des MMC-Zweiges	A	118
$\bar{U}_C$	Mittlere Submodul-Kondensatorspannung	V	11
$\overline{ I_C }$	Betragsmittelwert des SM-Kondensatorstromes	A	62
$\overline{ I_{Ti} }$	Betragsmittelwert des Halbleiterstromes von T <sub>i</sub>	A	61
$\overline{ I_a }$	Betragsmittelwert des Zweigstromes	A	62

Notation	Beschreibung	Einheit	Seite
$\overline{ I_x }$	Betragsmittelwert des Hilfsstromes $x$	A	62
$\overline{ I_z }$	Betragsmittelwert des Hilfsstromes $z$	A	62
$\bar{u}_X$	DC-Komponente der SM-Klemmenspannung	V	33
$\sum P_{on,opt}$	Gesamte, optimierte Verlustleistung der DZ-Submodule	W	91
$\sum P_{on,ref}$	Gesamte Verlustleistung der Referenzschaltung	W	90
$\sum W_C$	Summarische Energie in den Kondensatoren $C_1$ und $C_2$	J	118
$\theta$	Phasenverschiebung des Schwingkreises bei der Komm.	rad	119
$\varepsilon$	Relative Toleranz der Kapazitäten $C_1$ und $C_2$	1	109
$\varphi_{SG}$	Grenzwinkel für die Bstg. der Stromnulldurchgänge	rad	38
$\varphi$	Phasenverschiebung zwischen AC-Strom und -Spannung	rad ; °	10
$a$	Normierte Ladungsdifferenz	1	118
$b$	DC-Spannungsaussteuerung	1	11
$d$	Sinusförmige Modulation des Zweiges bzw. SM	1	61
$f_1$	Grundfrequenz des AC-Netzes	Hz	32
$f_p$	Schaltfrequenz der Submodulhalbleiter	Hz	32
$i_a$	Oberer Zweigstrom der Phase U	A	10
$i_{C1b}$	<b>Kap. 7:</b> RC-Teiler-Strom der unteren Su.-Kaskodenstufe	A	137
$i_{C1}$	<b>Kap. 1-6:</b> Kondensatorstrom ( $C_1$ ) im DZ-DC-SM	A	109
$i_{C2}$	<b>Kap. 7:</b> RC-Teiler-Strom der mittl. Su.-Kaskodenstufe	A	137
$i_{C2}$	<b>Kap. 1-6:</b> Kondensatorstrom ( $C_2$ ) im DZ-DC-SM	A	109
$i_{C3}$	<b>Kap. 7:</b> RC-Teiler-Strom der oberen Su.-Kaskodenstufe	A	137
$i_C$	IGBT Kollektor-Strom	A	44
$i_D$	FET Drain-Strom	A	44
$i_{EL}$	Entladestrom der Double-Zero-Submodule	A	27
$i_{HD}$	Strom durch die Super-Kaskode	A	135
$i_{HL}$	Halbleiterstrom (von IGBT, FET oder Diode)	A	44
$i_{KS}$	Interner Kurzschlussstrom eines Submoduls	A	22
$i_{LN,tr}$	Tr. Strom bei der weichen Komm. (unterer Pfad)	A	120
$i_{LN}$	Strom bei der weichen Kommutierung (unterer Pfad)	A	119
$i_{LP,tr}$	Tr. Strom bei der weichen Komm. (oberer Pfad)	A	120
$i_{LP}$	Strom bei der weichen Kommutierung (oberer Pfad)	A	119
$i_P$	Impulsstrom des Pulsgenerators (Super-Kaskode)	A	137
$i_R$	Dioden-Sperrstrom	A	44
$i_U$	AC-Strangstrom der Phase U	A	10
$i_{a,U_n}$	Unterer Zweigstrom der Phase U	A	10
$i_{a,U_p}$	Oberer Zweigstrom der Phase U	A	10
$i_{zp1}$	Gate-Ausräumstrom der mittleren Super-Kaskodenstufe	A	137
$i_{zp2}$	Gate-Ausräumstrom der oberen Super-Kaskodenstufe	A	137

<b>Notation</b>	<b>Beschreibung</b>	<b>Einheit</b>	<b>Seite</b>
$k$	Spannungsmodulationsfaktor	1	10
$m$	Strommodulationsfaktor	1	10
$n$	Anzahl der Submodule je MMC-Zweig	1	8
$r$	Redundanzfaktor	1	11
$s$	Dig. Steuerwort für die Ansteuerung des DZ-DC-SM	1	96
$t_X$	Einleitung der Parallelschaltung der SM-Kondensatoren	s	113
$t_f$	Fallzeit der Super-Kaskode beim Ausschalten	s	146
$t_j$	Schaltinstanzen A-F für das 4-Level Pulsmuster	s	40
$t_{off}$	Ausschaltzeit eines Transistors	s	43
$t_{on}$	Einschaltzeit eines Transistors	s	43
$t_{rec}$	Ausschaltzeit einer Diode	s	43
$u_X$	Submodul-Klemmenspannung	V	13
$u_a$	Obere Zweigspannung der Phase U	V	10
$u_{C1}$	Kondensatorspannung ( $C_1$ )	V	118
$u_{C2}$	Kondensatorspannung ( $C_2$ )	V	118
$u_{CE}$	IGBT Kollektor-Emitter-Spannung	V	44
$u_{D1}$	Spannung der unteren Super-Kaskodenstufe	V	136
$u_{DS1}$	DS-Spannung der unteren Super-Kaskodenstufe	V	143
$u_{DS2}$	DS-Spannung der mittleren Super-Kaskodenstufe	V	136
$u_{DS3}$	DS-Spannung der oberen Super-Kaskodenstufe	V	136
$u_{DS}$	FET Drain-Source-Spannung	V	44
$u_F$	Dioden-Durchlassspannung	V	125
$u_{GS1}$	GS-Spannung der unteren Super-Kaskodenstufe	V	137
$u_{GS2}$	GS-Spannung der mittleren Super-Kaskodenstufe	V	136
$u_{GS3}$	GS-Spannung der oberen Super-Kaskodenstufe	V	136
$u_{GSM}$	GS-Spannung des Haupt-Treibers der Super-Kaskode	V	136
$u_{GSP}$	GS-Spannung des Impuls-Treibers der Super-Kaskode	V	137
$u_{GS}$	FET Gate-Source-Spannung	V	125
$u_{HD}$	Spannung an der Super-Kaskode	V	143
$u_R$	Dioden-Sperrspannung	V	44
$u_{U0}$	AC-Strangspannung der Phase U	V	10
$u_{X,ist}$	Istwert der DZ-DC-SM-Klemmenspannung	V	97
$u_{X,soll}$	Sollwert der DZ-DC-SM-Klemmenspannung	V	97
$u_{X1}$	Klemmenspannung von SM1 eines Clusters	V	46
$u_{X2}$	Klemmenspannung von SM2 eines Clusters	V	46
$u_{a,U_n}$	Untere Zweigspannung der Phase U	V	10
$u_{a,U_p}$	Obere Zweigspannung der Phase U	V	10
$x$	Reduktionsfaktor $x$ für die HL-Chipfläche	1	92

<b>Notation</b>	<b>Beschreibung</b>	<b>Einheit</b>	<b>Seite</b>
$y$	Reduktionsfaktor $y$ für die HL-Chipfläche	1	92



# Akronyme

<b>Notation</b>	<b>Beschreibung</b>	<b>Seite</b>
AC	Wechselstrom	1
c	charging	98
CD	Clamp-Double	17
CS	Central Switch	92
CSC	Current Source Converter	3
d	discharging	98
DC	Gleichstrom	1
DESAT	Desaturation	23
EA	Endlicher Automat	98
EMV	Elektromagnetische Verträglichkeit	7
FB	Full-Bridge	13, 15
FET	Field-Effect Transistor	26
HB	Half-Bridge	12, 14
HL	Halbleiter	62
HV	High Voltage	42
HVDC	High Voltage Direct Current	4
IC	Inner Core	92
IGBT	Insulated-Gate Bipolar Transistor	14
JFET	Junction Field-Effect Transistor	27, 124
LCC	Line Commutated Converter	13
LL	Leiter-Leiter	169
LV	Low Voltage	125

---

<b>Notation</b>	<b>Beschreibung</b>	<b>Seite</b>
MMC	Modular Multilevel Converter	1, 7
MOSFET	Metal Oxide Semiconductor Field-Effect Transistor	59
MVC	Multi-Variable Control	21, 95
MVDC	Medium Voltage Direct Current	7
pc	precharging	100
PWM	Pulsweitenmodulation	61
RC	Reverse Conducting	60
RMS	Root Mean Square	12
SFB	Semi-Full-Bridge	18
Si	Silizium	1
SiC	Siliziumkarbid	1
SIT	Static Induction Transistor	124
SM	Submodul(e)	8
SVC	Static VAR Compensator	3
TVS	Transient Voltage Suppressor	146
VSC	Voltage Source Converter	3