Universität der Bundeswehr München
Fakultät für Elektrische Energiesysteme und Informationstechnik

Analyse und Optimierung der Einflussfaktoren bei der Auslegung von Mehrstufen-Umrichtern

Julia Johanna Stöttner

Vollständiger Abdruck der von der Fakultät für Elektrische Energiesysteme
und Informationstechnik der Universität der Bundeswehr München
zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs (Dr.-Ing.)

angenommenen Dissertation.

Gutachter/Gutachterin:

1. Prof. Dr.-Ing. Christian Endisch
2. Prof. Dr.-Ing. habil. Thomas Weyh

Die Dissertation wurde am 30.10.2025 bei der
Universität der Bundeswehr München eingereicht und durch die Fakultät für
Elektrische Energiesysteme und Informationstechnik am 18.02.2026 angenommen.
Die mündliche Prüfung fand am 28.04.2026 statt.

„Dein Lebensweg ist die schwierigste Erstbegehung.
Hast Du Dich verstiegen, geh weiter!
Aufgeben ist nur ein Fallen auf Raten.“
Zitat aus einem deutschsprachigen Film.

. . . oder um es mit anderen Worten zu sagen:

„Ist der Berg auch noch so steil,
a bisserl was geht allerweil.“
Österreichisches Sprichwort

Vorwort

Die vorliegende Arbeit entstand an der TH Ingolstadt (Institut für Innovative Mobilität) im Zuge eines Forschungsprojektes mit der Audi AG (Abteilung Hochvolt-Speichersysteme).
Zunächst möchte ich mich herzlich bei Professor Dr.-Ing. habil Thomas Weyh für die Übernahme der Betreuung an der Universität der Bundeswehr München bedanken.
Mein aufrichtiger Dank gebührt Professor Dr.-Ing. Christian Endisch, zuallererst für die Gelegenheit, meine Promotion am Institut für innovative Mobilität in der Forschungsgruppe Lernfähige Systeme und Elektromobilität zu absolvieren. Dafür, dass mir eine Tür geöffnet wurde, als sich an anderer Stelle eine Tür zu schließen begann. Ich möchte mich herzlich für das mir entgegengebrachte Vertrauen und die jahrelange Unterstützung, sowohl aus fachlicher als auch persönlicher Sicht, seit dem Kennenlernen an der Technischen Universität München bedanken. Insbesondere für die Chance, die mir gegeben wurde, in jeglicher Hinsicht zu wachsen.
Ein besonderer Dank gebührt ebenso Dr.-Ing. Michael Hinterberger für die Unterstützung seitens der Audi AG, im Speziellen für seine fortwährenden innovativen Vorschläge und seine Hilfsbereitschaft während der gesamten Promotionszeit.
Zudem möchte ich mich herzlich bei Christian Hanzl bedanken, der sowohl mein größter Kritiker als auch Unterstützer war. Vielen Dank für die jahrelange fachliche und persönliche Begleitung. Durch Dich habe ich mitunter meine Leidenschaft für die Halbleitertechnologie entdeckt.
Vielen herzlichen Dank auch an alle meine Kolleginnen und Kollegen der Forschungsgruppe. Insbesondere möchte ich mich bei Christoph Hartmann und Tobias Buchberger bedanken, ihr wart eine unglaubliche persönliche Bereicherung, vor allem zu Beginn meiner Promotionszeit. Nicht weniger Dank gebührt Dr.-Ing. Ulrich Vögele, Dr.-Ing. Bernhard Liebhart, Dr.-Ing. Michael Schmid, Dr.-Ing. Dominik Schneider, Christoph Terbrack, Dr.-Ing. Martin Nachtsheim, Dr.-Ing. Jan Kleiner, Markus Kohler, Michael Theiler, Simon Diehl, Markus Hölzle, Andreas Rauscher, Katja Joenssen, Pablo Morales Torricos und allen anderen Kolleginnen und Kollegen für die fruchtbaren fachlichen Gespräche, die amüsanten Mittagspausen, den regen Austausch an der Kaffeemaschine und selbst für die manchmal schwierigen, aber immer bereichernden Diskussionen. Vor allem durch letztere konnte ich persönlich wachsen und möchte keine einzige davon missen.
Ein ganz besonderer Dank gebührt Alexander Baumann, den ich vor allem am Ende meiner Promotionszeit kennenlernen durfte. Danke Alex, dass Du stets an meiner Seite warst und ich mich immer auf Dich verlassen konnte.
Mein herzlicher Dank gilt ebenso Dr. Lidiya Komsiyska und Dr. Meinert Lewerenz. Lidiya, danke, dass Du insbesondere in schwierigen Zeiten fortwährend ein offenes Ohr für mich hattest und eine weibliche Bezugsperson warst. Danke auch, dass Du stets offen konstruktive Kritik geäußert und mir dabei geholfen hast, zu der Person zu werden, die ich jetzt bin. Meinert, herzlichen Dank für die vielzähligen lustigen Gespräche.
Ein Dank gebührt auch meinen Studenten Andreas Rauscher, Michael Raba, Mücahid Akbas, Jonathan Hüttner, Jonas Rosenberger und Michael Kiesewetter, die ich während meiner Promotionszeit betreuen durfte und die im Zuge ihrer Abschlussarbeit die Gestaltung meiner Dissertation kreativ unterstützt haben. Insbesondere danken möchte ich Dir, Andreas. Die Zusammenarbeit mit Dir war mir stets eine Freude und sehr bereichernd.
Ebenso möchte ich mich bedanken bei Dr.-Sc. Indira Dey, Dr.-Ing. Miriam Schüttoff, Melike Kizak und Lena Scherer für die wöchentlichen Austauschtermine, bei denen es mittlerweile keine Themen mehr gibt, die wir nicht miteinander besprechen können. Danke für diesen wertvollen Austausch.
Von Herzen Danke sagen möchte ich Elin Eriksson und Simone Seefelder. Auch wenn wir uns erst vor Kurzem kennengelernt haben, seid Ihr mir in kürzester Zeit zu unglaublich wichtigen Freundinnen geworden. Ich bin so dankbar, Euch in jeder Lebenslage an meiner Seite zu wissen.
Unsagbar bedanken möchte ich mich auch bei Amalia Oberlechner, Eva Estermann, Ingrid Göbl, Gerganga Schrack und Ana Maxie Matos de Fidalgo. Danke für Eure stetige Unterstützung, für die zutiefst wertvollen Gespräche, für Eure kontinuierliche Begleitung meines Werdegangs und für Euren unerschütterlichen Glauben an mich.

Abschließend danke ich meiner Familie. Ein besonderer Dank gilt meinen Mittis (Elisabeth, Christian, Maxi, Johannes), die mich über all die Jahre nicht nur ab und an kulinarisch bestens versorgt, sondern auch persönlich begleitet und unterstützt haben. Danke, dass Ihr immer da seid, wenn es darauf ankommt!
Danke Dir, Susi, dass Du ein positives Highlight in meinem Leben darstellst und die dunkelsten Stunden meines Lebens mit einem Lachen erhellt hast. Danke Benedikt, dass Du wirklich immer ein offenes Ohr für mich hast und ich bei Dir an meine sportlichen Grenzen gehen darf, ohne dass es Dich stört!
Papa, vielen Dank, dass Du mir stets die Freiheit gelassen hast, das zu tun, was ich möchte und mir keine Grenzen gesetzt hast. Und danke, dass Du zweimal umgekehrt bist. Das werde ich Dir nie vergessen.
Der mitunter größte und tiefste Dank gilt Dir, Mama. Du warst und bist immer an meiner Seite und bist jeden meiner Wege mit mir gemeinsam gegangen, ob durch ein Tal oder auf einen Gipfel. Meine Dankbarkeit lässt sich nicht in Worte fassen, denn durch Dich bin ich, wer ich bin. Dir widme ich diese Arbeit.

Kurzfassung

Die vorliegende Arbeit beschäftigt sich mit dem Design und der Wirkungsweise von batteriebasierten Multilevel-Invertern. Ein aktuelles Forschungsthema umfasst die Suche nach einer optimalen Inverterstruktur, die bei minimalem Hardwareaufwand einen maximalen Funktionsumfang bietet. Im Zuge einer Grundlagenuntersuchung werden die wesentlichen Eigenschaften einer neuartigen Multilevel-Inverterstruktur vorgestellt und auftretende Effekte charakterisiert. Nicht nur die Mikrotopologie spielt eine wichtige Rolle beim Design von Multilevel-Invertern. Weitere Stellhebel wie die makroskopische Gestaltung, das Design der Submodule, deren Symmetrie oder das zugrundeliegende Ansteuerverfahren haben einen essenziellen Einfluss auf die Wirkungsweise. Auf Basis der Klassifizierung und Auseinandersetzung mit den wesentlichen Einflussfaktoren von Multilevel-Invertern werden die zentralen Parameterabhängigkeiten identifiziert. Dabei werden Zustandsvariablen wie die Stufenhöhe der Ausgangsspannungsform und der Ladezustand der Energiespeichereinheiten in die Untersuchungen einbezogen. In einem sukzessiven Design-, Analyse- und Optimierungsprozess werden die jeweiligen Abhängigkeiten im Detail beleuchtet, ihre gegenseitige Einflussnahme bewertet und so vielversprechende Multilevel-Inverter-Designs herausgearbeitet. Bewertungskriterien wie die Inverterkosten, der Verzerrungsgehalt der Ausgangsspannungen und die Systemverluste dienen als Grundlage für die Identifizierung der vielversprechendsten Invertersysteme. Neben der Optimierung der Designs und eines geeigneten Vergleichs wird im Zuge des Analyseprozesses eine Empfehlung des Einsatzes der einzelnen Invertersysteme gegeben.

Abstract

This thesis deals with the design and functionality of battery-based multilevel inverters. A current research topic involves the quest for an optimal inverter structure that offers maximum functionality while keeping the hardware requirements as low as possible. As part of fundamental investigations, the essential characteristics of an innovative multilevel inverter structure are presented and the occurring effects are characterized. Not only the microtopology plays a crucial role in the design of multilevel inverters. Other factors such as the macroscopic topology, the design of the submodules, their symmetry and the underlying control method also have a significant impact on the functionality. Based on the classification and examination of the essential influencing factors of multilevel inverters, the central parameter dependencies are identified. In this context, state variables such as the step height of the output voltage waveform and the state of charge of the energy storage units are incorporated into the investigations. In a successive design, analysis and optimization process, the respective dependencies are examined in detail, their mutual influence is evaluated and promising multilevel inverter designs are identified. Evaluation criteria such as the inverter costs, the distortion content of the output voltages and the system losses serve as the basis for identifying the most promising inverter systems. Alongside the optimization of the designs and an appropriate comparison, a recommendation for the use of the individual inverter systems is provided during the analysis process.

Inhaltsverzeichnis

1 Einführung **1**
1.1 Ausgangspunkt . . . 2
1.2 Zielsetzung und Beitrag der Arbeit . . . 3

2 Grundlagen **7**
2.1 Multilevel-Inverter . . . 10
2.1.1 Allgemeines Funktionsprinzip und Begriffsdefinitionen . . . 10
2.1.2 Topologien: Einführung und Überblick . . . 12
2.1.2.1 Spannungsgespeiste Multilevel-Inverter . . . 12
2.1.2.2 Makrotopologien . . . 14
2.1.3 Ansteuerverfahren von Multilevel-Invertern . . . 17
2.1.3.1 Niederfrequente Verfahren . . . 18
2.1.3.2 Hochfrequente Verfahren . . . 22
2.1.4 Spezifikationen von Multilevel-Invertern . . . 24
2.1.5 Begriffsdefinition der Modulkombination zur Bildung eines Spannungslevels . . . 25
2.1.6 Begriffsdefinition der Parallelpack-Formation . . . 27
2.2 Einführung der Energiespeichereinheit . . . 29
2.2.1 Ersatzschaltbild einer Lithium-Ionen-Batteriezelle . . . 29
2.2.2 Ersatzschaltbild einer Energiespeichereinheit . . . 30
2.3 Der MOSFET als Schaltelement in einem Multilevel-Inverter . . . 32
2.3.1 Kennlinienfeld eines MOSFET . . . 33
2.3.1.1 Sperrender Zustand . . . 33
2.3.1.2 Ohmscher Bereich . . . 34
2.3.1.3 Aktiver Bereich . . . 34
2.3.1.4 Lawinendurchbruch . . . 35
2.3.1.5 Inversbetrieb . . . 35
2.3.2 Auswahl eines MOSFET . . . 35

3 Parallel Enhanced Commutation Integrated Nested-Topologie **37**
3.1 Stand der Technik . . . 37
3.2 Mikroskopische und makroskopische Verschaltung . . . 42
3.2.1 Vorstellung der Mikrotopologie . . . 42
3.2.2 Vorstellung der Makrotopologie . . . 43
3.3 Spannungsfestigkeit der inhärenten Schalter . . . 44
3.4 Hardware-Implementierung für praktische Untersuchungen . . . 45
3.5 Darstellung als H-Brückenstruktur . . . 47
3.6 Modellierung von Parallelverbünden . . . 48
3.7 Exkurs: Identifikation parasitärer Effekte . . . 50
3.7.1 Stand der Technik . . . 50
3.7.2 Vorstellung der untersuchten Schalthandlung . . . 51

3.7.3 Vorstellung der parasitären Effekte . . . 52
3.7.3.1 Parasitäre Selbsteinschaltung von MOSFETs . . . 53
3.7.3.2 Parasitäre Kommutierungspfade . . . 55
3.7.3.3 Oszillationen . . . 56
3.7.4 Gegenmaßnahmen . . . 58

4 Identifikation der Einflussfaktoren 59
4.1 Die Klassifikation . . . 59
4.2 Vorstellung der Zustandsvariablen . . . 63
4.2.1 Die Stufenhöhe . . . 63
4.2.2 Der Modulationsindex . . . 64
4.2.3 Der Ladezustand . . . 64
4.3 Vorstellung der internen Einstellgrößen . . . 65
4.3.1 Mikroskopische und makroskopische Topologie . . . 65
4.3.1.1 Die Mikrotopologie . . . 65
4.3.1.2 Die Makrotopologie . . . 65
4.3.2 Die Konfiguration . . . 65
4.3.2.1 Stand der Technik . . . 67
4.3.2.2 Symmetrischer Multilevel-Inverter . . . 70
4.3.2.3 Asymmetrischer Multilevel-Inverter . . . 74
4.3.3 Die Schaltfrequenz . . . 78
4.3.4 Das Ansteuerverfahren . . . 80
4.4 Vorstellung der Bewertungskriterien . . . 80
4.4.1 Die Systemverluste . . . 80
4.4.1.1 Die Leitverluste . . . 80
4.4.1.2 Die Schaltverluste . . . 82
4.4.2 Der Total-Harmonic-Distorion-Wert . . . 83
4.4.2.1 Allgemein . . . 83
4.4.2.2 Empfohlene Grenzwerte . . . 86
4.4.2.3 Numerische Ermittlung des Total-Harmonic-Distortion-Werts . . . 86
4.4.3 Die Systemkosten . . . 87
4.4.3.1 Stand der Technik . . . 87
4.4.3.2 Implementiertes Kostenmodell . . . 89

5 Parameterabhängigkeiten: Identifikation und Optimierung 97
5.1 Identifikation und Differenzierung der Abhängigkeiten . . . 97
5.1.1 Abhängigkeiten der Einflussfaktoren . . . 99
5.1.2 Zusammenfassung und Ableitung der relevanten Abhängigkeitscluster . . . 103
5.2 Parameterabhängigkeiten: Cluster Hardwareaufbau . . . 106
5.2.1 Stand der Technik . . . 106
5.2.2 Analyse und Optimierung . . . 109
5.2.2.1 Submodul-Konfiguration ↔ Stufenhöhe ↔ Multilevel-Inverter- Spezifikationen . . . 110
5.2.2.2 Submodul-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Mikrotopologie ↔ Systemkosten . . . 117
5.2.3 Zusammenfassung und Fazit des ersten Clusters . . . 126
5.3 Parameterabhängigkeiten: Cluster THD . . . 128
5.3.1 Stand der Technik . . . 128
5.3.2 Analyse und Optimierung . . . 130
5.3.2.1 Phasenzahl ↔ Total-Harmonic-Distortion-Wert . . . 130
5.3.2.2 Stufenhöhe ↔ Schaltfrequenz ↔ Total-Harmonic-Distortion-Wert . . . 132

5.3.2.3 Stufenhöhe ↔ Schaltfrequenz ↔ Amplitudenmodulationsindex ↔ Total-Harmonic-Distortion-Wert . . . 135
5.3.2.4 Submodul-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Mikrotopologie ↔ Total-Harmonic-Distortion-Wert . . . 137
5.3.2.5 Submodul-Konfiguration ↔ Amplitudenmodulationsindex ↔ Total-Harmonic-Distortion-Wert . . . 147
5.3.2.6 Submodul-Konfiguration ↔ Mikrotopologie ↔ Total-Harmonic-Distortion-Wert ↔ Systemkosten . . . 149
5.3.3 Zusammenfassung und Fazit des zweiten Clusters . . . 151
5.4 Parameterabhängigkeiten: Cluster Verluste . . . 153
5.4.1 Stand der Technik . . . 153
5.4.2 Analyse und Optimierung . . . 156
5.4.2.1 Submodul-Konfiguration ↔ Mikrotopologie ↔ Schaltverluste ↔ Leitverluste . . . 157
5.4.2.2 Submodul-Konfiguration ↔ Mikrotopologie ↔ Amplituden-modulationsindex ↔ Systemkosten ↔ Total-Harmonic-Distortion-Wert ↔ Verluste . . . 164
5.4.3 Zusammenfassung und Fazit des dritten Clusters . . . 168
5.5 Parameterabhängigkeiten: Cluster Parallelisierung . . . 171
5.5.1 Stand der Technik . . . 171
5.5.2 Analyse und Optimierung . . . 172
5.5.2.1 Parallelpack-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Submodul-Konfiguration . . . 172
5.5.2.2 Parallelpack-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Submodul-Konfiguration ↔ Leitverluste . . . 178
5.5.2.3 Parallelpack-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Leitverluste ↔ Ladezustände . . . 182
5.5.3 Zusammenfassung und Fazit des vierten Clusters . . . 187

6 Prägnante Gegenüberstellung mit einem konventionellen B6-Wechselrichter 189

7 Zusammenfassung der wichtigsten Erkenntnisse 193
7.1 Erkenntnisse zur Parallel Enhanced Commutation Integrated Nested-Topologie . . . 193
7.2 Erkenntnisse zur Identifikation der Parameterabhängigkeiten . . . 194
7.3 Erkenntnisse zum Vergleich mit einem konventionellen B6-Wechselrichter . . . 196

Anhang

A Grundlegende Definitionen und Herleitungen 199
A.1 Mathematische Grundlagen . . . 199
A.1.1 Der Binomialkoeffizient . . . 199
A.1.2 Die Anzahl an ganzzahligen Teilern . . . 199
A.1.3 Das Zustandsraummodell . . . 200
A.1.4 Die Fourierreihe . . . 200
A.1.5 Analytische Bestimmung des Oberwellengehalts einer Rechteckfunktion . . . 202
A.1.6 Bestimmung des Total-Harmonic-Distortion-Werts auf Basis der Matlab-Fast Fourier Transformation . . . 203
A.1.7 Grenzwertempfehlungen für den Strom-Oberwellengehalt . . . 205
A.1.8 Ergänzungen zur Redundanz in einem symmetrischen Multilevel-Inverter . . . 205
A.1.9 Beschreibung der Pareto-Optimierung . . . 207
A.1.10 Systemgleichungen des Ersatzschaltbilds eines MLI-Phasenstrangs . . . 208
A.1.10.1 Zustandsraummodell einer Energiespeichereinheit . . . 208

A.1.10.2 Zustandsraummodell eines Parallelpacks 209
A.2 Theoretische Schaltzustände in der PECIN-Mikrotopologie 215

B Messaufbauten **217**
B.1 Eingesetzte Batteriezelle 217
B.2 Messung der Schalttransitionen 217
B.3 Messung der Schleifeninduktivitäten 219
B.4 Messung der Pfadwiderstände 221

Abkürzungsverzeichnis **223**

Symbolverzeichnis **225**

Literaturverzeichnis **237**

1 Einführung

In der Leistungselektronik moderner Energieumwandlungssysteme gewinnen modulare Konzepte zunehmend an Bedeutung, da sie eine Synthese elektrischer Spannungen aus diskreten Spannungsstufen ermöglichen. Diese sogenannten *Multilevel-Inverter (MLIs)* erlauben im Vergleich zu konventionellen Zwei- oder Dreipunkt-Umrichtersystemen eine deutlich feinere Approximation sinusförmiger Ausgangsspannungen und tragen damit wesentlich zur Reduzierung der Oberwellen sowie zur Verbesserung der elektrischen Energiequalität bei.

Ein wesentlicher Meilenstein dieser Entwicklung ist das maßgeblich durch Arbeiten von *Rainer Marquardt* geprägte Konzept des kondensatorbasierten *Modular multilevel converter (MMC)*. Dieses beruht auf der Kaskadierung identischer Submodule, die typischerweise als Halbbrücken- oder H-Brückenstrukturen ausgeführt sind und jeweils über Kondensatoren verfügen. Die Kondensatoren fungieren dabei als lokale Energiespeicher, deren Spannungsniveau im Betrieb aktiv geregelt wird. Diese Architektur ermöglicht die Erzeugung hoch aufgelöster, stufenförmiger Ausgangsspannungen bei gleichzeitig hoher Effizienz und Skalierbarkeit. Aufgrund dieser Eigenschaften hat sich die MMC-Technologie weltweit als Stand der Technik im Bereich leistungsstarker Hochspannungsumrichter etabliert. Typische Anwendungen finden sich in Hochvolt-Gleichspannungsübertragungssystemen, in der Netzkopplung unterschiedlicher Frequenzsysteme sowie in Hochleistungsantrieben industrieller Energieversorgungssysteme. Während diese Entwicklungen der kondensatorbasierten MMC-Systeme primär auf Hoch- und Höchstspannungsanwendungen ausgerichtet sind und trotz der Spannungsmodularisierung weiterhin den Einsatz hochspannungsfähiger Leistungshalbleiter erfordern, eröffnet die Übertragung des modularen Konzepts auf Batteriesysteme neue Freiheitsgrade im Bereich elektrischer Fahrzeugantriebe. Batteriebasierte MLI-Systeme operieren typischerweise in deutlich niedrigeren Spannungsbereichen und nutzen anstelle von Kondensatoren Batteriezellen als Energiespeichereinheiten, folgen jedoch grundsätzlich demselben Prinzip der modularen Spannungsbildung. Kondensatorbasierte MMC-Systeme können damit als technologischer Vorreiter und konzeptioneller Ausgangspunkt batteriebasierter MLI-Systeme verstanden werden.

Das Batteriesystem eines Elektrofahrzeugs setzt sich aus einer Vielzahl an Batteriezellen zusammen. Die Verschaltung der Batteriezellen ist starr und kann während des Betriebs nicht geändert werden. Jede Batteriezelle befindet sich permanent im Lastpfad. Für den Betrieb einer elektrischen Maschine mit einem derartigen Batteriesystem ist der Einsatz eines Wechselrichters notwendig. Der Wechselrichter konventioneller Elektrofahrzeuge ist in der Regel in einer B6-Brückenstruktur angelegt, welche sich aus insgesamt sechs Halbleiterschaltelementen zusammensetzt. Aufgrund der konstanten Gleichspannung, die vom Batteriesystem ausgegeben wird, sind hierzu Hochspannungs-Halbleiterelemente notwendig, die den hohen Spannungen standhalten können. Bei jedem Schaltvorgang wird stets die volle Batteriespannung geschaltet. Der Oberwellengehalt der erzeugten Ausgangsspannungsmuster ist in der Folge vergleichsweise groß. Um trotz der hohen Schaltspannungen die Grundwelle der erzeugten Ausgangsspannungen einer sinusförmigen Wechselspannung anzunähern und damit den Verzerrungsgehalt der Spannungen zu minimieren, sind beträchtliche Schaltfrequenzen erforderlich. Die hohen Schaltfrequenzen führen jedoch zu hohen Schaltverlusten im Invertersystem. Die starre Verschaltung der Batteriezellen im Batteriesystem führt weiterhin dazu, dass das System stark von dem Zustand der einzelnen Batteriezellen abhängt. Je nach Lade- oder Entladevorgang ist das System durch das

Verhalten der Zelle mit dem höchsten bzw. dem geringsten Ladezustand begrenzt und die Reichweite limitiert. Auch im Fehlerfall einer Batteriezelle muss stets das gesamte Batteriesystem abgeschaltet werden.

Batteriebetriebene MLI-Systeme bieten hierbei das Potential, einige dieser Nachteile abzumildern bzw. vollständig zu vermeiden. Durch die Integration von Halbleiterelementen im Batteriesystem entfällt die Leistungselektronik im Elektrofahrzeug als eigenständige Komponente. Jede Batteriezelle bzw. ein Modul, bestehend aus zwei oder mehreren Zellen, wird mit ihrer eigenen Leistungselektronik ausgestattet. Es entsteht die Freiheit, nur die Batteriezellen aktiv zu schalten, die für die aktuelle Erzeugung der geforderten Spannungsreferenz am Eingang des Invertersystems notwendig sind. Durch die flexible Kombination der einzelnen Zell- bzw. Modulspannungen lassen sich stufenförmige Ausgangsspannungen erzeugen. Folglich liegt an den Ausgangsklemmen nicht mehr die volle Batteriespannung an. Diese Steigerung in der Präzision der Nachbildung geforderter Referenzspannungen am Ausgang des Inverters führt zu einer Reduzierung des Oberwellengehalts der erzeugten Phasenspannungen. Die Erfordernis hoher Schaltfrequenzen ist somit im Vergleich zum herkömmlichen System im Elektrofahrzeug weniger ausgeprägt. Durch die reduzierten Modulspannungen wird die Belastung der Halbleiterschaltelemente verringert, was den Einsatz von Niederspannungs-Halbleiterelementen ermöglicht. Darüber hinaus führt die Verringerung des Gradienten der Schaltspannungen zu einer potenziellen Verbesserung der *elektromagnetischen Verträglichkeit (EMV)* des Systems. Je nach Schaltungsstruktur der Halbleiterelemente können neben einer reinen Serienschaltung auch Parallelverschaltungen der Batteriezellen realisiert werden. Dies eröffnet bei hinreichend geringer aktueller Referenzspannung die Freiheit, gegenwärtig ungenutzte Batteriezellen den stromführenden Batteriezellen parallel zu schalten und damit deren Belastung zu reduzieren. Neben einem Belastungsausgleich kann diese Parallelisierung zur Reduzierung der Leitverluste führen.

Anhand der zuvor beschriebenen Eigenschaften eines MLI-Systems wird deutlich, dass dessen Leistungsfähigkeit und Funktionsweise wesentlich von den zugrunde liegenden Einflussfaktoren bzw. Designgrößen bestimmt wird. Dabei beeinflussen nicht nur Einstellgrößen wie die Modulkonfiguration, die MLI-Topologie, das Ansteuerverfahren oder die Schaltfrequenz die Wirkungsweise eines MLI. Externe Vorgaben und Bewertungskriterien wie die Systemverluste, der Oberwellengehalt und die Inverterkosten spielen ebenso eine entscheidende Rolle. Diese können die Funktionsfähigkeit eines MLI einschränken und müssen deshalb beim Design eines MLI unbedingt berücksichtigt werden. Zustandsvariablen wie die Stufenhöhe in den MLI-Ausgangsspannungen oder der Ladezustand der Energiespeichereinheiten lassen sich im Wesentlichen nicht direkt steuern. Dennoch beeinflussen diese andere Designgrößen und damit ebenfalls die Gesamtfunktionalität des MLI-Systems. Bei der Auslegung eines MLI ist es daher von essenzieller Bedeutung, einen gesamtheitlichen Blick auf alle Einflussfaktoren zu legen, um das bestmögliche Umrichtersystem zu entwickeln.

1.1 Ausgangspunkt

Es existieren eine Vielzahl an Stellhebeln und Einflussfaktoren, die beim Design von Multilevel-Invertern berücksichtigt werden müssen. In diesem Kontext sind auch Bewertungskriterien von entscheidender Bedeutung. Diese erlauben eine Beurteilung der Systemqualität und ermöglichen einen Vergleich sowohl mit dem konventionellen Invertersystem als auch mit anderen Ausführungen von MLIs. Chang et al. stellen in ihrer Arbeit ein konventionelles B6-Invertersystem einem symmetrischen MLI gegenüber, welcher sich aus H-Brückenmodulen zusammensetzt, und zeigen das Potential hinsichtlich der Effizienzsteigerung auf [20]. Die Autoren beziehen in den Vergleich auch den Kos-

tenaspekt der Invertersysteme mit ein. Neben einer symmetrischen Gestaltung der Submodule in einem MLI können die Module auch in einem asymmetrischen Verhältnis ausgelegt sein. Dixon et al. verdeutlichen das Potential asymmetrischer MLI-Systeme in Form einer Minimierung des Bauteilaufwands bei einer gleichzeitigen Erhöhung der Ausgangsspannungslevel im Vergleich zu einem symmetrischen MLI-Design [30–32]. Die Anzahl der Spannungslevel und in der Folge die Stufenzahl des MLI-Ausgangsspannungsmusters beeinflussen wiederum den resultierenden Oberwellengehalt erheblich [79]. Dabei muss zudem der Einfluss der Schaltfrequenz auf den Oberwellengehalt berücksichtigt werden. Diese Frequenz repräsentiert ebenso einen Stellhebel in einem MLI. Das Ziel der Bauteilreduktion ist dabei nicht nur hinsichtlich der Modulgestaltung von entscheidender Relevanz. Unzählige Veröffentlichungen beschäftigen sich damit, die Anzahl an Halbleiterelementen innerhalb eines MLI-Moduls zu reduzieren und zugleich einen maximalen Funktionsumfang des MLI zu gewährleisten [3–6, 9, 22, 50, 117]. Goetz et al. stellen beispielsweise eine sogenannte *Modular multilevel series parallel converter (MMSPC)*-Struktur vor [44]. Diese Topologie bietet eine große Funktionsbandbreite, indem sie sowohl ein individuelles Überbrücken der einzelnen Spannungsquellen als auch die Erzeugung positiver sowie negativer Ausgangsspannungen erlaubt. Zudem lassen sich mit dieser Struktur die inhärenten Batteriezellen parallel schalten. Die Zahl der eingesetzten Halbleiterelemente ist dabei allerdings vergleichsweise hoch.
Wie die Forschungsergebnisse der Autoren Chen et al. sowie Wang et al. in ihren Studien verdeutlichen, ist auch der Einfluss der parasitären Komponenten der Halbleiterelemente in einer leistungselektronischen Schaltung nicht zu unterschätzen [24, 167].

1.2 Zielsetzung und Beitrag der Arbeit

Die vorliegende wissenschaftliche Arbeit leistet die folgenden Beiträge zum Stand der Technik und zur Unterstützung der laufenden Forschung im Bereich der Invertersysteme:

1. Grundlagenuntersuchung einer neu entwickelten MLI-Mikrotopologie, Darstellung des grundsätzlichen Funktionsprinzips im Vergleich zu Stand der Technik-Mikrotopologien, praktische Untersuchung der Schaltcharakteristik sowie die Identifikation parasitärer Effekte [153, 161] – Kapitel 3

2. Identifikation, Klassifizierung und Analyse der wichtigsten Einflussfaktoren beim Design von MLI-Systemen – Kapitel 4

3. Vorstellung und Untersuchung der Modulkonfiguration beim MLI-Design, insbesondere hinsichtlich der Symmetrie der Module und deren Einfluss auf die Funktionalität eines MLI [152] – Abschnitt 4.3.2

4. Entwicklung von asymmetrischen MLI-Designs bestehend aus sogenannten Restmodulen sowie Puffermodulen und Aufzeigen des Potentials dieser im Vergleich zu herkömmlichen symmetrischen MLI-Systemen [155] – Abschnitt 5.2

5. Implementierung eines Kostenmodells für kaskadierte MLI-Systeme unterschiedlichster Modulkonfigurationen und Mikrotopologien sowie eine optimierte Auswahl von Halbleiterelementen in den jeweiligen MLI-Submodulen [155] – Abschnitt 4.4.3, Abschnitt 5.2

6. Identifikation der Wechselwirkungen und Parameterabhängigkeiten beim MLI-Design unter Einbezug eines sukzessiven Optimierungs- sowie Vergleichsprozesses zur Ermittlung eines optimalen MLI-Designs [152, 155, 156] – Kapitel 5

7. Identifikation eines Randzellenproblems bei der Parallelisierung von Energiespeichereinheiten im Antriebsstrang, Durchführung einer Sensitivitätsanalyse der Widerstandsverhältnisse zwischen den Pfaden der Energiespeichereinheiten sowie der Schalterpfade und Entwicklung eines effektiven Parallelisierungsalgorithmus zur Eindämmung dieses Problems [154] – Abschnitt 5.5

Dieses Buch hat zum Ziel, dem Leser einen umfassenden Einstieg in das Gebiet der batteriebasierten MLIs zu geben. Es vermittelt die wesentlichen Eigenschaften dieser Invertersysteme, beleuchtet sämtliche relevante Einflussfaktoren beim Design von MLIs und geht detailliert auf die Wechselwirkungen der Parameter ein. Der Leser erhält fundierte Kenntnisse durch einen schrittweisen Design- und Optimierungsprozess sowie die kontinuierliche Erweiterung der Parameterbandbreite. Die Beschreibungen der Wechselwirkungen ermöglichen es, Designempfehlungen abzuleiten und somit eine Orientierung für mögliche Designprozesse zu gewinnen.

Kapitel 2 bietet eine Einführung in das Themengebiet der MLI-Systeme. Es behandelt das grundlegende Funktionsprinzip derartiger Invertersysteme, erläutert zentrale Begriffe und stellt relevante MLI-Strukturen und gängige Ansteuerverfahren vor. Der zweite Teil dieses Grundlagenkapitels befasst sich mit einer allgemeinen Beschreibung wichtiger Grundlagen zu Batteriezellen sowie Halbleiterelementen.

Die bereitgestellten Grundlagen ebnen den Weg für eine geeignete Analyse von MLI-Systemen und im Speziellen für deren Design. Bevor die Einflussfaktoren identifiziert, analysiert und deren Abhängigkeiten herausgearbeitet werden, erfolgt in **Kapitel 3** zunächst die Vorstellung der sogenannten *Parallel enhanced commutation integrated nested structure (PECIN)*-Topologie, welche neben weiteren repräsentativen Topologievarianten die zentrale Grundlage für die Untersuchungen in den weiterführenden Kapiteln darstellt. Eine Gegenüberstellung wichtiger Mikrotopologien im ersten Teil dieses Kapitels vermittelt einen allgemeinen Überblick über die relevanten Designfragen der MLI-Mikrotopologien, die zugehörigen Spezifikationen und dem vorhandenen Funktionsumfang. Im zweiten Teil von Kapitel 3 erfolgt eine detaillierte Erläuterung der PECIN-Struktur mit Fokus auf die jeweiligen Schaltzustände, die Spannungsfestigkeit der inhärenten Schalter sowie deren Modellierung. Letztere ist insbesondere für die Implementierung von Parallelverbünden von essenzieller Bedeutung. Zudem wird eine Hardware-Realisierung dieser Struktur vorgestellt, die die Grundlage verschiedener Messungen bildet. Das Kapitel wird durch die Vorstellung identifizierter parasitärer Effekte komplettiert, die im Zuge der Analyse der Schaltcharakteristika auftreten. Die Identifikation dieser Effekte wird auf andere MLI-Topologien ausgeweitet.

Kapitel 4 beantwortet die Frage, welche wesentlichen Einflussfaktoren bei einem MLI existieren und welche dessen Design und Wirkungsweise beeinflussen. Neben einer Klassifizierung aller relevanter Einflussfaktoren zielt dieses Kapitel insbesondere darauf ab, die identifizierten Einflussfaktoren im Detail zu beleuchten und wichtige Definitionen und Zusammenhänge einzuführen. Dabei lassen sich direkt und indirekt einstellbare Einflussfaktoren unterscheiden.

Die Kapitel 2 bis 4 verdeutlichen, welche Einflussfaktoren bei dem Design eines MLI existieren. Vor allem die Wechselwirkungen und Abhängigkeiten dieser Faktoren zueinander können den Entwurf eines MLI sowie auch dessen Wirkungsweise stark erschweren. Bei der Festlegung eines Einstellgröße muss die Auswirkung auf die anderen Einflussfaktoren stets berücksichtigt werden. Der Schwerpunkt im ersten Teil von **Kapitel 5** liegt daher auf der Identifizierung und Verdeutlichung aller relevanter Abhängigkeiten der Einflussfaktoren mittels einer Abhängigkeitsmatrix. Diese verdeutlicht alle bestehenden Abhängigkeiten und bewertet sie entsprechend der Intensität des gegenseitigen Einflusses der Faktoren.

Zudem erfolgt eine Einteilung in eine direkte und indirekte Beeinflussung. Die Abhängigkeitsmatrix bietet die Grundlage für die Identifikation und Ableitung der relevanten Abhängigkeiten zwischen den Einflussfaktoren. Im zweiten Teil dieses Kapitels erfolgt anschließend ein ausführlicher Analyseprozess dieser identifizierten Abhängigkeiten. Dabei wird die Bandbreite der betrachteten Einflussfaktoren sukzessive erhöht, um so die Systemkomplexität zu minimieren und die Untersuchungen möglichst nachvollziehbar zu gestalten. Bei diesen Analysen werden sowohl allgemeine Betrachtungen als auch ausgewählte, repräsentative Beispiele herangezogen, um die jeweiligen Wechselwirkungen bestmöglich zu veranschaulichen. Zusätzlich zu der Analyse der Einflussfaktoren werden Optimierungsansätze einzelner Systemdesigns vorgestellt, um so aus ganzheitlicher Sicht die vielversprechendsten MLI-Designs zu ermitteln. Vergleichsbasis hierzu bieten die Bewertungskriterien in Form der Systemverluste, des Oberwellengehalts sowie der Inverterkosten. Im Zuge dieses Optimierungs- und Vergleichsprozesses werden an geeigneten Stellen Empfehlungen für den Einsatz der individuellen MLI-Designs erläutert.

In **Kapitel 6** erfolgt eine prägnante Gegenüberstellung ausgewählter MLI-Designs mit der konventionellen Struktur eines B6-Wechselrichters im Elektrofahrzeug. Hierzu werden zwei spezielle MLI-Varianten herangezogen, welche in Kapitel 5 im Zuge der gesamtheitlichen Gegenüberstellung als die vielversprechendsten Varianten identifiziert wurden. Dabei werden sowohl eine symmetrische als auch eine asymmetrische Ausführung der Modulkonfiguration berücksichtigt. Die Gegenüberstellung erfolgt neben den Bewertungskriterien in Form der Systemkosten, des Oberwellengehalts sowie der Schalter- als auch der Batterieverluste anhand spezifischer MLI-Charakteristika. Letztere wurden im Zuge der Grundlagen eingeführt und stellen repräsentative Merkmale von Invertersystemen dar. Der Vergleich erfolgt auf der Basis von Ergebnissen, welche in systemrelevanten Betriebspunkten aufgenommen wurden.

Kapitel 7 fasst die wichtigsten Erkenntnisse und Ergebnisse der vorliegenden Arbeit zusammen.

2 Grundlagen

Das Herzstück eines Elektrofahrzeugs bildet der elektrische Antriebsstrang. Dieser setzt sich bei einem konventionellen batteriebetriebenen Elektrofahrzeug (*battery electric vehicle*, BEV) im Wesentlichen aus drei Hauptkomponenten zusammen: der *Hochspannungs (high-voltage, HV)-Batterie*, der *Leistungselektronik* sowie der *elektrischen Maschine*. Dabei besteht das Batteriesystem als eigentlicher Energiespeicher in der Regel aus einer Vielzahl an Batteriezellen. Um Systemanforderungen an die Spannung sowie die Kapazität zu erfüllen, sind diese sowohl seriell als auch parallel zueinander verschaltet. Die Verschaltung erfolgt dabei in starrer Weise, d.h. die Verbindung der einzelnen Batteriezellen ist mechanisch fix und kann während des Betriebs nicht verändert werden. Der Zustand des Batteriesystems ist deshalb je nach Entlade- oder Ladevorgang stets durch die Batteriezelle mit dem geringsten bzw. höchsten Ladezustand im System begrenzt. Die Batterie liefert eine konstante Gleichspannung an den Ausgangsklemmen, die während des Betriebs -abgesehen von der Veränderung der Ladezustände der Lithium-Ionen-Zellen- nicht direkt beeinflusst werden kann. Um die für die elektrische Maschine benötigte Wechselspannung zu erzeugen, ist zwischen dem Batteriesystem und der elektrischen Maschine ein Wechselrichter im Antriebsstrang integriert. Dieser wandelt die *Gleichstrom (direct current, DC)*-Spannung des Batteriesystems in eine -in der Regel- dreiphasige Wechselspannung um und wird auch als konventioneller Spannungswechselrichter (*voltage source inverter*, VSI) bezeichnet. Die Struktur des Wechselrichters entspricht einer B6-Brücke, die sich aus sechs Halbleiterschaltern zusammensetzt. Jeweils zwei dieser Schalter bilden eine Halbbrücke, bestehend aus einem sogenannten High-Side- sowie einem Low-Side-Schalter. Jede Halbbrücke erzeugt eine der drei Phasenspannungen zur Versorgung der elektrischen Maschine, die jeweils an den Klemmen a, b sowie c abgegriffen werden. Der Schaltzustand aller High-Side-Schalter muss dabei stets dem inversen Zustand des komplementären Low-Side-Schalters in dem zugehörigen Halbbrückenzweig entsprechen, um ein Kurzschließen des Batteriesystems zu vermeiden. In der konventionellen Struktur kommen in der Regel sogenannte *Bipolartransitoren mit isolierter Gate-Elektrode (insulated-gate-bipolar transistor, IGBT)*-Schalter zum Einsatz. Abbildung 2.1 zeigt hierzu die grundsätzliche Topologie des Wechselrichters in Form der B6-Brücke. Die Darstellung bildet dabei im Speziellen die Position des konventionellen Inverters zusammen mit der HV-Batterie im Regelkreis eines Antriebssystems ab. Wie erkennbar, ist der VSI dem HV-Batteriesystem nachgeschaltet. Um Spannungsschwankungen zu vermeiden und damit eine stabile Spannungsversorgung zu gewährleisten, befindet sich zwischen der Batterie und dem Wechselrichter ein Zwischenkreiskondensator C_{DC}. Aufgrund der konstanten Gleichspannung des HV-Batteriesystems und der B6-Struktur lassen sich je Inverterphase lediglich drei unterschiedliche Spannungslevel erzeugen. Der Wechselrichter wird auch als *Dreipunktwechselrichter* bezeichnet. Um die Forderung einer in der Regel sinusförmigen Wechselspannung der elektrischen Maschine zu erfüllen, erfolgt eine *Pulsweitenmodulation (PWM)* infolge eines hochfrequenten Schaltens der Halbleiterelemente in der B6-Brücke. Es entstehen stark pulsierende Ausgangsspannungen. Ein entsprechendes Muster ist beispielhaft in Abbildung 2.1 für die Phasenspannung u_{a} gezeigt. Ziel dieser Pulsweitenmodulation ist es insbesondere, die Grundwelle der gepulsten Ausgangsspannung möglichst präzise der geforderten Referenzspannung am Eingang des Inverters anzupassen. Jegliche Abweichung von dieser idealen Sinusform wirkt sich als Störanteil im elektrischen Antriebsstrang aus und wird als sogenannter *Oberwellen-* oder *Verzerrungsgehalt* bezeichnet. Ein Maß für den Gehalt der Oberwellen eines

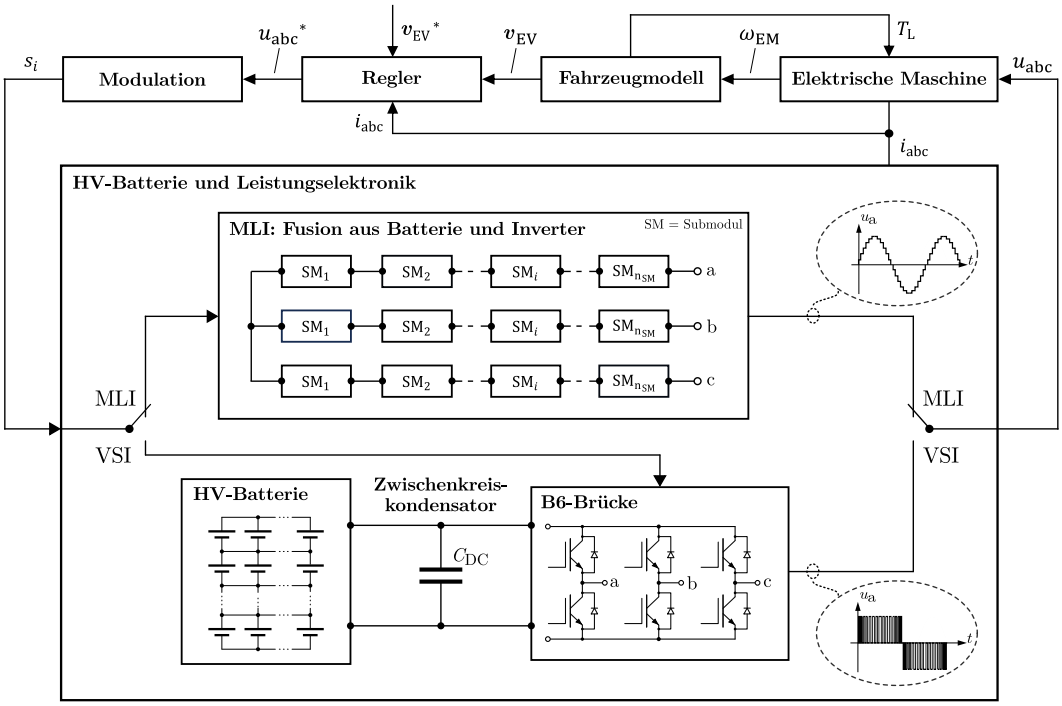


Abbildung 2.1: Regelkreis eines Antriebsstrangs.

Signals stellt der harmonische Oberwellengehalt (*total harmonic distortion*, THD)-Wert dar [70]. Je höher dieser Wert, desto höher ist die Verzerrung des Signals und desto mehr Leistung geht in Wärme verloren. Aufgrund der hohen Pulsspannungen ist der Oberwellengehalt der Phasenspannungen bei einem herkömmlichem Wechselrichter basierend auf der B6-Struktur vergleichsweise hoch. Um diesen zu minimieren, werden daher hohe Schaltfrequenzen verwendet, um den Oberwellengehalt der Ausgangsspannungen zu reduzieren. Die Einschränkungen durch die starre Verschaltung im Batteriesystem und die damit verbundenen Limitierungen für eine optimale Nutzung sowie die hohe Verzerrung der erzeugten Phasenspannungen des Wechselrichtersystems bieten die Grundlage, den Antriebsstrang in seiner herkömmlichen Form zu hinterfragen und innovative Technologien zu erforschen.

Ein möglicher Ansatz besteht in der Realisierung sogenannter *rekonfigurierbarer Batteriesysteme*. Dabei wird das traditionelle Batteriesystem in seiner bestehenden Form aufgelöst und jede einzelne Batteriezelle oder ein Verbund aus einer definierten Anzahl an Zellen sowohl mit Sensorik als auch mit Aktorik ausgestattet. Die Integration dieser zusätzlichen Hardwarekomponenten erhöht die Intelligenz eines herkömmlichen Batteriesystems deutlich, weshalb derartige Batteriesysteme auch als *intelligente Batteriesysteme* bezeichnet werden [51, 52, 82–84, 95, 141, 142, 144]. Mithilfe der ergänzenden Sensorik lässt sich anders als im konventionellen Batteriesystem nicht mehr nur der Zustand des gesamten Batteriesystems in Form der HV-Spannung, des Batteriestroms oder des Ladezustands im Batteriemanagementsystem ermitteln. Vielmehr können dadurch die Daten jeder Batterie bzw. jedes Batterieverbunds ausgelesen werden. Dieser Gewinn an Informationen über den zellindividuellen Ladezustand, die Zellspannung, den Zellstrom, die zugehörige Temperatur sowie den Druck der Batteriezelle ermöglicht eine umfangreiche Überwachung des Batteriesystems während des Betriebs. Dieser Ansatz erlaubt die frühzeitige Erkennung abnormen Verhaltens oder auftretender Fehler in den einzelnen Batteriezellen, was wiederum dazu beiträgt, Systemausfälle zu vermeiden. Um den Vorteil dieser Datenerfassung nutzbar zu machen und bei einer Detektion gezielt in das System eingreifen zu können, besitzen diese intelligenten Batteriesysteme Aktorikkomponenten in Form von leistungselek-

tronischen Schaltelementen, wie von Schmid et al. dargestellt [142]. Die Präsenz dieser Schaltelemente erweitert das Batteriesystem um die genannte Eigenschaft der *Rekonfigurierbarkeit*. Im Detail bedeutet dies eine Transformation des ursprünglich starren Batteriesystems hin zu einem System, bei dem durch die Schaltelemente gezielt auf die Zustände der einzelnen Zellen eingewirkt werden kann. Die Zahl der Schaltelemente je Batteriezelle oder je Zellverbund kann variieren. Das wesentliche Ziel der Halbleiterelemente besteht darin, die Zellen individuell in das System hinein- bzw. heraus zu schalten. Neben der Möglichkeit, Zellen im Fehlerfall aus dem System zu schalten, bieten die Schalter ebenso die Möglichkeit, die effektive Nutzung des Batteriesystems zu erhöhen und im besten Fall die Reichweite zu steigern. Im konventionellen Batteriesystem mit seiner starren Verschaltung ist die maximale Reichweite durch die Batteriezelle mit dem geringsten Ladezustand begrenzt. Sobald diese Zelle einen unteren Spannungsgrenzwert unterschreitet, muss das gesamte Batteriesystem abgeschaltet werden. Selbiges Szenario ergibt sich im Ladefall, wobei die Ladedauer hier durch die Zelle mit dem höchsten Ladezustand limitiert ist. Durch den neuen Freiheitsgrad der zellindividuellen Überwachung sowie der eingesetzten Schalter kann ein Ausgleich der Ladezustände erfolgen. Weicht beispielsweise der Ladezustand einer Batteriezelle zu stark von denen der anderen ab, kann diese einfach über den zugehörigen Bypass-Schalter solange aus dem System genommen werden, bis ihr Ladezustand denen der anderen Batteriezellen angeglichen ist. Es findet damit ein sogenanntes *Balancing* der Batteriezellen statt [25, 84]. In den beschriebenen Anwendungsfällen, wie beispielsweise dem Ladungsausgleich oder dem Überbrücken von Batteriezellen im Fehlerfall, erfolgen die Schaltoperationen der Leistungshalbleiter in der Regel nur zu spezifischen Zeitpunkten und damit in vergleichsweise großen Zeitintervallen. Das Überbrücken einzelner Batteriezellen führt zwar zu einer Veränderung der Ausgangsspannung, jedoch ist diese prozentuale Änderung im Vergleich zur HV-Spannung vernachlässigbar klein. Die generierte Ausgangsspannung des intelligenten Batteriesystems stellt nach wie vor eine DC-Spannung dar.

Dabei bieten diese Leistungshalbleiter, welche intrinsisch in einem intelligenten Batteriesystem vorhanden sind, ein zusätzliches Potential, spezifische Eigenschaften im Vergleich zum herkömmlichen Antriebsstrang zu verbessern. Werden die Halbleiter nicht mehr nur im Fehlerfall in hohen zeitlichen Abständen geschaltet, sondern wird die zugehörige Schaltfrequenz deutlich erhöht, ist das intelligente Batteriesystem nicht mehr nur in der Lage, DC-Spannungen auszugeben. Vielmehr lassen sich durch die zellindividuelle Ansteuerung beliebige Wechselspannungen durch die Kombination der einzelnen Batteriespannungen generieren. Das dadurch entstehende Invertersystem unterscheidet sich damit signifikant zu der in Abbildung 2.1 gezeigten herkömmlichen HV-Batterie mit nachgeschalteter B6-Brücke. Über jeden Zellverbund kann individuell entschieden werden, wann und ob dieser einen Spannungsbeitrag für die Generierung der Phasenausgangsspannung liefert. Diese Art von Invertersystem ist in der Fachliteratur als *MLI* bekannt. Diese Technologie ersetzt die Komponenten in Form der HV-Batterie, des Zwischenkreiskondensators sowie des B6-VSI im konventionellen Antriebsstrang wie in Abbildung 2.1 schematisch skizziert. Infolge der Integration der Halbleiterelemente in das Batteriesystem entfällt die Leistungselektronik als eigenständige Komponente. Durch individuelle Ansteuerung der einzelnen *Submodule (SMs)*, die einen Zellverbund samt zugehöriger Halbleiterschalter repräsentieren, resultieren stufenförmige Ausgangsspannungen. In Analogie zur konventionellen Struktur visualisiert Abbildung 2.1 beispielhaft die Form einer MLI-Ausgangsspannung. Diese weist eine deutlich höhere Anzahl an Spannungslevel im Vergleich zur Pulsspannung im VSI-Betrieb auf. Durch diese gesteigerte Präzision bei der Nachbildung der Referenzspannung weisen die Ausgangsspannungen eines MLI-Systems in der Regel einen geringeren Oberwellengehalt auf, was in der Folge zu einer Verringerung des THD-Werts führt. Zudem reduzieren die niedrigeren Modulspannungen die Spannungsbelastung der Halbleiterelemente. Es lassen sich Niederspannungs-Halbleiter einsetzen. Darüber hinaus sinkt auch die EMV-Belastung des Invertersystems [40, 54, 68, 75, 76, 84, 119, 127, 133]. Allerdings bringt dieses System auch Herausforderungen mit sich. Aufgrund der signifikanten

Erhöhung der Anzahl an Halbleiterelementen im System erhöht sich der Steueraufwand deutlich. Diese Schaltelemente wirken sich ebenso auf die Leistungsbilanz des Systems aus, da sich im Betrieb mehr Halbleiterelemente im Lastpfad befinden als dies im konventionellen System der Fall ist. Trotz dieser Herausforderungen stellt der MLI aufgrund der genannten potentiellen Verbesserungen im Vergleich zum B6-VSI eine vielversprechende Alternative dar, die einer vertieften Analyse unterzogen werden sollte.

Neben den erläuterten Komponenten der elektrischen Maschine, dem Invertersystem sowie der HV-Batterie finden sich in Abbildung 2.1, welche den Regelkreis eines Antriebsstrangs darstellt, ebenso ein *Modulations*-Block, eine *Regeleinheit* sowie das *Fahrzeugmodell*. Dabei gibt das Fahrzeugmodell die aktuell (vom Fahrer geforderte) Sollgeschwindigkeit $v_{\mathrm{EV}}{}^{*}$ an die Regeleinheit weiter, welche die Geschwindigkeitsforderung in der Regel mithilfe von Geschwindigkeits- sowie Stromreglern in die aktuell geforderte dreiphasige Spannung $u_{\mathrm{abc}}{}^{*}$ verwandelt. Der Modulator ist dabei die Schnittstelle zwischen der Referenzforderung und der Leistungselektronik und ist für die Erzeugung der Ansteuersignale des Invertersystems zuständig.

2.1 Multilevel-Inverter

Im Folgenden werden die wichtigsten Begrifflichkeiten von MLIs sowie deren Funktionsweise erläutert. Darauf aufbauend erfolgt eine Einführung in die verschiedenen Topologievarianten und Ansteuerverfahren von MLI-Systemen. Um eine angemessene Bewertung sowie eine Vergleichbarkeit von MLI-Designs zu ermöglichen, ist eine geeignete Grundlage erforderlich. Zu diesem Zweck werden relevante MLI-Spezifikationen vorgestellt. Darüber hinaus sind die Konzepte der Modulkombination und der Parallelpack-Konfiguration von zentraler Bedeutung für die Beschaffenheit eines MLI-Systems und werden in diesem Abschnitt ebenfalls behandelt.

2.1.1 Allgemeines Funktionsprinzip und Begriffsdefinitionen

Wie der Name ‚*multilevel*' bereits beinhaltet, ist die wesentliche Eigenschaft eines MLI, viele Ausgangswerte, sogenannte *Spannungslevel*, auszugeben. Während bei einem konventionellen B6-VSI lediglich drei unterschiedliche Werte für die Leiter-Leiter-Spannung ($\pm u_{\mathrm{DC}}; 0\,\mathrm{V}$) am Inverterausgang erzeugt werden können, ist die Anzahl bei einem MLI je nach Ausführungsform deutlich größer. Ein MLI resultiert aus der Fusion leistungselektronischer Komponenten mit dem HV-Batteriesystem, wie im vorhergehenden Kapitel zu den intelligenten Batteriesystemen beschrieben. Durch die Ausstattung einer Batteriezelle oder eines Zellverbunds, bestehend aus mehreren Batteriezellen mit Schaltelementen, lassen sich die Spannungsquellen individuell und gezielt ansteuern. Damit existiert nicht mehr nur eine Leistungselektronik auf Systemebene, jede Batteriezelle bzw. jeder Zellverbund besitzt seine eigene Leistungselektronik. Während im herkömmlichen HV-Batteriesystem lediglich die volle Batteriespannung geschaltet werden kann, eröffnet der Einsatz von Schaltelementen auf Modulebene die Möglichkeit, Ausgangsspannungen zusammen zu setzen, die sich aus den jeweilig vorliegenden Spannungen der Zellverbünde oder der einzelnen Batteriezellen ergeben. Ein MLI-System ist damit in der Lage, deutlich agiler und präziser auf die Spannungsforderung am Eingang zu reagieren. Abbildung 2.2 bildet schematisch die Antwort eines MLI auf eine geforderte Referenzspannung ab. In einem Antriebsstrang, wie in Abbildung 2.1 gezeigt, existieren in der Regel mehrere Phasenspannungen wie anhand von u_{abc} verdeutlicht. Ohne Einschränkung der Allgemeingültigkeit ist in Abbildung 2.2 aus Gründen der Übersichtlichkeit lediglich eine Phasenspannung dargestellt. Dabei repräsentiert u_{ref} die geforderte Referenzspannung einer beliebigen Phase und u_{MLI} die zugehörige, erzeugte MLI-Phasenspannung. Durch die individuelle Ansteuerung der Zellen bzw. Zellverbünde weist die MLI-Ausgangsspannung

ein stufenförmiges Muster auf, wie bereits anhand der Phasenspannung in Abbildung 2.1 am Ausgang des MLI ersichtlich wurde. Zur Verdeutlichung dieses Spannungsmusters ist im unteren Teil von Abbildung 2.2 ein Ausschnitt aus der MLI-Ausgangsspannung vergrößert dargestellt. Ergänzend findet sich in dem Ausschnitt skizzenhaft die Referenzspannung, welcher die MLI-Spannung folgt. In dem dargestellten Ausschnitt lassen sich die charakteristischen Stufen im Ausgangsspannungsmuster eines MLI deutlich erkennen. Dabei ist eine MLI-Stufe exemplarisch markiert. Die Spannung einer Stufe wird als *Stufenspannung* u_{step} oder *Stufenhöhe* bezeichnet. Die einzelnen MLI-Stufen müssen dabei nicht zwangsläufig identisch sein, sondern können in ihrer Höhe voneinander abweichen [152, 155]. Die Stufenhöhe hängt in erster Linie vom Design der Module und damit vom Wert der eingesetzten Spannungsquellen ab. Im Speziellen entspricht diese der Differenz zweier benachbarter *Spannungslevel*. Generell umfasst der Begriff des Spannungslevels alle Spannungen, die von dem vorliegenden MLI-System erzeugt werden können. In Abbildung 2.2 sind drei Spannungslevel beispielhaft gekennzeichnet. Die Gesamtzahl aller erzeugbaren Spannungslevel, die von einem MLI-System generiert werden kann, wird mit n_{level} indiziert. Im dargestellten Fall nimmt n_{level} einen Wert von 13 an. Wie auch die Stufenhöhe hängt die Anzahl der erzeugbaren Spannungslevel stark vom MLI-Design und insbesondere von der Modulgestaltung ab [152]. Dadurch wird ebenso die *Granularität* der Ausgangsspannung beeinflusst, welche mit sinkender Stufenspannung im Ausgangsspannungsmuster zunimmt.

In Abbildung 2.2 sind die Zeitpunkte explizit markiert, für welche sich die Spannung am Ausgang des MLI ändert. Für ein MLI-System lässt sich dabei allgemein ableiten, dass eine Schalthandlung erfolgt, sofern die Beziehung aus Gleichung (2.1) erfüllt ist.

$$u_{\text{MLI}}(t_{k-1}) \neq u_{\text{MLI}}(t_k) \tag{2.1}$$

Dabei repräsentieren $u_{\text{MLI}}\,(t_{k-1})$ sowie $u_{\text{MLI}}\,(t)$ die Spannungswerte der MLI-Spannung zu den Zeitpunkten t_{k-1} sowie t_k. Es sei erwähnt, dass trotz gleichbleibender Ausgangsspannung Schalthandlungen in einem MLI-System auftreten können. Die Ursache hierfür begründet sich beispielsweise durch

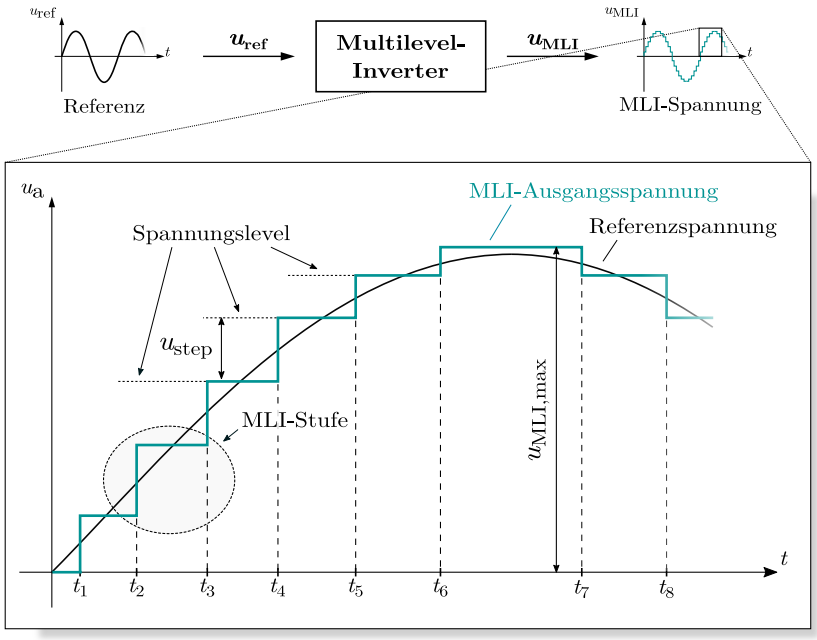


Abbildung 2.2: Skizzenhafte Darstellung einer geforderten Referenzspannung am Eingang eines MLI und der stufenförmigen Ausgangsspannung. Am Beispiel eines vergrößerten Ausschnittes der Phasenausgangsspannung werden die wichtigsten Begriffe eines MLI verdeutlicht.

einen angestrebten Ladungsausgleich der eingesetzten Spannungsquellen.

2.1.2 Topologien: Einführung und Überblick

Der Begriff *Topologie* bezeichnet in Bezug auf MLI-Systeme die Art der Verschaltung der inhärenten Schaltelemente zusammen mit den vorhandenen Spannungsquellen[1]. Je nach Abstraktionslevel spricht man entweder von der sogenannten *Mikrotopologie* oder der *Makrotopologie*, wie von Goetz et al. definiert [44]. Erstere bezeichnet die Verschaltung einer einzelnen Spannungsquelle mit den ihr zugeordneten Schaltern innerhalb eines Submoduls, welche auch als Submodul-Topologie bezeichnet werden kann, und stellt damit die kleinstmögliche Verschaltungseinheit in einem *kaskadierten MLI (cascaded MLI, CMLI)* dar. Die Makrotopologie hingegen definiert die Verschaltung der Submodule zueinander auf Systemebene. Im Folgenden werden die drei Hauptvarianten an MLI-Systemen sowie zentrale Makrotopologien vorgestellt. Eine ausführliche Betrachtung der gängigen Mikrotopologien erfolgt im Zusammenhang mit der Vorstellung einer spezifischen MLI-Struktur in Kapitel 3. Die nachfolgenden Erläuterungen beruhen im Wesentlichen auf den Quellen [54, 80, 86, 120, 132, 133].

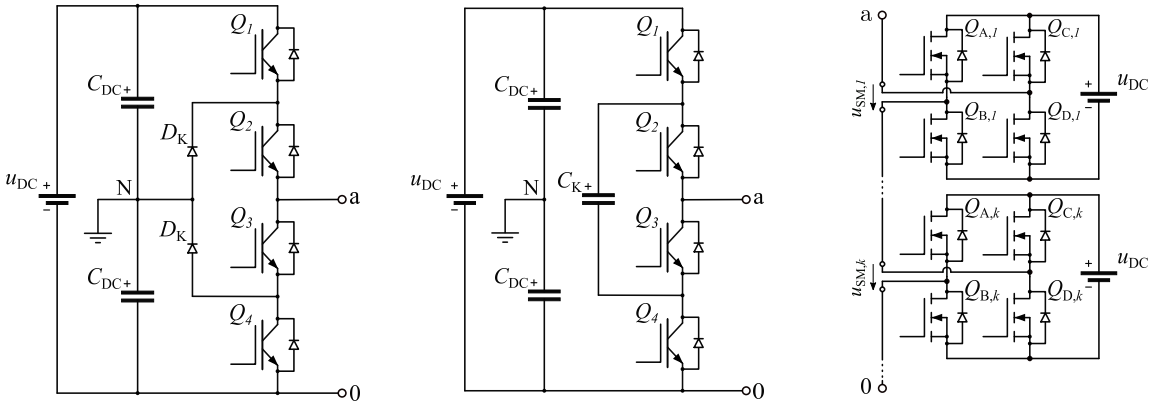
2.1.2.1 Spannungsgespeiste Multilevel-Inverter

Im Falle eines CMLI handelt es sich aus makroskopischer Sicht um ein Invertersystem, welches aus einer Kaskade von n_{SM} in Serie geschalteten Submodulen entsteht. Dabei repräsentiert eine solche kaskadierte Anordnung einen sogenannten *Batterie-* oder *Phasenstrang*. Die maximale Spannung $u_{\mathrm{MLI,max}}$, die von einem CMLI geliefert werden kann, entspricht damit der Summe aller Spannungen der n_{SM} vorhandenen Module gemäß Gleichung (2.2).

$$u_{\mathrm{MLI,max}} = \sum_{k=1}^{n_{\mathrm{SM}}} u_{\mathrm{SM},k}\,. \tag{2.2}$$

In diesem Zusammenhang indiziert $u_{\mathrm{SM},k}$ die Spannung an den Ausgangsklemmen des k-ten Submoduls wie in Abbildung 2.3c explizit am Beispiel des dargestellten CMLI gekennzeichnet. Der CMLI zählt damit zu den Wechselrichtern, bei denen die Leistungswandlung auf Basis einer Spannungsquelle stattfindet [133]. Daneben existiert die Gruppe stromgespeister Wechselrichter, welche in dieser Arbeit aufgrund des fokussierten Anwendungsbereichs eines batteriebetriebenen Elektrofahrzeuges nicht weiter erläutert wird. Wie von Rodríguez et al. beschrieben, zählen zu den drei bekanntesten Vertretern dieser spannungsgespeisten MLIs neben dem kaskadierten CMLI auch die sogenannte *neutral point clamped (NPC)*-Struktur sowie der *flying cpacitor (FC)*-MLI [133]. Zur Verdeutlichung visualisiert Abbildung 2.3 die Schaltungsstruktur aller drei Vertreter am Beispiel der Erzeugung einer Phasenspannung u_{a}. Aus Gründen der Übersicht bilden die Systeme in Abbildung 2.3a sowie in Abbildung 2.3b ohne Einschränkung der Allgemeingültigkeit eine MLI-Struktur ab, mit der sich insgesamt drei unterschiedliche Ausgangsspannungslevel generieren lassen. Um im Falle des CMLI die Modulspannung des k-ten Submoduls zu kennzeichnen, ist für diesen MLI-Typ eine modulare Darstellungsweise gewählt. Die in Abbildung 2.3a illustrierte NPC-Struktur wurde erstmals von Nabae et al. vorgestellt [114]. Aufgrund der Verwendung von Dioden als Klemmbauteile wird diese Struktur auch als ‚diode clamped'-Topologie bezeichnet. Der NPC-MLI besteht im Wesentlichen aus aktiven Leistungshalbleitern, welche die MLI-Ausgangsstufen erzeugen, Klemmdioden D_{K} zur Stabilisierung der Spannungswerte und Kondensatoren. Letztere sind, wie in Abbildung 2.3a erkennbar, in einem sogenannten Zwischenkreis-Zweig angeordnet und lassen sich deshalb auch als Zwischenkreiskondensatoren C_{DC} identifizieren. Die Knotenpunkte zwischen den einzelnen Kondensatoren werden als Neu-

[1] Hinweis: Die Beschaffenheit der Spannungsquelle wird in Abschnitt 2.2 näher betrachtet.



(a) Drei-Level NPC-MLI. (b) Drei-Level FC-MLI. (c) Kaskadierter MLI.

Abbildung 2.3: Übersicht über die drei zentralen Vertreter der MLI-Topologien. Im Falle des kaskadierten MLI wird beispielhaft die H-Brückenstruktur als Submodul-Topologie herangezogen. Eine ausführliche Erläuterung dieser findet sich in Kapitel 3.

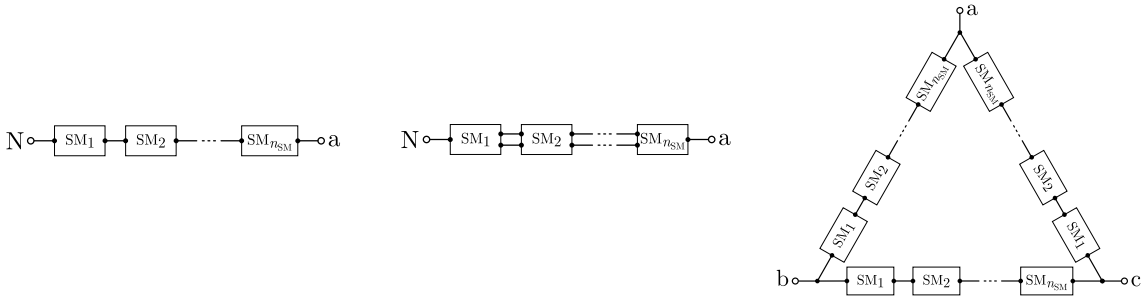
tralpunkte bezeichnet. Im vorliegenden Fall existiert infolge der Generierung von drei Spannungslevel lediglich ein Neutralpunkt N. Für die Leistungshalbleiter sind in Anlehnung an Hasan et al. IGBTs gewählt [54]. Der NPC-MLI besitzt eine einzige Spannungsquelle mit einem Wert von u_{DC}. Aufgrund des Einsatzes von Klemmdioden, Zwischenkreiskondensatoren, Leistungshalbleitern sowie der dargestellten Spannungsquelle ist der Bauteilaufwand eines NPC vergleichsweise hoch. Neben dem hohen Bauteilaufwand stellen auch die Sperrverzögerungszeiten der Klemmdioden bei schnellen Schaltzeiten eine Herausforderung dar [132, 133]. Dieses Problem wird beim FC-MLI umgangen, indem anstelle von Dioden Kondensatoren als Klemmbauteile eingesetzt werden. Diese MLI-Variante wurde von Meynard et al. eingeführt und ist in Abbildung 2.3b gezeigt [104]. Wie auch bei der NPC-Schaltung besitzt diese Struktur eine einzige DC-Spannungsquelle. Darüber hinaus setzt sich dieser MLI-Typ aus Zwischenkreiskondensatoren C_{DC}, Klemmkondensatoren C_{K} zur Stabilisierung der Ausgangsspannungen sowie ebenso Leistungshalbleitern zusammen. Der Spannungsabgriff der MLI-Ausgangsspannung u_{MLI} erfolgt analog zur NPC-Struktur zwischen der Klemme a sowie dem Neutralpunkt N. Beim Vergleich der beiden Strukturen in den Abbildung 2.3a und Abbildung 2.3b lässt sich erkennen, dass im FC-MLI anstelle von Klemmdioden Klemmkondensatoren im entsprechenden Pfad platziert sind. Während die Zahl der Zwischenkreiskondensatoren identisch ist zu derer im Falle der NPC, ist die Anzahl der Klemmbauteile um die Hälfte reduziert. Der Name dieser MLI-Variante leitet sich von diesen Klemmkondensatoren ab. Basierend auf der Tatsache, dass sich mit beiden MLI-Systemen eine identische Anzahl an Ausgangsspannungslevel erzielen lässt, verringert sich der Hardwareaufwand mit Einsatz der FC-Struktur. Trotz der Reduzierung des Bauteilaufwands im Vergleich zur NPC-Schaltung, bleibt der Bedarf an zusätzlichen Klemmkomponenten bei der FC-Topologie bestehen.
Dieser Nachteil wird bei der Klasse der CMLI umgangen, bei welcher keinerlei Klemmbauteile in Form von Dioden oder Kondensatoren benötigt werden. Wie zuvor erläutert, entsteht ein CMLI aus der Serienschaltung von zwei oder mehr Submodulen, welche in der Regel dieselbe Mikrotopologie aufweisen. Diese Kaskade resultiert in einem modularen und daher vergleichsweise einfachen Aufbau eines MLI-Systems. Je nach Anwendung kann die Zahl der Submodule mit geringem Aufwand an die geforderte Referenzspannung angepasst werden, um die Systemanforderungen optimal zu erfüllen. Zwar beschreiben Rodríguez et al. die modulare Bauweise und die einfache Erweiterung ebenso als vorteilhafte Eigenschaft der FC-Struktur im Vergleich zum NPC-MLI, jedoch sind die Installations- und Montagekosten sowie die Kosten der Klemmkondensatoren deutlich höher [54, 80, 133]. Dieser Kostenaufwand entfällt bei einem kaskadierten MLI. Unter der Annahme der Erzeugung einer iden-

tischen Anzahl an Ausgangsspannungslevel des MLI-Systems ergibt sich für diesen Invertertyp in der Regel der geringste Bauteilaufwand. Durch den modularen Aufbau in Form kaskadierter Submodule, die sich wie eingangs beschrieben aus einer Spannungsquelle und einer definierten Anzahl an Leistungshalbleitern zusammensetzen, finden sich in einem kaskadierten MLI eine Vielzahl separater Spannungsquellen. Dies lässt sich anhand der Darstellung in Abbildung 2.3c erkennen. Dabei können in der Regel diverse Mikrotopologien als Submodulstruktur gewählt werden (siehe Kapitel 3). Im gezeigten Fall wird für die Submodul-Topologie die sogenannte H-Brückenstruktur beispielhaft verwendet. Ein CMLI auf Basis dieser Mikrotopologie wird in der Fachliteratur aufgrund der Kaskadierung der H-Brückenstruktur als *kaskadierte H-Brücke (cascaded H-bridge, CHB)* bezeichnet [54, 84–86, 133]. Baker et al. stellen diese Variante im Jahr 1975 im Zuge einer Patentveröffentlichung vor [10]. Die Bauweise eines CMLI erweist sich insbesondere als vorteilhaft für Systeme, die bereits intrinsisch eine hohe Anzahl separater Spannungsquellen aufweisen, wie es bei einem BEV der Fall ist. Die Vielzahl vorhandener Lithium-Ionen-Batteriezellen bietet eine geeignete Grundlage für die Implementierung eines CMLI, da die einzelnen Batteriezellen als separate Spannungsquellen der Submodule genutzt werden können. Im Folgenden werden daher ausschließlich CMLI-Systeme betrachtet. Dabei sei darauf hingewiesen, dass der Begriff des MLI in diesem Kontext stets die CMLI-Variante berücksichtigt. Erfolgen Erläuterungen zu einem NPC- oder FC-MLI, werden diese explizit benannt.

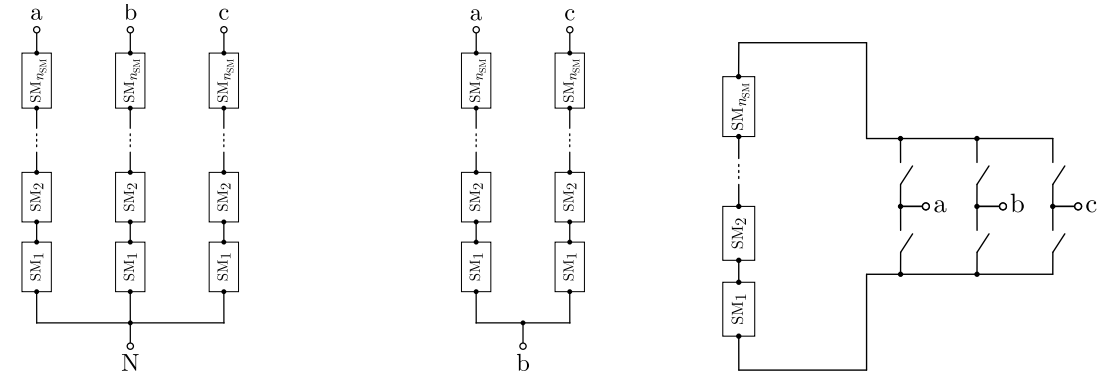
2.1.2.2 Makrotopologien

In der Literatur existieren eine Vielzahl an Möglichkeiten, die Submodule eines MLI miteinander zu verschalten [84, 165]. Abbildung 2.4 visualisiert hierzu die gängigsten Vertreter an Makrotopologien. Wie in allen Fällen erkennbar, besteht ein MLI-Phasenstrang aus der Kaskade von n_{SM} Submodulen. Die Mikrotopologie der Submodule ist dabei identisch [84]. Abhängig von der Beschaffenheit der gewählten Mikrotopologie in einem MLI-System lassen sich innerhalb eines MLI-Phasenstrangs Parallelverbindungen zwischen den einzelnen Submodulen realisieren. Dies ist anhand des MLI-Phasenstrangs in Abbildung 2.4b erkennbar, welcher für die Erzeugung einer Phasenspannung u_{a} zwischen dem Abgriff a und dem Neutralpunkt N zuständig ist. Erlaubt die Mikrotopologie keine Parallelschaltung benachbarter Submodule, ist ausschließlich ein Serienbetrieb möglich. Die Verbindung der Submodule erfolgt gemäß Abbildung 2.4a stets in serieller Weise[2]. Neben den makroskopischen Verschaltungsarten innerhalb eines Phasenstrangs umfasst der Begriff der Makrotopologie ebenso die Anordnung zweier oder mehrerer Phasenstränge zueinander sowie den Einsatz zusätzlicher Hardwarekomponenten. Mit den Topologien in Abbildung 2.4c bis Abbildung 2.4h lassen sich mindestens zwei Phasenspannungen u_{a} sowie u_{b} erzeugen. Wie in Abbildung 2.4d für den Fall einer Phasenzahl von $n_{\mathrm{ph}} = 3$ gezeigt, sind bei einer sogenannten *Sternschaltung* die Batteriestränge sternförmig angeordnet und am Neutralpunkt N miteinander verbunden [17, 56, 57]. Bei regulärem Betrieb ist jeder dieser n_{ph} Phasenstränge für die Erzeugung einer der drei Phasenspannungen u_{a}, u_{b} sowie u_{c} zuständig. Im Anwendungsfall eines BEV dienen diese Phasenspannungen zur Versorgung der elektrischen Maschine. Der Abgriff erfolgt über die zugehörigen Klemmen a, b sowie c. Eine Erweiterung dieser Struktur stellen die *doppelte Sternschaltung* in Abbildung 2.4g sowie die *kaskadierte Sternschaltung* in Abbildung 2.4h dar. Während in der kaskadierten Sternschaltung jedem Phasenstrang eine externe Polaritätsumkehr vorgeschaltet wird, wie von Najafi et al. realisiert [115], entsteht die doppelte Sternschaltung aus der Kombination zweier einzelner Sternschaltungen, welche an den jeweilig übereinstimmenden Klemmabgriffen (a, b, c) elektrisch miteinander verbunden sind. Eine externe Polaritätsumkehr wird typischerweise angewendet, wenn die verwendete Mikrotopologie nicht in der Lage ist, sowohl positive als auch negative

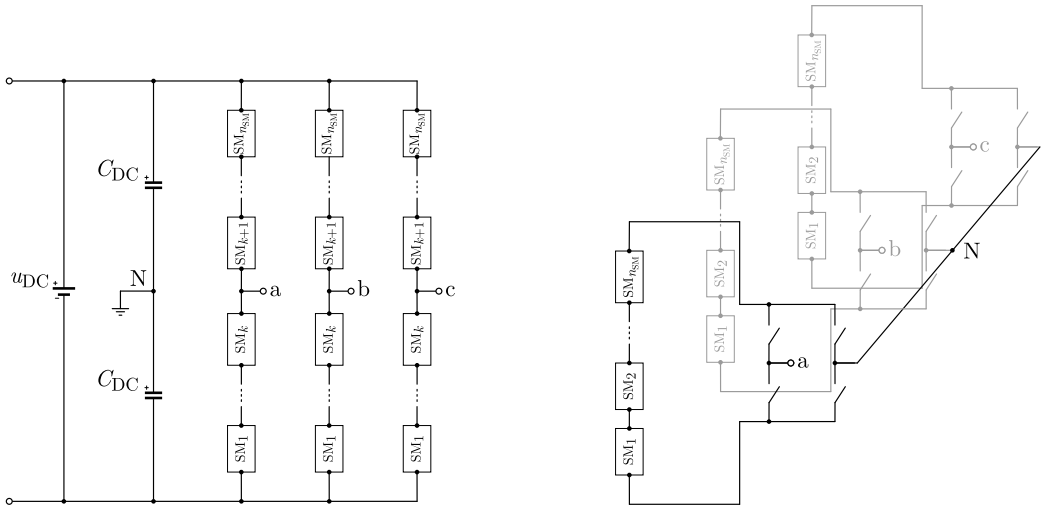
[2] Hinweise: Es sei angemerkt, dass ein Phasenstrang, welcher in der Lage ist, Submodule zu parallelisieren, ebenso die Fähigkeit zur seriellen Verschaltung der Module besitzt.



(a) Serieller Schaltkreis. (b) Paralleler Schaltkreis. (c) Dreieckschaltung.



(d) Sternschaltung. (e) Reduzierte Dreieckschaltung. (f) MLI-Strang mit B6-Struktur.



(g) MMC-Struktur. (h) Kaskadierte Sternschaltung.

Abbildung 2.4: Übersicht über zentrale Makrotopologien beim Design von MLI-Systemen.

Spannungen zu erzeugen. Ein Beispiel für eine derartige Submodultopologie stellt die Halbbrücke dar, die neben weiteren Mikrotopologien in Abschnitt 3.1 näher erläutert wird [26, 54, 128, 134, 155, 163]. Durch die Polaritätsumkehr wird ein Vorzeichenwechsel der Phasenspannung ermöglicht. Dabei wird in der Regel eine H-Brückenstruktur der Schalter für die Topologie der Polaritätsumkehreinheit verwendet, wie von Babaei et al. umgesetzt [6, 7, 9]. Mit dieser Vorkehrung kann der doppelte Spannungshub bei gleichbleibender Modulzahl und in der Folge bei identischer Anzahl an Spannungsquellen genutzt werden. Allerdings führt der Einsatz einer Polaritätsumkehreinheit dazu, dass zur Realisierung Schaltelemente erforderlich sind, deren Sperrspannung in einer Größenordnung liegt, die der Ampli-

tude einer Phasenspannung des MLI entspricht. Der Abgriff der Phasenspannungen u_a, u_b sowie u_c erfolgt wie bei der Sternschaltung für die beiden Strukturen in Abbildung 2.4g sowie Abbildung 2.4h an den Klemmen a, b sowie c. In der Fachliteratur wird die doppelte Sternschaltung auch als MMC bezeichnet. Die zugehörige Submodultopologie entspricht im überwiegenden Teil der Fälle der Halbbrücke [54, 84, 101, 128, 134, 163]. Marquardt schlägt die H-Brückenstruktur aus Abbildung 2.3c als Mikrotpologie für den Einsatz in einem MMC vor [100]. Jeder der ursprünglich sechs Batterieströnge definiert dabei einen sogenannten Phasenarm, wobei die Kombination eines High-Side- zusammen mit einem Low-Side-Phasenarm für die Erzeugung einer Phasenspannung zuständig ist. Die beiden Phasenarme zusammen repräsentieren folglich einen vollständigen Phasenstrang, wie anhand von Abbildung 2.4g verdeutlicht wird. Die Anzahl der Submodule in den jeweiligen Phasenarmen ist dabei identisch[3]. Abhängig von der eingesetzten Mikrotopologie lassen sich unterschiedliche Ausgangsspannungen erzeugen. Im Falle der Halbbrücke kann aufgrund des Mittelabgriffs am Neutralpunkt eine maximale Phasenspannung geliefert werden, die einem Viertel der Spannung aller Batteriezellen innerhalb eines Phasenstrangs gemäß Gleichung (2.2) entspricht [147]. Mit der H-Brückenstruktur als Submodultopologie lässt sich diese maximal erzeugbare Phasenspannung im Vergleich zur Halbbrücke verdoppeln. Aufgrund der speziellen Verschaltung können bei dieser Struktur Ausgleichsströme zwischen den einzelnen Phasenarmen auftreten [84, 163]. Wie Komsiyska et al. beschreiben, lassen sich diese Ausgleichsströme durch Maßnahmen wie entsprechende Balancingalgorithmen oder den Einsatz von Induktivitäten in den Phasenarmen reduzieren [84]. Gleichzeitig sorgen diese Ausgleichsströme für ein automatisches Balancing der Phasenarme zueinander [93, 127, 163]. Alternativ zu der in Abbildung 2.4h gezeigten Variante existiert die Möglichkeit, einem einzelnen MLI-Phasenstrang eine konventionelle B6-Struktur parallel zu schalten. Diesen Ansatz zeigen Helling et al. in ihrer Publikation [58]. Die zugehörige Struktur ist in Abbildung 2.4f abgebildet. Dabei übernimmt die B6-Brücke die Funktion der Polaritätsumkehr. Zudem werden über diese die drei separaten Phasenspannungen u_a, u_b sowie u_c erzeugt. Diese Makrotopologie weist damit eine große Ähnlichkeit zum herkömmlichen Invertersystem auf, welches in Abbildung 2.1 illustriert ist. Durch die Submodule innerhalb des MLI-Phasenarms lassen sich jedoch eine deutlich höhere Anzahl an Ausgangsspannungsstufen erzeugen. Ein weiterer Unterschied zum herkömmlichen System liegt in der Schaltfrequenz der sechs Schalter innerhalb der B6-Struktur. Da diese Schaltelemente ausschließlich für die Gewährleistung der Polaritätsumkehr eingesetzt werden, entspricht deren typische Arbeitsfrequenz der Referenzfrequenz f_ref der Spannungsforderung am Eingang des MLI. Die zugehörigen Schaltverluste fallen in der Folge geringer aus als im herkömmlichen VSI. Allerdings weisen diese Schalter aufgrund der höheren Sperrspannung in der Regel einen höheren Durchgangswiderstand auf. Dies muss bei der Leistungsbilanz berücksichtigt werden. Identischer Sachverhalt gilt für die Leistungshalbleiter in den Polaritätsumkehreinheiten der Struktur aus Abbildung 2.4h. Eine weitere makroskopische Variante stellt die in Abbildung 2.4c gezeigte Dreieckschaltung dar, welche beispielsweise von Helling et al. vorgestellt wird [56]. Die Abgriffe der Phasenspannungen a, b sowie c erfolgen jeweils an den drei Verbindungspunkten. Wie Helling et al. beschreiben, erzeugt diese Struktur unter der Voraussetzung einer identischen Anzahl an Spannungsquellen im Vergleich zu den restlichen Makrotopologien die höchsten MLI-Phasenspannungen. Darüber hinaus weist diese Struktur eine vergleichsweise hohe Fehlertoleranz auf. Für den Fall, dass ein Phasenstrang ausfällt, ist das System mit den beiden verbleibenden Phasensträngen nach wie vor in der Lage, an allen drei Spannungsabgriffen eine Spannung bereitzustellen. Die daraus resultierende Struktur ist in Abbildung 2.4e erkennbar und wird als *reduzierte Dreieckschaltung* bezeichnet. Folglich kann im Falle des Ausfalls einer Phase ein BEV trotz Spannungseinbruch weiter betrieben werden.

Für weitere Ausführungsformen wie beispielsweise hybride MLI-Systeme oder eine spezielle Ver-

[3] Hinweis: Da die Zahl der Submodule in den Phasenarmen identisch ist, entspricht der Index k in Abbildung 2.4g einem Wert von $\frac{n_\mathrm{SM}}{2}$.

schaltung in einer sogenannten Wabenform sei auf die Referenzen [60–64, 66, 84, 165] verwiesen.

2.1.3 Ansteuerverfahren von Multilevel-Invertern

Ziel dieses Unterkapitels ist es, einen Überblick über relevante *Ansteuerverfahren* von MLI-Systemen zu geben. In der Literatur werden Ansteuerverfahren ebenso als Kontrollstrategien, Modulationsverfahren oder Ansteuermethoden bezeichnet. Wie in Abbildung 2.1 gezeigt, ist die *Modulation* innerhalb eines Regelkreises dem MLI-System vorgelagert[4]. Basierend auf der aktuellen Spannungsreferenz werden im Zuge der Modulation die Ansteuersignale zur Steuerung der Halbleiterelemente des MLI erzeugt. Der Modulator gibt damit den Schaltzustand des MLI-Systems vor. Die aktuelle Referenzforderung $u_{\mathrm{ref}}(t)$ bestimmt dabei im Wesentlichen die Anzahl zu aktivierender Spannungsquellen n_{s} im Invertersystem[5]. Entsprechend des vorliegenden Ansteuerverfahrens erfolgt die Auswahl der Energiespeichereinheiten, die für die Generierung der MLI-Ausgangsspannung herangezogen werden sollen. Diese Auswahl wird neben der Anzahl zu aktivierender *Energiespeichereinheiten (energy storage units, ESUs)* auch von aktuellen Systemvariablen beeinflusst wie beispielsweise den jeweiligen Ladezuständen der inhärenten Batteriezellen. Die Modulationsverfahren beim MLI dienen in erster Linie dem Zweck, die Ansteuersignale derartig zu realisieren, dass die resultierende Ausgangsspannung am Ausgang des MLI u_{MLI} der Spannungsforderung $u_{\mathrm{ref}}(t)$ möglichst präzise folgt. Je nach Wahl des Ansteuerverfahrens können zusätzliche Optimierungsziele bestehen, die mit den vom Modulator generierten Schaltzuständen erfüllt werden sollen. Mögliche Optimierungsziele stellen unter anderem die gezielte Unterdrückung niederfrequenter Harmonischer dar, welche in der Regel den dominierenden Anteilen eines Signals entsprechen [81]. Der Fokus derartiger Verfahren liegt auf der Minimierung des Oberwellengehalts der erzeugten MLI-Ausgangsspannungen. Obwohl diese Verfahren meist ebenso ein präzises stufenförmiges MLI-Spannungsmuster produzieren, das der Referenzspannung in den meisten Fällen sehr exakt folgt, basiert die Ermittlung der Schaltzeitpunkte auf der Harmonischen-Eliminierung [1, 38, 148]. Ein weiteres Optimierungsziel, welches durch eine geeignete Wahl der Ansteuersignale verfolgt werden kann, ist beispielsweise die Minimierung der Schaltverluste. Dabei können die Schaltzustände so gewählt werden, dass die Summe der auftretenden Schaltoperationen einem Minimum entspricht [45, 116, 157]. Aufgrund der Präsenz von Halbleiterelementen in MLI-Systemen besitzt der MLI die wesentliche Fähigkeit, die Ladezustände der einzelnen Batteriezellen ohne zusätzlichen Hardwareaufwand effizient ausgleichen zu können. Zur Realisierung eines solchen Ladungsausgleichs der Batteriezellen können verschiedene Balancingalgorithmen angewendet werden [26, 43, 84, 86, 98, 103, 162]. Die Festlegung der Steuersignale für die Halbleiterelemente im Modulator zielt dabei auf die Optimierung der Ladezustände der Spannungsquellen ab.

In der Literatur finden sich zahlreiche Ansteuerverfahren, wie Franquelo et al. anhand einer geeigneten Übersicht gängiger Modulationsverfahren zeigen [40]. Es existieren dabei verschiedene Ansätze, diese zu kategorisieren. Eine mögliche Klassifizierung kann anhand des zugrundeliegenden Anwendungsbereichs vorgenommen werden, wie von Franquelo et al. umgesetzt. Dabei zählen Modulationsverfahren, die die Schaltsignale auf Basis der Bildung eines Spannungsvektors erzeugen, zu den sogenannten raumzeigerbasierten Algorithmen. Die zweite Gruppe bilden Verfahren, die im Zeitbereich arbeiten. Rodríguez et al. kategorisieren die Modulationsverfahren auf der Grundlage der vorherrschenden Schaltfrequenz [133]. Abbildung 2.5 visualisiert die Einteilung entsprechend der Schaltfrequenz. Diese ist ebenso bei Komsiyska et al. zu finden [84]. Dabei sind die bekanntesten und wichtigsten Verfahren berücksichtigt. Grundsätzlich existieren hierbei drei Kategorien unterschiedlicher Ansteu-

[4] Hinweis: Formal gesehen bilden der Modulationsblock sowie das MLI-System eine Einheit. Zur Verdeutlichung der Signalerzeugung und dem Invertersystem, bestehend aus den jeweiligen Halbleiterelementen und den Batteriezellen, werden die Blöcke separat dargestellt.

[5] Hinweis: Die Energiespeichereinheiten werden in Abschnitt 2.2 ausführlich vorgestellt.

erverfahren. Die erste Gruppe bildet *niederfrequente Verfahren* ab, welche mit einer geringen Schaltfrequenz arbeiten. Diese werden auch als fundamentale Ansteuermethoden bezeichnet [54, 163]. Liegt die Schaltfrequenz in hohen Bereichen, handelt es sich bei dem zugehörigen Verfahren um ein *hochfrequentes Verfahren*. Die dritte Kategorie berücksichtigt Modulationsverfahren, welche eine Mischung der beiden anderen Verfahren darstellen, sogenannte *hybride Verfahren*. Nachfolgend erfolgt eine kurze Erläuterung zu relevanten Ansteuermethoden[6]. Die Erläuterungen basieren im Wesentlichen auf den Referenzen [54, 80, 86, 133, 152, 155].
Unabhängig vom jeweiligen Modulationsverfahren lässt sich der sogenannte Amplitudenmodulationsindex wie folgt berechnen.

$$m_\mathrm{a} = \frac{\hat{u}_\mathrm{ref}}{u_\mathrm{MLI,max}} \tag{2.3}$$

Dieser definiert das Verhältnis der Amplitude der aktuellen Referenzforderung $\hat{u}_\mathrm{ref}$ zu der maximal vom MLI erzeugbaren Ausgangsspannung $u_\mathrm{MLI,max}$ gemäß Gleichung (2.2).

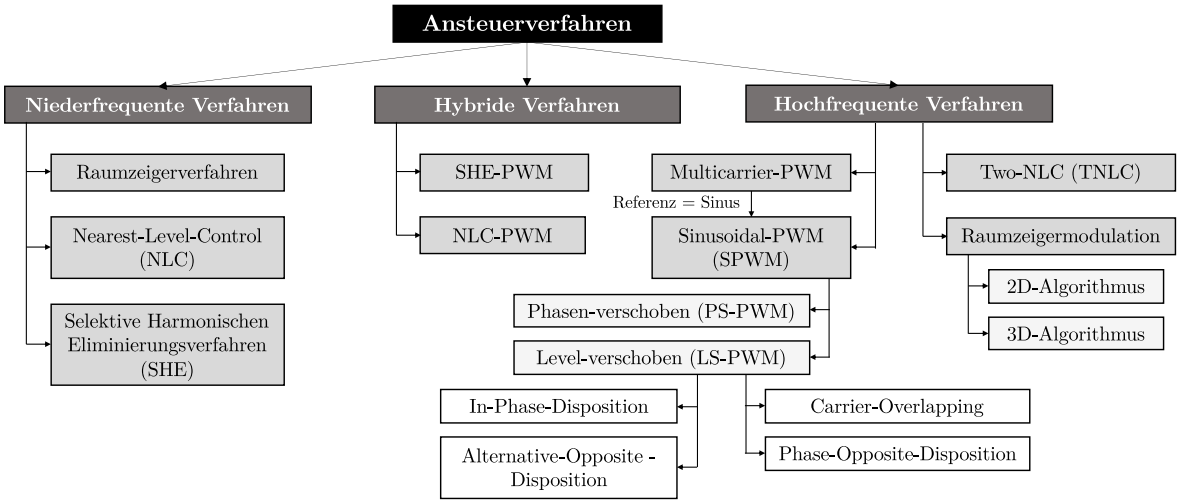


Abbildung 2.5: Einteilung in die existierenden Ansteuerverfahren. Die Abbildung wurde selbst erstellt in Anlehnung an die Übersicht von Komsiyska et al. [84].

2.1.3.1 Niederfrequente Verfahren

2.1.3.1.1 Nearest-Level-Control (NLC)

Eines der grundlegendsten Verfahren, welches aufgrund der niederfrequent stattfindenden Schaltoperationen zu der Gruppe der fundamentalen Ansteuermethoden zählt, ist die sogenannte *Nearest level control (NLC)*. Das Grundprinzip dieser Methode besteht darin, die geforderte Referenzspannung $u_\mathrm{ref}(t)$ zu jedem Abtastzeitpunkt durch das ‚nächstgelegenste' Spannungslevel abzubilden, welches aus der Menge aller vom MLI generierbaren Spannungslevel ausgewählt werden kann [27, 32, 86, 103, 133]. Im einfachsten Fall erfolgt die Berechnung der MLI-Ausgangsspannung basierend auf Gleichung (2.4), weshalb dieses Verfahren auch als *Rundungsverfahren* bezeichnet wird.

$$u_\mathrm{MLI} = \left\lfloor \frac{u_\mathrm{ref}(t)}{u_\mathrm{SM}} \right\rceil \tag{2.4}$$

[6] Hinweis: Die Darstellungen der einzelnen Verfahren beziehen sich im Großteil der Fälle auf MLI-Systeme mit einem einheitlichen Moduldesign, um eine bessere Verständlichkeit zu gewährleisten. Diese lassen sich über einfache Adaptionen auch auf MLI-Designs anwenden, bei welchen die Module eine divergierende Spannung aufweisen. Es wird daher davon ausgegangen, dass alle Submodule eine identische Ausgangsspannung von u_SM aufweisen. In Abschnitt 4.3.2 wird auf das Moduldesign von MLIs ausführlich eingegangen.

Basierend auf den Spannungen der vorhandenen Submodule werden alle möglichen Spannungspegel ermittelt, die der MLI erzeugen kann. Das Spannungslevel mit der aktuell geringsten Differenz zu $u_{\mathrm{ref}}\,(t)$ gilt als das am nächsten liegende. Dieses wird so lange vom MLI-System ausgegeben bis ein anderes Spannungslevel eine geringere Spannungsdifferenz zu $u_{\mathrm{ref}}\,(t)$ aufweist. Die Zahl der Schaltvorgänge ergibt sich dabei abhängig von der Höhe der MLI-Stufen. Je mehr Submodule im System vorhanden sind und damit in der Regel auch mit sinkender Modulspannung, desto mehr Stufen weist die MLI-Ausgangsspannung auf. Die Granularität dieses generierten Ausgangssignals nimmt folglich zu. Abbildung 2.6 zeigt skizzenhaft eine Visualisierung der NLC-Ansteuermethode für ein MLI-System, bestehend aus insgesamt drei Modulen der Spannung u_{SM} [103]. Neben einer vollständigen Periode der Referenzfrequenz ist das zugehörige MLI-Ausgangsspannungsmuster dargestellt, welches mit der NLC-Methode gewonnen wurde. Die Periodendauer T_{ref} einer Referenzspannung ergibt sich dabei allgemein aus der Referenzfrequenz f_{ref} zu

$$T_{\mathrm{ref}} = \frac{1}{f_{\mathrm{ref}}}\,. \tag{2.5}$$

Wie erkennbar, sind insgesamt sieben unterschiedliche Spannungslevel generierbar[7]. Die Stufenspannung entspricht u_{SM}. Die gefüllten Kreise verdeutlichen die Umschaltzeitpunkte. Für den gezeigten Fall lässt sich die Bedingung für eine Umschaltung auf Basis der Referenzforderung mit Gleichung (2.6) definieren.

$$u_{\mathrm{ref}}\,(t) = \pm\,(k+0,5)\;u_{\mathrm{SM}} \quad \text{für} \quad k \in \left\{0 \ldots n_{\mathrm{SM}}-1\right\} \tag{2.6}$$

Ist Gleichung (2.6) erfüllt, ändert sich das nächstgelegenste Spannungslevel und es erfolgt eine Schaltoperation. Je MLI-Stufe ergibt sich maximal eine Schalthandlung innerhalb einer Viertelperiode, woraus sich die Zuordnung zu den niederfrequenten Ansteuerverfahren begründet.

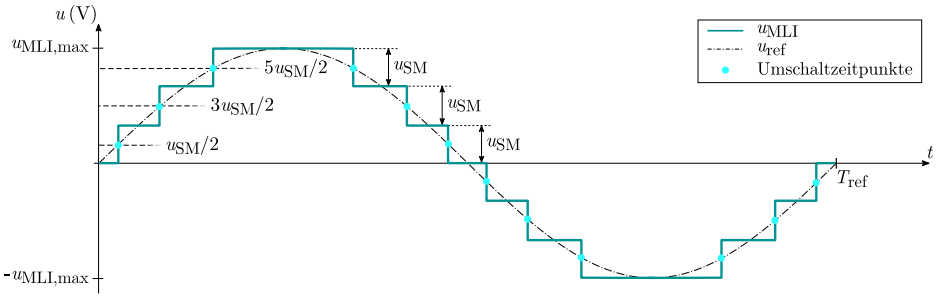


Abbildung 2.6: Schematische Darstellung des NLC-Verfahrens.

2.1.3.1.2 Selektive Harmonischen-Eliminierung (SHE)

Das *Selective harmonic elimination (SHE)*-Verfahren zählt zu den niederfrequenten Modulationsverfahren. Der Fokus dieses Verfahrens liegt in der Eliminierung störender harmonischer Oberwellen im Ausgangssignal, den sogenannten *Harmonischen*[8]. Als Harmonische k wird grundsätzlich eine sinusförmige Schwingung bezeichnet, deren zugehörige Frequenz f_k einem Vielfachen der Grundfrequenz f_0 entspricht [23, 150, 169]. Im vorliegenden Anwendungsfall gleicht die Grundfrequenz der geforder-

[7] Hinweis: Der Vollständigkeit halber sei ergänzt, dass eine Mikrotopologie vorausgesetzt wird, welche in der Lage ist, sowohl positive als auch negative Modulspannungen $\pm\,u_{\mathrm{SM}}$ zu erzeugen.

[8] Hinweis: Nachfolgende Erläuterungen beziehen sich hauptsächlich auf die Quellen [1, 23, 35, 38, 54, 80, 81, 84, 86, 133, 148, 150, 169].

ten Referenzfrequenz f_{ref}. Liegt das zu analysierende Signal v periodisch vor, sind diese Vielfachen ganzzahlig und es gilt gemäß Chattopadhyay et al. [23]

$$f_k = n\,\frac{\omega_0}{2\pi} = n\,f_0 = k\,f_{\mathrm{ref}} \quad \text{für} \quad k \in \mathbb{N}\,. \tag{2.7}$$

Hierbei bezeichnen ω_0 die grundlegende Kreisfrequenz sowie die der Referenz und n die Ordnung der Harmonischen k. Die n-te harmonische Komponente v_k eines beliebigen, nicht sinusförmigen Signals v besitzt damit die Form

$$v_k = \hat{v}_k \sin\left(2\,\pi\,k\,f_{\mathrm{ref}}\,t\right)\,, \tag{2.8}$$

wobei $\hat{v}_k$ die zugehörige Amplitude dieses harmonischen Anteils widerspiegelt. Im Falle eines MLI entspricht das Signal v der Ausgangsspannung einer MLI-Phase u_{MLI}.
Durch geeignete Wahl der Schaltwinkel beim SHE-Verfahren, welche die Schaltzeitpunkte darstellen, bei denen sich der Schaltzustand ändert und damit das aktuelle MLI-Ausgangsspannungslevel wechselt, lässt sich eine definierte Anzahl an Harmonischen aus dem Spektrum des Ausgangssignals entfernen. Die Basis dieses Verfahrens bildet die Fourierreihenentwicklung von u_{MLI}, mithilfe derer allgemein die harmonischen Anteile eines Signals ermittelt werden können. Eine Beschreibung der Fourierreihenentwicklung sowie die Auflistung der wichtigsten Gleichungen finden sich in Anhang A.1.4. Die nachfolgenden Erläuterungen beziehen sich auf eine beliebige MLI-Phasenspannung u_{MLI}. Dabei gelten identische Zusammenhänge für alle n_{ph} Phasenspannungen eines MLI-Systems in einem Antriebssystem. Gemäß der Definition der Fourierreihe lässt sich die periodische Phasenspannung eines MLI aus unendlich vielen Sinuskurven, den Harmonischen k, abbilden [81, 90, 91]. Da es sich bei der Referenzspannung und in der Folge auch bei der Phasenspannung des MLI in der Regel um eine ungerade Funktion handelt, finden an diesem Punkt die Vereinfachungen gemäß Gleichung (A.12b) Anwendung. Dies bedeutet, dass der Gleichanteil a_0 sowie der Fourierkoeffizient der Konsinusanteile der allgemeinen Fourierreihe aus Gleichung (A.8) entfallen. Infolgedessen ergibt sich die Fourierreihenentwicklung der Phasenspannung u_{MLI} in der folgenden Form.

$$u_{\mathrm{MLI}} = \sum_{k=1}^{\infty} \hat{u}_k\,\sin(k\,\omega_0 t) = \underbrace{\hat{u}_1\,\sin(\omega_0 t)}_{f_1(t)} + \underbrace{\sum_{k=2}^{\infty} \hat{u}_k\,\sin(k\,\omega_0 t)}_{f_k(t)} \tag{2.9}$$

Wie erkennbar, enthält das Ergebnis u_{MLI} lediglich die ungeraden Sinuskomponenten [91, 148]. Dabei repräsentiert $\hat{u}_k$ die Fourierkoeffizienten der Sinusanteile in Gleichung (A.8), welche den Amplituden der k-ten Harmonischen entsprechen. Gemäß Gleichung (A.9c) lassen sich diese mit

$$\hat{u}_k = \frac{4}{\pi} \int_0^{\pi/2} u_{\mathrm{MLI}}\,\sin(k\,\omega_0 t)\,\mathrm{d}\omega t \tag{2.10}$$

bestimmen. Aufgrund der Punktsymmetrie der geraden Funktion u_{MLI} ist eine Integralbildung im Bereich von $\omega t = [0;\,\pi/2]$ ausreichend. Gemäß der Kennzeichnung in Gleichung (2.9), lässt sich die Fourierdarstellung von u_{MLI} in die sogenannte Grundwelle $f_1(t)$, die die erste Harmonische repräsentiert, sowie einen harmonischen Anteil $f_k(t)$, bestehend aus allen übrigen Oberwellen mit $k \geq 2$, aufteilen. Wie von Kim beschrieben, trägt alleine die Grundwelle zur nutzbaren Wirkleistung im angeschlossenen Verbraucher bei, welcher im vorliegenden Fall der elektrischen Maschine entspricht [81]. Alle anderen höherfrequenten Harmonischen erzeugen einen störenden Blindanteil, der nicht für den Antrieb der elektrischen Maschine genutzt werden kann. Stattdessen führen diese Oberwellen zu erhöhten Kern- und Kupferverlusten im Stator- sowie im Rotorkreis, die sich in einer Reduzierung des Leistungs-

faktors, einer Überhitzung, einer zusätzlichen Belastung der Isolation, einer erhöhten EMV und/oder Rausch- und Lärmbelastung äußern können [12, 23, 81, 150]. Die harmonischen Komponenten bzw. ihre sogenannten *Spektralanteile* können in einem Frequenzspektrum dargestellt werden. Abbildung 2.7 visualisiert beispielhaft das Frequenzspektrum eines Rechtecksignals aufgetragen über der Ordnungszahl n bis zur zwölften Harmonischen, wobei die jeweiligen Anteile auf den Wert der fundamentalen Komponente normiert sind[9]. Ausschließlich der Spektralanteil der Grundwelle kann genutzt werden. Wie dem Frequenzspektrum mit den zugehörigen Spektrallinien entnommen werden, besitzt das ana-

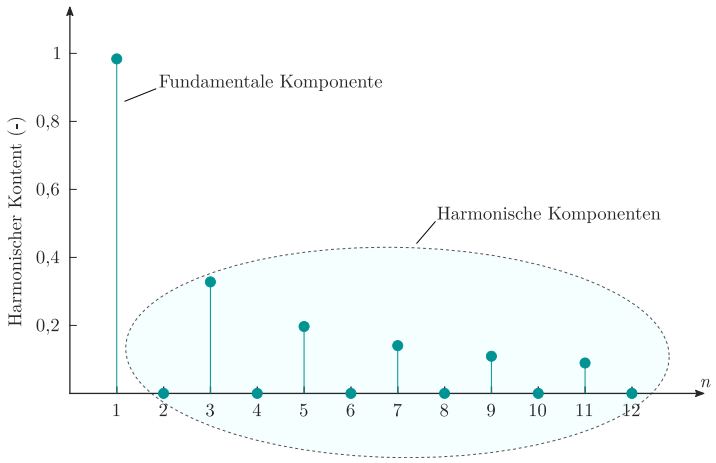


Abbildung 2.7: Frequenzspektrum mit der Darstellung der fundamentalen sowie den harmonischen Komponenten in Anlehnung an die Visualisierung von Kim [81]. Alle Spektralanteile sind auf den Wert der fundamentalen Komponente normiert.

lysierte Signal eine Verzerrung und entspricht keinem idealen Sinussignal. Ein ideales Signal besitzt lediglich einen Ausschlag für $k = 1$. Die Anteile der Oberwellen $k \geq 2$ sind null. Der Oberwellengehalt des Ausgangssignals wird in Form des bereits erwähnten THD-Werts zusammengefasst, mit dessen Hilfe eine Aussage über den Grad der Verzerrung getroffen werden kann. Aufgrund seiner Wichtigkeit und der Stellung als Bewertungskriterium wird dieser Parameter in Abschnitt 4.4.2 gesondert betrachtet.

Um ein Gleichungssystem für die Fourierkoeffizienten $\hat{u}_k$ als Basis für das SHE-Verfahren zu erhalten, muss das Integral aus Gleichung (2.10) gelöst werden. Das Ergebnis findet sich in Gleichung (2.11).

$$\hat{u}_k = \frac{4\,u_{\mathrm{MLI}}}{\pi k} \sum_{i=1}^{n_{\mathrm{SM}}} \cos(k\,\theta_i) \stackrel{!}{=} m_{\mathrm{a}}\,u_{\mathrm{MLI,max}} = u_{\mathrm{ref}} \qquad \text{für} \quad k = 1 \tag{2.11a}$$

$$\hat{u}_k = \frac{4\,u_{\mathrm{MLI}}}{\pi k} \sum_{i=1}^{n_{\mathrm{SM}}} \cos(k\,\theta_i) \stackrel{!}{=} 0 \qquad \text{für} \quad k \in \underbrace{\{3;\,5;\,\ldots\}}_{|k|=n_{\mathrm{SM}}-1} \tag{2.11b}$$

Dabei spiegelt Gleichung (2.11a) die Amplitude der Grundwelle $\hat{u}_1$ wider, welcher der aktuell geforderten Referenzspannung entspricht und sich aus dem Amplitudenmodulationsindex multipliziert mit der maximal erzeugbaren MLI-Ausgangsspannung gemäß Gleichung (2.3) zusammensetzt. Gleichung (2.11b) bildet den Zusammenhang der Oberwellen ab. Um die störende Einwirkung dieser harmonischen Komponenten zu eliminieren, werden diese zu Null gesetzt. Für ein MLI-System mit n_{SM} Submodulen je Inverterphase ergeben sich innerhalb einer Viertelperiode des Referenzsignals insgesamt n_{SM} Schalthandlungen. Folglich lassen sich n_{SM} Schaltwinkel, θ_i mit $i \in \{1 \ldots n_{\mathrm{SM}}\}$, definieren und es können ebenso viele Gleichungen zur Realisierung der Grundwelle und die Eliminierung der

[9] Hinweis: Die Visualisierung des zugehörigen Rechtecksignals findet sich in Anhang A.1.5 in Abbildung A.2.

Oberwellen aufgestellt werden. Da ein Schaltwinkel zur Implementierung der Grundwellengleichung erforderlich ist und damit ein Freiheitsgrad für die Bereitstellung der Wirkleistung benötigt wird, verbleiben in Summe $n_{\mathrm{SM}} - 1$ Schaltwinkel, die zur Unterdrückung der Harmonischen eingesetzt werden können [35, 38, 84]. Bei Betrachtung von Gleichung (2.11b) wird ersichtlich, dass in die Berechnung der Amplitude $\hat{u}_k$ die Ordnung k indirekt proportional eingeht. Dies verdeutlicht die Tatsache, dass die niederfrequenten Oberwellen die dominanten Anteile im Spektrum der MLI-Ausgangsspannung darstellen, weshalb diese im Eliminierungsprozess fokussiert werden. Dabei spielen lediglich die ungeraden Harmonischen eine Rolle, wie auch in Abbildung 2.7 erkennbar. Aufgrund der Punktsymmetrie von u_{MLI} entfallen die geraden Oberwellen und sind im Spektrum nicht vorhanden [81].
Bei der Bestimmung der Schaltwinkel θ_i mit $i = \{1 \ldots n_{\mathrm{SM}}\}$ muss folgende Bedingung erfüllt sein [148].

$$\theta_1 < \theta_2 < \ldots < \theta_i < \ldots < \theta_{n_{\mathrm{SM}}} < \frac{\pi}{2} \tag{2.12}$$

Zur Ermittlung dieser Schaltwinkel kommen in der Regel offline-basierte Berechnungsmethoden zum Einsatz, die vor dem eigentlichen Betrieb stattfinden. Meist werden zur Lösung des Gleichungssystems aus Gleichung (2.11) Optimierungsverfahren, wie sogenannte Verfahren der Partikelschwarmoptimierung oder generische Algorithmen, herangezogen [11, 35, 38, 80, 130]. Die offline ermittelten Schaltwinkel werden in Lookup-Tabellen gespeichert, auf welche während des Betriebs zugegriffen werden kann [40, 84]. Um einen möglichst großen Bereich abzudecken, werden die Schaltwinkel für ein breites Spektrum an Modulationsindizes berechnet und je nach aktueller Forderung interpoliert [133]. Aufgrund der Punktsymmetrie des Referenzsignals lassen sich die n_{SM} einer Viertelperiode auf die restliche Sinusperiode anwenden. Abbildung 2.8 visualisiert das grundsätzliche Prinzip des SHE-Verfahrens. In Analogie zu Abbildung 2.6 ist ein MLI-System gewählt, das sich aus drei Submodulen zusammensetzt. Alle drei Module weisen eine Ausgangsspannung von u_{SM} auf. Basierend auf $n_{\mathrm{SM}} = 3$ existieren drei Schaltwinkel je Viertelperiode, welche mit Gleichung (2.11) berechnet werden können. Wie erkennbar, erfolgt bei den jeweiligen Schaltwinkel θ_1 bis θ_3 eine Schalthandlung. Darüber hinaus ergeben sich aus diesen drei Schaltwinkeln die Schaltzeitpunkte über die gesamte Referenzperiode mit den gegebenen Zusammenhängen aus Abbildung 2.8.

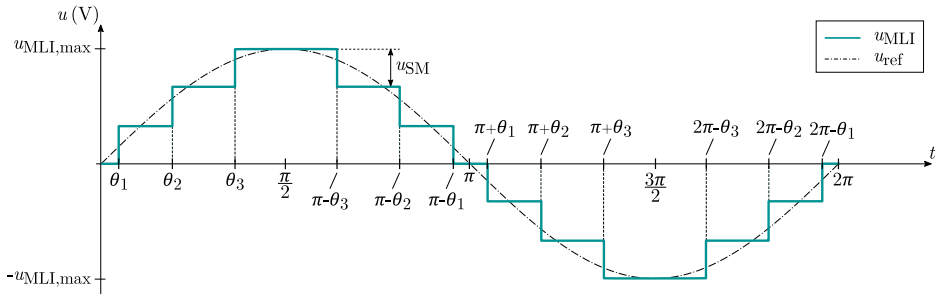


Abbildung 2.8: Schematische Darstellung des SHE-Verfahrens.

2.1.3.2 Hochfrequente Verfahren

2.1.3.2.1 Trägerbasierte Pulsweitenmodulation (SPWM)

Ein sehr verbreiteter Vertreter der hochfrequenten Modulationsverfahren ist die sogenannte *sinusoidal pulse width modulation (SPWM)* [54, 84, 86, 113, 133, 137]. Diese zählt zu der Gruppe der trägerbasierten Ansteuerverfahren, welche generell auf der Präsenz sogenannter Trägersignale (engl. *carrier signals*) basieren. Das wesentliche Prinzip dieses Verfahrens besteht in einem Vergleich derartiger Trägersignale mit einem Referenzsignal im Zeitbereich. Für den Fall, dass es sich bei der Referenz

um ein Sinussignal handelt, liegt, wie der Name bereits andeutet, die SPWM vor. Abbildung 2.9 visualisiert skizzenhaft das grundsätzliche Funktionsprinzip. Die Darstellungen werden in Übereinstimmung mit Abbildung 2.6 sowie Abbildung 2.8 für ein Beispiel von $n_{\mathrm{SM}} = 3$ gezeigt. Neben dem sinusförmigen Referenzsignal sind im oberen Teil der Grafik insgesamt sechs Dreiecksignale illustriert. Diese entsprechen den Trägersignalen. Grundsätzlich können verschiedene Trägersignalfunktionen ver-

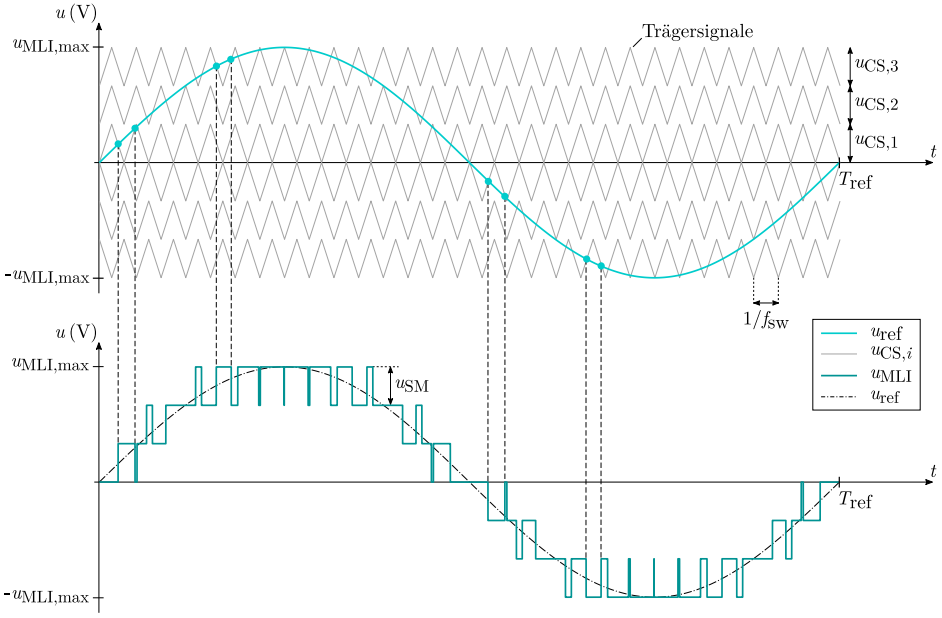


Abbildung 2.9: Schematische Darstellung des SPWM-Verfahrens. Die MLI-Ausgangsspannung u_{MLI} resultiert aus dem Vergleich einer Referenzspannung mit Trägersignalen.

wendet werden, wie beispielsweise die Sägezahnform. In den meisten Fällen wird jedoch, wie auch in Abbildung 2.9, die Dreiecksform eingesetzt [113]. In der gezeigten Abbildung nimmt der Amplitudenmodulationsindex einen Wert von $m_{\mathrm{a}} = 1$ an. Die Anzahl der Trägersignale n_{CS} ergibt sich in der Regel aus der doppelten Anzahl an Submodulen gemäß Gleichung (2.13).

$$n_{\mathrm{CS}} = 2\, n_{\mathrm{SM}} \tag{2.13}$$

Dabei entsprechen die Peak-to-Peak-Werte der Trägersignale jeweils den Modulspannungen der vorhandenen Module im MLI-System[10]. Wie von Rodríguez et al. beschrieben, befindet sich ein Trägersignal zwischen zwei verfügbaren MLI-Ausgangsspannungslevel [133]. Die Trägersignale sind folglich zueinander achsenverschoben, d.h. sie unterscheiden sich in ihrem jeweiligen Spannungsgleichanteil. Dieser Sachverhalt ist in Abbildung 2.9 visualisiert. Dabei berühren sich die jeweiligen Extrema der Trägersignale, es erfolgt jedoch keine Überlappung. Wie erkennbar, decken die Trägersignale für $m_{\mathrm{a}} = 1$ den gesamten Peak-to-Peak-Bereich der Referenzspannung u_{ref} ab, der sich aus $2\,\hat{u}_{\mathrm{ref}}$ zusammensetzt. Damit gilt die Beziehung

$$2\,\hat{u}_{\mathrm{ref}} = \sum_{i=1}^{n_{\mathrm{CS}}} u_{\mathrm{CS},i} \; = 2\, n_{\mathrm{SM}} u_{\mathrm{SM}}\,. \tag{2.14}$$

[10] Hinweis: Es sei an dieser Stelle nochmals explizit erwähnt, dass den Betrachtungen ein Moduldesign identischer Modulgestaltung zugrunde liegt. Für MLI-Systeme, deren Modulspannungen voneinander abweichen, müssen entsprechende Modifikationen vorgenommen werden [155].

$u_{\mathrm{CS},i}$ repräsentiert dabei den Spannungsverlauf des i-ten Trägersignals. Der doppelte Wert von n_{SM} begründet sich aus der Tatsache, dass die Steuersignale zur Bildung einer positiven Ausgangsspannung sowie die zur Generierung negativer Ausgangsspannungen jeweils separat betrachtet werden. Aufgrund der Punktsymmetrie des Sinussignals ist es dabei jedoch auch möglich, für den Vergleich lediglich den Betrag von u_{ref} heranzuziehen, wodurch n_{SM} Trägersignale eingespart werden können [107]. In jedem Abtastschritt erfolgt ein Vergleich der Spannungswerte aller Trägersignale $u_{\mathrm{CS},i}\,(t)$ mit der aktuellen Spannungsreferenz $u_{\mathrm{ref}}(t)$. Dieser Vergleich liefert eine zur Anzahl der Trägersignale identische Zahl an logischen Signalfolgen, welche die Basis für Ansteuersignale der Halbleiterelemente im MLI bilden. Ist der Wert von $u_{\mathrm{CS},i}(t)$ kleiner als der aktuelle Referenzwert $u_{\mathrm{ref}}(t)$, ist das Ergebnis ein logisches High-Signal (1), andernfalls ein logisches Low (0). Mathematisch lässt sich dieser Sachverhalt mit dem Zusammenhang aus Gleichung (2.15) zusammenfassen.

$$s_i = \begin{cases} 1 & \text{für} \quad |u_{\mathrm{ref}}(t)| \;\geq\; |u_{\mathrm{CS},i}(t)| \\ 0 & \text{für} \quad |u_{\mathrm{ref}}(t)| \;<\; |u_{\mathrm{CS},i}(t)| \end{cases} \tag{2.15}$$

s_i repräsentiert dabei das i-te Schaltsignal. Die Anzahl der logischen High-Werte entspricht der Anzahl der zu aktivierenden Spannungsquellen. Da ein Submodul typischerweise aus zwei oder mehr Halbleiterelementen besteht, muss das Logiksignal auf Basis der Submodultopologie in die erforderliche Anzahl an Ansteuersignalen für die Halbleiterelemente transformiert werden. Abbildung 2.9 verdeutlicht für ausgewählte Zeitpunkte explizit das Ergebnis des Sinus-Dreieck-Vergleichs. Das entstehende MLI-Ausgangsspannungsmuster kann dem unteren Teil von Abbildung 2.9 entnommen werden. Je nach Phasenlage der einzelnen Trägersignale zueinander lassen sich verschiedene Subkategorien der SPWM-Variante unterscheiden, welche in der Übersicht von Abbildung 2.5 aufgeführt sind. Im gezeigten Fall aus Abbildung 2.9 befinden sich alle Trägersignale oberhalb der x-Achse in Phase zueinander. Die komplementären Trägersignale, welche ein negatives Vorzeichen aufweisen, resultieren aus der Spiegelung der positiven Pendants und sind damit um 180° phasenverschoben. Gemäß Abbildung 2.5 handelt es sich dabei um ein sogenanntes *Phase-Opposite-Disposition*-Verfahren. Die mit dieser Methode erzeugten Ausgangsspannungen weisen im Vergleich zu denen anderer Unterverfahren der Level-verschobenen SPWM-Varianten einen geringeren Oberwellengehalt auf [156]. Aus diesem Grund wird auf zusätzliche Erläuterungen zu diesen anderen Methoden verzichtet und stattdessen auf entsprechende Literatur verwiesen [67, 113, 137]. Ein bedeutender Faktor beim SPWM-Verfahren ist das Verhältnis der Frequenz der Trägersignale, welche als Trägerfrequenz f_{CS} bezeichnet wird, zur Referenzfrequenz f_{ref}. Dieses Verhältnis wird durch den sogenannten Frequenzmodulationsindex m_{f} beschrieben.

$$m_{\mathrm{f}} = \frac{f_{\mathrm{CS}}}{f_{\mathrm{ref}}} \tag{2.16}$$

Besitzen die einzelnen Trägersignale sowohl denselben Gleichanteil als auch eine identische Amplitude und unterscheiden sich ausschließlich in ihrer Phase zueinander, spricht man von einer phasenverschobenen (engl. *phase shifted*) SPWM. Der Phasenversatz der n_{SM} Trägersignale berechnet sich dabei zu $\varphi = \frac{2\,\pi}{n_{\mathrm{SM}}}$ [133].

2.1.4 Spezifikationen von Multilevel-Invertern

Wie sich in den folgenden Kapiteln zeigen wird, zeichnen sich MLI-Systeme durch eine Vielzahl von Charakteristika aus. Insbesondere im Hinblick auf die Bewertung der Funktionsbandbreite eines MLI-Systems sind diese von entscheidender Bedeutung. Komsiyska et al. verwenden verschiedene MLI-Funktionen zur Gegenüberstellung relevanter Mikrotopologien [84]. Eine ähnliche Herangehensweise

findet sich auch bei den Betrachtung in[155]. Darüber hinaus führen die Autoren im Zuge einer Studie zu symmetrischen und asymmetrischen MLI-Systemen weitere wichtige Merkmale dieser Invertervarianten ein [152]. Für eine ganzheitliche Analyse sind sowohl die verschiedenen MLI-Funktionen als auch zugehörige Merkmale oder Attribute von Bedeutung. Diese werden aus Gründen der Einfachheit unter dem Begriff der *MLI-Spezifikationen* zusammengefasst. Tabelle 2.1 listet die relevanten Spezifikationen auf. Aufgrund der Diversität der Merkmale und Funktionen sind abhängig von der jeweiligen Spezifikation entweder das zugehörige Symbol oder eine Abkürzung aufgeführt. Eine ergänzende Beschreibung spiegelt die exakte Definition wider.

2.1.5 Begriffsdefinition der Modulkombination zur Bildung eines Spannungslevels

Abschnitt 4.3.2 befasst sich im Detail mit den Einflussfaktoren der Submodul-Konfiguration. Diese definiert im Wesentlichen die Auslegung der vorhandenen Submodule in einem MLI-System und ihr Verhältnis zueinander. Die zugehörigen Erläuterungen setzen die Kenntnis des Begriffs der Modulkombination voraus, insbesondere der *NoPol*- und *Pol*-Kombinationen, welche in diesem Abschnitt vorgestellt werden [152].

Jede Inverterphase in einem CMLI besteht aus einer definierten Anzahl an Submodulen n_{SM}. Dabei bezeichnet $u_{\mathrm{SM},k}$ die Spannung des k-ten Moduls. Basierend auf dem Prinzip eines MLI werden hierzu die Spannungen von n_{s} Modulen kombiniert, um die aktuell geforderte Referenzspannung $u_{\mathrm{ref}}(t)$ am Eingang des MLI bestmöglich nachzubilden. Abhängig vom vorliegenden MLI-Design existieren dabei mehrere Kombinationsmöglichkeiten, um aus der Menge aller im System vorhandenen Submodule diejenigen auszuwählen, die durch das Aktivschalten der inhärenten ESU, das gewünschte Spannungslevel ausgeben. Aus Gründen der Einfachheit werden im Folgenden Module, deren Energiespeichereinheit im Aktivzustand vorliegt, auch als *aktive Module* bezeichnet. Submodule, in denen die Energiespeichereinheit zum aktuellen Zeitpunkt überbrückt wird, entsprechen *überbrückten Submodulen* oder *Submodulen im Bypasszustand*[11]. Die Summe der Modulspannungen aller aktivierter Submodule entspricht folglich der Phasenspannung am Ausgang des MLI-Systems $u_{\mathrm{MLI}}(t)$. Unter der Voraussetzung, dass die zugrundeliegende Mikrotopologie eine inhärente Polaritätsumkehr besitzt, können dabei auch Submodule kombiniert werden, deren Ausgangsspannung ein gegensätzliches Vorzeichen aufweisen. Die Berücksichtigung von Modulkombinationen ausschließlich identischer Polarität der Submodule oder die zusätzliche Implementierung von Modulkombinationen, bei welchen die Submodule divergierende Polaritäten aufweisen, kann einen erheblichen Einfluss auf die MLI-Spezifikationen und dessen Funktionsweise haben [152]. Dies wird anhand der Inhalte in Abschnitt 4.3.2 sowie insbesondere in Kapitel 5 deutlich. Für eine eindeutige Unterscheidung der erläuterten Kombinationsmöglichkeiten wird zunächst ein Vorzeichenkoeffizient c_k mit der Definition aus Gleichung (2.17) eingeführt.

$$c_k = \begin{cases} 1 : & u_{\mathrm{SM},k} > 0 \quad \textit{Aktivzustand:} \text{ Positiver Spannungsbeitrag} \\ 0 : & u_{\mathrm{SM},k} = 0 \quad \textit{Bypass:} \text{ Kein Spannungsbeitrag} \\ -1 : & u_{\mathrm{SM},k} < 0 \quad \textit{Aktivzustand:} \text{ Negativer Spannungsbeitrag} \end{cases} \tag{2.17}$$

Dieser Koeffizient spiegelt die aktuelle Polarität des k-ten Submoduls wider. Nimmt c_k den Wert 1 an, befindet sich das Submodul im Aktivzustand und trägt mit einer positiven Modulspannung

[11] Hinweis: Die Einführung der Begriffe *Aktivzustand* und *Bypasszustand* für Submodule dient ausschließlich der Vereinfachung einiger Erläuterungen in den folgenden Kapiteln. Es ist wichtig zu betonen, dass sich trotz der Bezeichnung Bypasszustand im Hinblick auf ein Submodul eine definierte Anzahl an Halbleiterelementen innerhalb des Submoduls im eingeschalteten Zustand befinden. Dies ermöglicht die Aufrechterhaltung des Laststroms. Die Benennung bezieht sich alleinig auf den aktuellen Zustand der Energiespeichereinheit.

zur Ausgangsspannung bei. Inverses gilt für den Fall, dass c_k dem Wert -1 entspricht. Das Modul liefert einen negativen Spannungsbeitrag. Gilt $c_k = 0$, ist das Modul im Bypasszustand. Das Submodul trägt nicht zur Ausgangsspannung bei. Sollen für die Spannungsbildung ausschließlich Submodule kombiniert werden, deren Modulspannungen dasselbe Vorzeichen aufweisen, berechnet sich $u_{\mathrm{MLI}}(t)$

Tabelle 2.1: Übersicht über wichtige MLI-Spezifikationen.

Bedeutung	**Symbol**	**Abkürzung**	**Beschreibende Erläuterungen**
Bypassfähigkeit	-	Byp	Das *Bypassen* bezeichnet die Fähigkeit zum seriellen Überbrücken von Energiespeichereinheiten in einem MLI-Phasenstrang. Je nach Schaltstruktur und Ansteuerung der Schalter kann eine ESU aus dem aktuellen Lastpfad heraus (Bypasszustand) oder aktiv in den Lastpfad geschaltet und damit *aktiviert* werden (Aktivzustand). Entsprechend des Zustands der ESU wird der des zugehörigen Submoduls aus Konformitätsgründen ebenso als aktiv oder überbrückt bezeichnet. In einigen Mikrotopologien ist ein serielles Bypassen von ESUs nur mit Einschränkungen möglich. Dies wird durch die Kennzeichnung *ME* verdeutlicht.
Polaritätsumkehr	-	PU	Der Begriff der *Polaritätsumkehr* beinhaltet die Fähigkeit, Ausgangsspannungen sowohl positiver als auch negativer Polarität erzeugen zu können. Ist eine Mikrotopologie nicht in der Lage, die Spannung der inhärenten ESU mit beiden Polaritäten auszugeben, so können Maßnahmen wie der Einsatz einer externen Moduleinheit zur Polaritätsumkehr ergriffen werden.
Parallelisierungsfähigkeit	-	Par	Die *Parallelisierungsfähigkeit* bezeichnet die Funktion einer MLI-Struktur, (benachbarte) ESUs und in der Folge die zugehörigen Submodule einander parallel zu schalten.
Spannungsfestigkeit	$u_{\mathrm{stv},i,k}$	STV	Bei der *Spannungsfestigkeit (standing voltage, STV)* handelt es sich um die maximale Spannung, welcher ein Halbleiterbauelement während des MLI-Betriebs ausgesetzt ist. Diese Spannung spiegelt damit einen wichtigen Wert bei der Wahl der Leistungshalbleiter wider [75, 76]. Je nach Mikrotopologie kann die STV der Halbleiterelemente voneinander abweichen. Eine ausführliche Definition der STV findet sich in Abschnitt 3.3. $u_{\mathrm{stv},i,k}$ spiegelt insbesondere die Spannungsfestigkeit des i-ten Schalters im k-ten Submodul wider.
Anzahl Spannungslevel	n_{level}	-	Dieser Wert gibt die maximale Anzahl an unterschiedlichen Spannungslevel an, die sich mithilfe eines MLI-Phasenstrangs bestehend aus n_{SM} Submodulen erzeugen lassen.
Anzahl Schalter je SM	$n_{\mathrm{sw,SM}}$	SSM	Der Wert entspricht der Gesamtanzahl an Schaltelementen innerhalb eines Submoduls in einem MLI-Phasenstrang.
Anzahl Schalter im Lastpfad	-	SLP	Diese Zahl repräsentiert die maximale Anzahl an Schaltelementen, die sich im eingeschalteten Zustand im aktuellen Lastpfad befinden. Da diese Anzahl in einigen Mikrotopologien variieren kann, wird ausschließlich die maximale Anzahl berücksichtigt.
Anzahl Schalter je Phase	-	SPH	Der Wert entspricht der Gesamtanzahl an Schaltelementen innerhalb eines gesamten MLI-Phasenstrangs. Die Anzahl ist dabei unabhängig vom vorliegenden Schaltzustand.
(Level)-Redundanz	$n_{\mathrm{red,SMLI}}$, $n_{\mathrm{red,AMLI}}$	-	Bei der *(Level-)Redundanz* handelt es sich um die Anzahl an existierenden Modulkombinationen (siehe Abschnitt 2.1.5), welche ein identisches Ausgangsspannungslevel l_{act} generieren. Für die Anzahl an Redundanzen in einem SMLI- sowie in einem AMLI-System werden jeweils die spezifischen Begriffe $n_{\mathrm{red,SMLI}}$ sowie $n_{\mathrm{red,AMLI}}$ eingeführt. Lässt sich ein Spannungslevel nur durch eine einzige Modulkombination erzeugen, wird das Level als *einzigartig* bezeichnet. Die Anzahl derartiger Level wird mit n_{uni} indexiert [152].
Quantisierung	$u_{\mathrm{q,min}}$, $u_{\mathrm{q,max}}$	-	Der Begriff der *Quantisierung* bezieht sich auf die Ausgangsspannungsform eines MLI und im Speziellen auf die zugehörigen Stufenspannungen. Dabei repräsentiert die minimale Quantisierung $u_{\mathrm{q,min}}$ in einem MLI die kleinste Stufenspannung, die mit der gegebenen Konfiguration erzeugbar ist. Umgekehrte Beziehungen ergeben sich für $u_{\mathrm{q,max}}$. Der Begriff bildet somit in spezifischer Weise die Granularität einer Phasenspannnung ab.
Ausgangsspannungsmuster	-	-	Wesentliche Charakteristik eines MLI stellt das erzeugte Spannungsmuster an dessen Ausgang dar. Da sich dieses sowohl auf Basis der Anzahl an Spannungslevel, der Granularität der Spannungsstufen und damit der Quantisierung der MLI-Stufen sowie der Redundanz definiert und diese Spezifikationen in der Regel von denselben Einflussfaktoren beeinflusst werden, fasst der Begriff des *Ausgangsspannungsmusters* diese Spezifikationen zusammen. Zudem spielt die Amplitude der Ausgangsspannung eine essenzielle Rolle, weshalb diese ebenso im Ausgangsspannungsmuster berücksichtigt ist.
Anzahl erzeugbarer Konfigurationen	n_{SMLI} n_{AMLI}	-	Dieser Parameter spiegelt die Anzahl an möglichen Konfigurationen -entweder in SMLI- oder AMLI-Ausführung- wider, die sich aus einer gegebenen Gesamtanzahl an Lithium-Ionen-Batteriezellen $n_{\mathrm{c,tot}}$ erzeugen lässt. Diese Größe verdeutlicht die Menge an Konfigurationen, aus denen diejenige ausgewählt werden kann, die die gewünschten Bewertungskriterien in optimaler Weise erfüllt [152].
Stromverteilung	-	CD	Wie der Name impliziert, spiegelt dieser Begriff die Verteilung des Laststroms in einer MLI-Struktur wider. Die *Stromverteilung* (engl. *current distribution*) ist vor allem bei der Implementierung von Parallelverbünden von essenzieller Bedeutung.
Fehlertoleranz	-	-	Der Begriff der *Fehlertoleranz* bezeichnet die Fähigkeit eines MLI-Systems, den Ausfall eines Moduls zu tolerieren. Je höher die Anzahl redundanter Level, desto höher ist die Robustheit dieses Systems und damit dessen Fehlertoleranz, dieses Spannungslevel zu erzeugen [20, 49].

unter Einbezug der Definition des Vorzeichenkoeffizienten aus Gleichung (2.17) wie folgt.

$$u_{\mathrm{MLI}}(t) = \sum_{k=1}^{n_{\mathrm{SM}}} c_k u_{\mathrm{SM},k} \quad \text{für} \quad c_k = \{0;\, 1\} \quad \oplus \quad \text{für} \quad c_k = \{-1;\, 0\}\,. \tag{2.18}$$

Für den Vorzeichenkoeffizienten sind in Gleichung (2.18) entweder nur die Werte $c_k = \{0;\, 1\}$ oder $c_k = \{-1;\, 0\}$ erlaubt. Diese Variante wird als *NoPol*-Modulkombination bezeichnet [152][12].
Gleichung (2.18) ist insbesondere auf Mikrotopologien anwendbar, die keine inhärente Polaritätsumkehr besitzen und lediglich Ausgangsspannungen desselben Vorzeichens generieren können. Ist die Spannungserzeugung auf Basis von Modulen mit unterschiedlicher Ausgangsspannung erlaubt, handelt es sich um *Pol*-Modulkombinationen oder *Pol*-Varianten. Voraussetzung für die Implementierung ist eine Mikrotopologie, die die Fähigkeit besitzt, sowohl positive als auch negative Ausgangsspannungen zu erzeugen. Der zugehörige mathematische Zusammenhang lautet

$$u_{\mathrm{MLI}}(t) = \sum_{k=1}^{n_{\mathrm{SM}}} c_k u_{\mathrm{SM},k} \quad \text{für} \quad c_k = \{-1; 0;\, 1\}\,. \tag{2.19}$$

Anders als in Gleichung (2.18) kann der Vorzeichenkoeffizient in Gleichung (2.18) drei Zustände annehmen.

2.1.6 Begriffsdefinition der Parallelpack-Formation

Je nach Referenzspannung $u_{\mathrm{ref}}(t)$ am Eingang eines MLI müssen eine spezifizierte Anzahl an Energiespeichereinheiten n_{s} in Serie geschaltet werden, um diese Spannungsforderung zu erfüllen [154]. Diese Anzahl lässt sich je nach vorliegendem Modulationsverfahren auf unterschiedliche Arten bestimmen. In einem der einfachsten Fälle ergibt sich n_{s} unter der Annahme einer identischen Modulspannung u_{SM} aller Submodule aus dem Quotienten der Referenzforderung zur Modulspannung[13].

$$n_{\mathrm{s}} = \left\lfloor \frac{u_{\mathrm{ref}}(t)}{u_{\mathrm{SM}}} \right\rceil \tag{2.20}$$

Es wird angenommen, dass $n_{\mathrm{ESU,ph}}$ die Anzahl aller Energiespeichereinheiten innerhalb eines MLI-Phasenstrangs repräsentiert. Für den Fall, dass $u_{\mathrm{ref}}(t)$ hinreichend klein und die Beziehung $n_{\mathrm{s}} < n_{\mathrm{ESU,ph}}$ erfüllt ist, werden nicht alle Energiespeichereinheiten eines MLI-Phasenstrangs für die Generierung der MLI-Ausgangsspannung benötigt. Hierbei kann die Anzahl der nicht erforderlichen Energiespeichereinheiten n_{rem} aus der Differenz der Gesamtzahl $n_{\mathrm{ESU,ph}}$ und der Zahl zu aktivierender n_{s} gemäß Gleichung (2.21) berechnet werden.

$$n_{\mathrm{rem}} = n_{\mathrm{ESU,ph}} - n_{\mathrm{s}} \tag{2.21}$$

Basierend auf den in Abschnitt 2.1.4 vorgestellten MLI-Spezifikationen können MLI-Topologien die Fähigkeit besitzen, Energiespeichereinheiten parallel zu schalten. Wie von Terbrack et al. am Beispiel der PECIN-Struktur gezeigt, wirkt sich die Parallelschaltung von Energiespeichereinheiten positiv auf die Verlustbilanz des MLI-Systems aus [161]. Dies liegt an der Tatsache, dass sich infolge der Auf-

[12] Hinweis: Die Bezeichnung *NoPol* lässt sich auf *no different polarity* und damit keine unterschiedliche Polung zurückführen. Im Gegensatz dazu spiegelt der Zusatz *Pol* wider, dass eine unterschiedliche Polarität der Module erlaubt ist.

[13] Hinweis: Die Berechnung in Gleichung (2.20) dient in erster Linie der Herleitung der Parallelpack-Formation. Dabei existieren zahlreiche Wege, wie die zu aktivierenden Energiespeichereinheiten innerhalb des MLI-Phasenstrangs bestimmt werden. Insbesondere bei Moduldesigns, in welchen die Spannungen der einzelnen Energiespeichereinheiten voneinander abweichen, wird in der Regel nicht die Anzahl der zu aktivierenden ESUs ermittelt, sondern direkt bestimmt, welche spezifischen Energiespeichereinheiten und damit welche Module aktiv geschaltet werden sollen.

teilung des Laststroms auf mehrere Energiespeichereinheiten die zugehörigen Leitverluste reduzieren lassen. Im Falle einer Mikrotopologie, die nicht über diese Parallelisierungsfähigkeit verfügt, werden ausschließlich n_s Energiespeichereinheiten aktiviert. Die übrigen n_rem Spannungsquellen befinden sich im Bypasszustand. Wird dagegen eine Mikrotopologie eingesetzt, die in der Lage ist, Energiespeichereinheiten zu parallelisieren, können diese eigentlich ungenutzten n_rem Energiespeichereinheiten verwendet werden, um sogenannte *Parallelverbünde (parallel packs, PPs)*, auch als *Parallelpacks* bezeichnet, zu formieren. Ein PP repräsentiert dabei allgemein einen Verbund aus $n_\mathrm{ESU,pp}$ parallel geschalteten Energiespeichereinheiten. Da sich die zugehörigen Submodule ebenso in einem Parallelzustand zueinander befinden, kann auch davon gesprochen werden, dass die Submodule parallel geschaltet sind. Für einen korrekten Betrieb darf die Anzahl der gebildeten Parallelpacks n_pp die Anzahl der in Serie zu schaltenden Energiespeichereinheiten nicht übersteigen wie in Gleichung (2.22) gegeben.

$$n_\mathrm{pp} \overset{!}{\leq} n_\mathrm{s} \tag{2.22}$$

Da für eine Parallelschaltung von Energiespeichereinheiten und die Aufteilung des Laststroms mindestens zwei Energiespeichereinheiten je Parallelverbund erforderlich sind, bildet der Zusammenhang

$$n_\mathrm{ESU,pp} \geq 2 \tag{2.23}$$

die Voraussetzung für einen Parallelverbund ab. Gilt $n_\mathrm{ESU,pp} = 1$, besteht ein Parallelverbund aus lediglich einer Energiespeichereinheit. Formal betrachtet handelt es sich dabei nicht um einen Parallelverbund, sondern um eine einzelne Energiespeichereinheit, die in Serie mit allen anderen Parallelverbünden in den Lastpfad geschaltet ist. Diese einzeln in Serie geschalteten Energiespeichereinheiten sind auch in Mikrotopologien anzutreffen, die eigentlich die Möglichkeit zur Parallelbildung besitzen. Insbesondere dann, wenn die Anzahl zu aktivierender Energiespeichereinheiten n_s die Hälfte der im MLI-Strang befindlichen Spannungsquellen übersteigt, d.h. folgende Ungleichung erfüllt ist.

$$n_\mathrm{pp} \leq \left\lceil 0,5\, n_\mathrm{ESU,ph} \right\rceil \tag{2.24}$$

Gleichung (2.24) verdeutlicht, dass bei ausreichend hohen Referenzforderungen die Zahl der zu aktivierenden Energiespeichereinheiten die Anzahl der verbleibenden n_rem Energiespeichereinheiten übersteigt. Es müssen mehr Energiespeichereinheiten in Serie geschaltet werden als solche existieren, die diesen parallel geschaltet werden können.
Die Art und Weise, wie die $n_\mathrm{ESU,ph}$ Energiespeichereinheiten auf die n_pp zu bildenden Parallelverbünde aufgeteilt werden, wird als *PP-Formation* bezeichnet [154]. Dabei existieren diverse Möglichkeiten, diese Formation umzusetzen. Gemäß den Untersuchungen der Autoren hat die PP-Formation einen bedeutenden Einfluss auf die verschiedenen Systemparameter wie beispielsweise den Ladezustand und muss deshalb berücksichtigt werden. Die exakte Aufteilung der Energiespeichereinheiten auf die Parallelverbünde und damit das Ergebnis der PP-Formation wird als *PP-Konfiguration* bezeichnet. Zur Verdeutlichung wird eine Nomenklatur eingeführt, die die vorliegende PP-Konfiguration $\mathrm{Config_{PP}}$ innerhalb eines MLI-Phasenstrangs charakterisiert. Diese spielt insbesondere eine entscheidende Rolle bei der Veranschaulichung von Analysen, in denen sich mit der Formation der Parallelverbünde befasst und der Einfluss verschiedener Methoden gegenüberstellt wird.

$$\mathrm{Config_{PP}} = \left[n_\mathrm{ESU,pp,1}, \ldots, n_\mathrm{ESU,pp,}p, \ldots, n_\mathrm{ESU,pp,}n_\mathrm{pp} \right] \tag{2.25}$$

Hierbei charakterisiert $n_\mathrm{ESU,pp,}p$ die Anzahl der Energiespeichereinheiten im k-ten Parallelverbund PP_p in einem MLI-System. Dabei ist die Reihenfolge der einzelnen Variablen von besonderer Bedeu-

tung und korreliert mit der tatsächlichen Position im Batteriestrang. Die jeweilige Position der letzten Energiespeichereinheit eines Parallelverbunds innerhalb eines Phasenstrangs ergibt sich dabei aus der kumulierten Summe der PP-Konfiguration aus Gleichung (2.25). Um mit dieser Definition dem Zustand aller Energiespeichereinheiten des Phasenstrangs Rechnung zu tragen, spiegelt $\text{Config}_{\text{PP}}$ ebenso den Zustand der Energiespeichereinheiten wider, die formal gesehen auf Basis von Gleichung (2.23) keinem Parallelverbund entsprechen. Hierzu zählen Energiespeichereinheiten, die entweder im Bypass- oder in einem reinen Serienmodus vorliegen. Ist $n_{\text{ESU,pp}} = 0$ erfüllt, wird die jeweilige Energiespeichereinheit überbrückt. Wie erwähnt, repräsentiert $n_{\text{ESU,pp}} = 1$ eine einzelne Energiespeichereinheit, die sich in Serie zu den Parallelverbünden bzw. übrigen Energiespeichereinheiten befindet. Zur Veranschaulichung der Nomenklatur aus Gleichung (2.25) visualisiert Abbildung 2.10 skizzenhaft die Verschaltung der Submodule bei einer gegeben PP-Konfiguration $\text{Config}_{\text{PP}} = [3, 1, 3, 0, 3]$. Aus Gründen der Übersichtlichkeit besteht der Batteriestrang damit aus einer Anzahl von $n_{\text{ESU,pp}} = 11$ Submodulen. Im gezeigten Fall existieren insgesamt fünf Parallelverbünde, wobei formal zwei dieser Verbünde gemäß

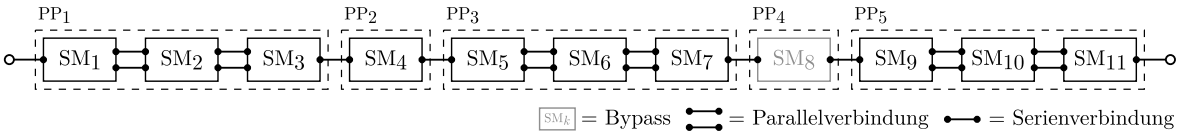


Abbildung 2.10: Veranschaulichung einer PP-Konfiguration am Beispiel von $\text{Config}_{\text{PP}} = [3, 1, 3, 0, 3]$ für $n_{\text{ESU,ph}} = 11$ Energiespeichereinheiten in einem MLI-Phasenstrang.

Gleichung (2.23) kein richtiges Parallelpack darstellen. Im Detail befindet sich die Energiespeichereinheit des Submoduls SM_4 einzeln seriell im Lastpfad. Submodul SM_8 befindet sich im Bypasszustand. Die übrigen drei Parallelverbünde setzen sich jeweils aus insgesamt drei Energiespeichereinheiten zusammen, d.h. $n_{\text{ESU,pp,1}} = n_{\text{ESU,pp,3}} = n_{\text{ESU,pp,5}} = 3$.
Die sogenannte Submodul-Konfiguration bezieht sich im Wesentlichen auf die Konfiguration der Submodule und ist während des Betriebs fest vorgegeben [155]. Im Gegensatz dazu stellt die PP-Konfiguration eine sich dynamisch ändernde Größe dar[14]. Die PP-Formation unterliegt abhängig von der Referenzanforderung zahlreichen Veränderungen über die gesamte Referenzperiode hinweg.

2.2 Einführung der Energiespeichereinheit

Nachfolgend wird das Ersatzschaltbild einer Lithium-Ionen-Batteriezelle vorgestellt. Da beim Design von MLI-Systemen auch das Moduldesign selbst von entscheidender Bedeutung ist, muss die Spannungsquelle eines Submoduls in einem MLI nicht zwangsläufig auf eine einzige Batteriezelle begrenzt sein. Vielmehr kann sich die Spannungsquelle in einem Submodul aus einer Serienschaltung mehrerer Lithium-Ionen-Batteriezellen zusammensetzen [149, 155]. Um neben einer einzelnen Lithium-Ionen-Batteriezelle ebenso eine Energiespeichereinheit modellieren zu können, wird das entsprechende Ersatzschaltbild erweitert.

2.2.1 Ersatzschaltbild einer Lithium-Ionen-Batteriezelle

Wie in Abbildung 2.1 gezeigt, setzt sich die HV-Batterie eines BEV aus einer fixen Serien- und Parallelschaltung von Batteriezellen zusammen. Dabei existieren eine Vielzahl unterschiedlicher Zelltypen, die für den Einsatz in einem Elektrofahrzeug entwickelt und getestet wurden. Unter all diesen Zellvarianten, die sich sowohl in ihrer Zellchemie als auch ihrer inneren Struktur unterscheiden, gilt die

[14] Hinweis: Die SM-Konfiguration wird ausführlich in Abschnitt 4.3.2 erläutert.

Lithium-Ionen-Technologie als besonders vielversprechend. Obwohl Lithium-Ionen-Batteriezellen im Vergleich zu anderen Batterietypen wie der Blei-Säure-Batterie höhere Kosten verursachen, bieten sie laut Ci et al. Vorteile wie eine hohe Energiedichte, eine geringe Selbstentladerate und einen hohen Lebenszyklus [25]. Darüber hinaus weisen Lithium-Ionen-Zellen keinen Memory-Effekt auf. Aus diesem Grund finden Lithium-Ionen-Batteriezellen häufig Anwendung in Elektrofahrzeugen [16, 21, 25, 84, 127]. Um geeignete Untersuchungen durchführen zu können, ist eine Modellierung dieser Art von Energiespeicher erforderlich. Dabei existieren verschiedene Modellierungsansätze, die sich hinsichtlich der Genauigkeit und des Aufwands der Modellierung unterscheiden [2, 16, 69, 143, 172].

Eine mögliche Variante bildet die Modellierung von Lithium-Ionen-Zellen mithilfe eines elektrischen Ersatzschaltbilds, welches einen Kompromiss aus einer einfachen Systemstruktur und einem geringen Rechenaufwand bietet bei einer gleichzeitig vergleichsweise hohen Systemgenauigkeit [16, 37, 143]. Dieser Modellierungsansatz nutzt elektrische Bauelemente wie Spannungsquellen, Widerstände und Kapazitäten, um die Systemeigenschaften und somit die Systemantwort der Batteriezelle auf einen Eingangsstrom möglichst präzise darzustellen. Abbildung 2.11 veranschaulicht das elektrische Ersatzschaltbild einer Lithium-Ionen-Batteriezelle gemäß der Darstellung von Schmid et al. [143]. Wie erkennbar, setzt sich das Ersatzschaltbild aus der Serienschaltung einer idealen Spannungsquelle, der sogenannten *Leerlaufspannung (open-circuit voltage, OCV)*, einem Innenwiderstand $R_{0,\mathrm{cell}}$, sowie einer Anzahl von n_{RC} kaskadierten Parallelschaltungen eines Widerstands und einer Kapazität, den *RC-Gliedern*, zusammen. Dabei werden der Widerstand sowie die Kapazität des n-ten RC-Glieds jeweils mit $R_{\mathrm{p,cell},n}$ sowie $C_{\mathrm{p,cell},n}$ bezeichnet. Gemäß der Erläuterungen von Bruen et al. ist die Leerlaufspannung einer Batteriezelle eine Funktion des zugrundeliegenden *Ladezustands (state of charge, SoC)* [16]. Dieser wird in Abschnitt 4.2.3 als Systemvariable in einem MLI-System gesondert betrachtet. Auf Basis des in Abbildung 2.11 gezeigten Ersatzschaltbilds einer Lithium-Ionen-Zelle ergibt sich die allgemeine Berechnungsformel für die Klemmenspannung einer Lithium-Ionen-Batteriezelle u_{cell} nach Gleichung (2.26) [16].

$$u_{\mathrm{cell}} = u_{\mathrm{OC,cell}} + i_{\mathrm{cell}}\, R_{0,\mathrm{cell}} + \sum_{n=1}^{n_{\mathrm{RC}}} u_{\mathrm{p,cell},n}\,. \tag{2.26}$$

Dabei repräsentiert $u_{\mathrm{p,cell},n}$ den Spannungsabfall über dem n-ten RC-Glied einer Lithium-Ionen-Zelle. Die Verwendung von RC-Gliedern ermöglicht es, die chemischen Effekte innerhalb des dynamischen Systems der Lithium-Ionen-Zelle angemessen zu berücksichtigen. Je nach Anzahl n_{RC} können verschiedene Modelle unterschieden werden, wie in Abbildung 2.11 gekennzeichnet. Erfolgt die Modellierung der Batteriezelle ausschließlich auf Basis der idealen Leerlaufspannung und dem Innenwiderstand der Zelle, spricht man vom sogenannten *Rint-Modell*. Für $n_{\mathrm{RC}} = 1$ handelt es sich um das *Thevenin-Modell*, welches im Gegensatz zum Rint-Modell ein RC-Glied berücksichtigt. Setzt sich das Modell der Lithium-Ionen-Zelle neben der OCV sowie dem Innenwiderstand aus insgesamt zwei RC-Gliedern zusammen, liegt das *Dual-Polarization-Modell* vor. Für $n_{\mathrm{RC}} > 2$ geht das Thevenin-Modell bestehend aus einem RC-Glied in das n_{RC}-Thevenin-Modell über [55]. Mit steigender Anzahl von n_{RC} nimmt die Modellgenauigkeit zu. Gleichzeitig erhöht sich allerdings auch der Rechenaufwand [143]. Wie Schmid et al. beschreiben, kommen für die Modellierung von Batteriesystemen im Elektrofahrzeug typischerweise das Rint- sowie das Thevenin-Modell zum Einsatz [143].

2.2.2 Ersatzschaltbild einer Energiespeichereinheit

Anders als ein herkömmliches HV-Batteriesystem setzt sich ein MLI aus galvanisch isolierten Spannungsquellen zusammen. Dabei wird laut Definition in Abschnitt 2.1.2 jedem Modul eine Spannungsquelle zugeordnet. Diese Spannungsquelle muss nicht auf eine einzige Lithium-Ionen-Batteriezelle be-

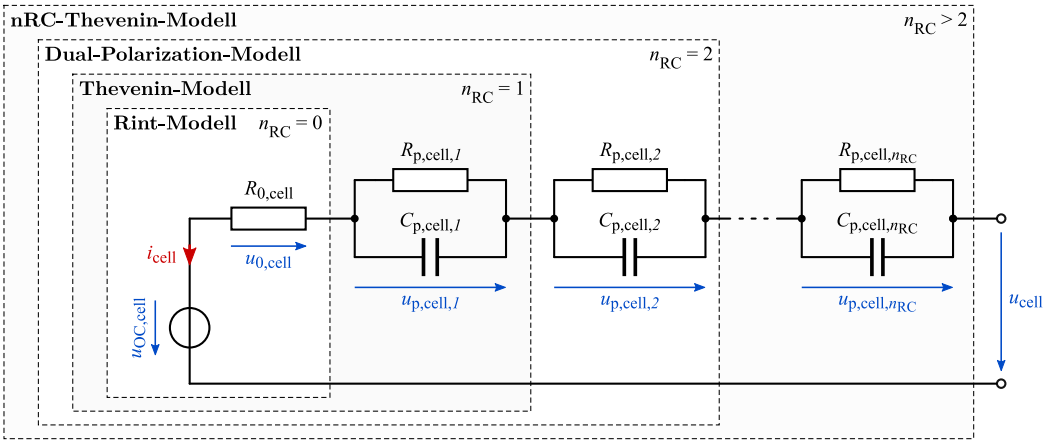


Abbildung 2.11: Ersatzschaltbild einer Lithium-Ionen-Batteriezelle. Die Abbildung wurde selbst erstellt in Anlehnung an Schmid et al. [143].

grenzt sein, sondern kann aus einer seriellen Kaskade von $n_{c,ESU}$ Zellen aufgebaut sein [149, 155]. Dabei bleibt die grundsätzliche Schaltstruktur des Moduls erhalten, jedoch ändert sich die zugehörige Ausgangsspannung. Dieser Gestaltungsfaktor ist von essenzieller Bedeutung für die Entwicklung eines MLI-Systems und muss deshalb berücksichtigt werden. Um diesem Aspekt gerecht zu werden, wird daher in analoger Weise zu Komsiyska et al. der allgemeine Begriff der *Energiespeichereinheit* eingeführt [84]. Dabei stellt eine Energiespeichereinheit einen Verbund aus einer oder mehreren in Serie verschalteten Lithium-Ionen-Batteriezellen dar. $n_{c,ESU}$ definiert hierzu die Anzahl der Zellen je Energiespeichereinheit. Die Spannung einer Energiespeichereinheit u_{ESU} als Serienschaltung aus $n_{c,ESU}$ Batteriezellen ergibt sich folglich zu

$$u_{ESU} = n_{c,ESU}\, u_{cell}\,. \tag{2.27}$$

u_{cell} repräsentiert die Spannung der Lithium-Ionen-Batteriezellen in einer Energiespeichereinheit gemäß Gleichung (2.26). Um die Systemkomplexität zu reduzieren, wird angenommen, dass u_{cell} für alle Batteriezellen innerhalb einer Energiespeichereinheit identisch ist[15]. Die Zellspannung bildet damit die Diskretisierungsspannung eines MLI-Systems. Die maximale Granularität ergibt sich auf Basis einer Stufenhöhe von u_{cell}. Besitzen alle Energiespeichereinheiten innerhalb eines MLI-Systems eine identische Anzahl an Batteriezellen, spiegelt Gleichung (2.27) die Spannung der Energiespeichereinheiten aller Submodule wider[16]. Unterscheiden sich die einzelnen Module im Wert von $n_{c,ESU}$ kann Gleichung (2.27) in folgende spezifische Form transformiert werden, welche allgemein die Spannung $u_{ESU,k}$ einer k-ten Energiespeichereinheit ESU_k definiert.

$$u_{ESU,k} = n_{c,ESU,k}\, u_{cell}\,. \tag{2.28}$$

Für die Modellierung einer k-ten Energiespeichereinheit, bestehend aus $n_{c,ESU,k}$ Batteriezellen, wird das Ersatzschaltbild einer Lithium-Ionen-Batteriezelle aus Abbildung 2.11 erweitert. Im Detail setzt sich jede Komponente einer Energiespeichereinheit aus den $n_{c,ESU,k}$ entsprechenden Komponenten

[15] Hinweis: Diese Annahme ist insbesondere gerechtfertigt, da die Batteriezellen keiner Parallelverschaltung ausgesetzt sind. Es können folglich keine Ausgleichsströme zwischen den einzelnen Batteriezellen innerhalb einer Energiespeichereinheit auftreten. Alle Batteriezellen innerhalb einer Energiespeichereinheit werden stets mit demselben Strom belastet, welcher durch die Energiespeichereinheit fließt.

[16] Hinweis: Unterschiede in den Spannungen infolge von abweichenden Ladezuständen seien an dieser Stelle vernachlässigt.

einer Lithium-Ionen-Zelle zusammen. Es ergeben sich die Systemgleichungen in Gleichung (2.29).

$$u_{\mathrm{OC},k} = n_{\mathrm{c,ESU},k}\, u_{\mathrm{OC,cell}} \tag{2.29a}$$
$$R_{0,k} = n_{\mathrm{c,ESU},k}\, R_{0,\mathrm{cell}} \tag{2.29b}$$
$$R_{\mathrm{p},k,n} = n_{\mathrm{c,ESU},k}\, R_{\mathrm{p,cell},n} \tag{2.29c}$$
$$C_{\mathrm{p},k,n} = n_{\mathrm{c,ESU},k}\, C_{\mathrm{p,cell},n} \tag{2.29d}$$
$$u_{\mathrm{p},k,n} = n_{\mathrm{c,ESU},k}\, u_{\mathrm{p,cell},n} \tag{2.29e}$$

Hierbei repräsentieren $u_{\mathrm{OC},k}$ und $R_{0,k}$ in Analogie zu Abbildung 2.11 die Leerlaufspannung sowie den Innenwiderstand einer k-ten Energiespeichereinheit. Mit $R_{\mathrm{p},k,n}$ und $C_{\mathrm{p},k,n}$ werden der Widerstand sowie die Kapazität des n-ten RC-Glieds von ESU_k abgebildet, deren Spannungsabfall mit $u_{\mathrm{p},k,n}$ bezeichnet wird. $R_{\mathrm{p,cell},n}$ sowie $C_{\mathrm{p,cell},n}$ verkörpern die jeweiligen Pendants der inhärenten Lithium-Ionen-Batteriezellen innerhalb der Energiespeichereinheit. Der Index k spiegelt die Position einer Energiespeichereinheit innerhalb eines MLI-Phasenstrangs wider, welcher sich aus insgesamt $n_{\mathrm{ESU,ph}}$ Energiespeichereinheiten zusammensetzt. Das resultierende Ersatzschaltbild einer k-ten Energiespeichereinheit in einem MLI-Phasenstrang visualisiert Abbildung 2.12.

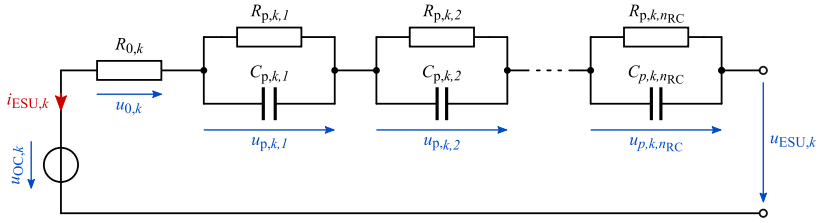


Abbildung 2.12: Ersatzschaltbild einer k-ten Energiespeichereinheit ESU_k. Die Abbildung wurde selbst erstellt in Anlehnung an Schmid et al. [143].

2.3 Der MOSFET als Schaltelement in einem Multilevel-Inverter

Der Einsatz von MLI-Systemen bedingt die Verwendung von Halbleiterschaltern, welche für die Aktorik der Energiespeichereinheiten und damit für die Rekonfigurierbarkeit des gesamten Batteriesystems zuständig sind. Aufgrund der geringeren Modulspannungen in einem MLI lassen sich Niederspannungs-Halbleiterschalter verwenden [68]. Typischerweise werden hierzu Leistungs-*Metall-Oxid-Halbleiter-Feldeffekttransistoren (metal-oxide-semiconductor field-effect transistors, MOSFETs)* herangezogen. Nachfolgend werden die wichtigsten Begriffe sowie der Betrieb eines MOSFET erläutert[17]. In Abschnitt 3.5 wird eine spezielle Darstellungsweise der PECIN-Struktur vorgestellt. In diesem Zusammenhang wird in Abbildung 3.4 das Ersatzschaltbild eines MOSFET gezeigt, auf welches insbesondere in Abschnitt 3.7 eingegangen wird. Es sei an dieser Stelle darauf verwiesen. Für die Beschreibungen zu IGBTs, welche typischerweise im konventionellen Elektrofahrzeug eingesetzt werden, wird entsprechende Fachliteratur referenziert [96, 140, 150].

Der MOSFET stellt ein Halbleiterschaltelement dar, welches zur Klasse der unipolaren Bauelemente zählt. Dies bedeutet, dass für den Ladungstransport lediglich eine Art von Ladungsträger verwendet wird, die sogenannten Majoritätsträger. Je nachdem, ob der MOSFET im eingeschalteten Zustand

[17] Hinweis: Die Beschreibungen zum MOSFET beziehen sich vorrangig auf die Referenzen [34, 96, 105, 110, 122, 123, 140, 150, 170].

selbst leitet oder sperrt und je nach zugrundeliegenden Ladungsträgern, können vier verschiedene Ausführungsformen unterschieden werden. In der Industrie werden meist selbstsperrende n-Kanal MOSFETs eingesetzt, da diese Elektronen für den Ladungstransport nutzen und im ausgeschalteten Zustand sperrend vorliegen [140]. Da die Beweglichkeit von Elektronen höher ist als die der Löcher, sind mit dieser MOSFET-Variante schnellere Schaltzeiten realisierbar. Der MOSFET besitzt die drei Anschlüsse *Gate*, *Source* und *Drain*[18]. Aufgrund des speziellen Aufbaus besitzt jeder MOSFET eine intrinsische *Body-Diode*, welche auch als *Freilaufdiode* bezeichnet wird. Diese befindet sich antiparallel zur Drain-Source-Strecke des MOSFET und ist im Normalbetrieb sperrend gepolt. Beim MOSFET handelt es sich um ein spannungsgesteuertes Halbleiterelement. Die Ansteuerung erfolgt damit leistungslos und es treten nahezu keine Ansteuerverluste auf [34]. Über die Spannung zwischen dem Gate- und dem Source-Anschluss u_{GS} wird der Widerstand über der Drain-Source-Strecke gesteuert. Dieser Widerstand wird als Drain-Source-Einschaltwiderstand $R_{\mathrm{DS(on)}}$ bezeichnet. Der Stromfluss erfolgt damit zwischen dem Drain- und dem Source-Anschluss [140].

2.3.1 Kennlinienfeld eines MOSFET

Entsprechend der jeweiligen Größen der Strom- und Spannungssignale befindet sich der MOSFET in einem unterschiedlichen Arbeitsbereich. Die zugehörige Kennlinie ist in Abbildung 2.13 abgebildet [42, 96, 170].

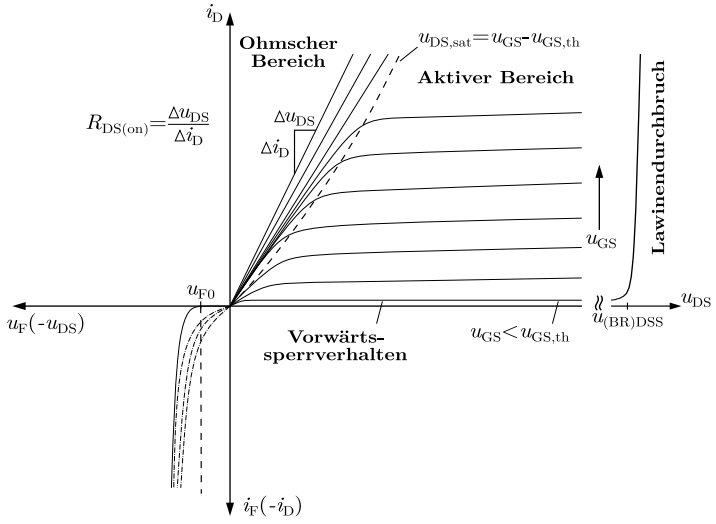


Abbildung 2.13: Kennlinienfeld eines MOSFET. Die Abbildung wurde selbst erstellt in Anlehnung an die Referenzen [42, 96, 170].

2.3.1.1 Sperrender Zustand

Ein MOSFET befindet sich im sperrenden Zustand, wenn zwischen den Anschlüssen Drain und Source eine positive Spannung u_{DS} anliegt und die Steuerspannung u_{GS} kleiner als die Schwellspannung $u_{\mathrm{GS,th}}$ ist. Diese Schwellspannung, auch als *Threshold*-Spannung bekannt, definiert den Übergangspunkt, ab dem der MOSFET zu leiten beginnt. In diesem Zustand führt der MOSFET nur einen sehr geringen Sperrstrom. Der MOSFET fungiert als Isolator. In Abbildung 2.13 entspricht dieser Betriebsbereich dem *Vorwärtssperrverhalten.*

[18] Hinweis: Formal gesehen besitzt der MOSFET einen vierten Anschluss, das *Bulk*. Dieser Substratanschluss ist in technischen Anwendungen mit dem Source-Anschluss kurzgeschlossen und wird meist nicht explizit erwähnt [150].

2.3.1.2 Ohmscher Bereich

Überschreitet die Spannung zwischen dem Gate- und dem Source-Anschluss die Schwellspannung $u_{\mathrm{GS,th}}$ und ist damit Gleichung (2.30) erfüllt, geht der MOSFET in einen vollständig leitenden Zustand über.

$$u_{\mathrm{GS}} > u_{\mathrm{GS,th}} \tag{2.30}$$

Der MOSFET befindet sich formal im eingeschalteten Zustand während eines Schaltbetriebs. Der Widerstand zwischen Drain und Source entspricht in diesem Bereich dem Drain-Source-Einschaltwiderstand $R_{\mathrm{DS(on)}}$, welcher auch als Durchlasswiderstand verstanden wird. Der exakte Widerstandswert von $R_{\mathrm{DS(on)}}$ hängt von der anliegenden Gate-Source-Spannung u_{GS} ab. Mit steigendem u_{GS} sinkt der Durchlasswiderstand, wie sich anhand des zugehörigen Arbeitsbereichs in Abbildung 2.13 in Form des *ohmschen Bereiches* erkennen lässt. Der MOSFET arbeitet im ohmschen Bereich, solange die folgende Bedingung für die Drain-Source-Spannung erfüllt ist.

$$u_{\mathrm{DS}} \leq u_{\mathrm{DS,sat}} \tag{2.31}$$

$u_{\mathrm{DS,sat}}$ repräsentiert dabei die Drain-Source-Sättigungsspannung und markiert den Übergang des ohmschen zum aktiven Bereich. Diese ist in Abbildung 2.13 eingezeichnet. Im ohmschen Arbeitsbereich zeigen die Kurvenverläufe einen linearen Zusammenhang, der einer Ursprungsgerade gleicht. Die Steigung dieser Gerade entspricht dem reziproken Wert des Durchlasswiderstands, der sich wie folgt bestimmen lässt [96, 140, 170].

$$R_{\mathrm{DS(on)}} = \frac{\Delta u_{\mathrm{DS}}}{\Delta i_{\mathrm{D}}} \tag{2.32}$$

Dabei bezeichnet i_{D} den Drainstrom, der über die Drain-Source-Strecke fließt. Gemäß der Beschreibungen von Schlienz wird der MOSFET aufgrund der Einflussnahme der Gate-Source-Spannung auf den Durchlasswiderstand auch als *spannungsgesteuerter Widerstand* bezeichnet [140]. Der ohmsche Bereich entspricht dem Arbeitsbereich eines MOSFET bei Schalteranwendungen.

2.3.1.3 Aktiver Bereich

Der *aktive Bereich* wird auch als *Sättigungs-* oder *Abschnürrbereich* bezeichnet, da der MOSFET, wie anhand von Abbildung 2.13 erkennbar, in eine Sättigung übergeht. Der Drainstrom i_{D} wird in diesem Bereich unabhängig von der Drain-Source-Spannung lediglich von der Gate-Source-Spannung gesteuert. Dieser Arbeitsbereich tritt ein, wenn u_{DS} den Wert von u_{GS} übersteigt. Eine weitere Erhöhung von u_{DS} hat keinen Einfluss auf den fließenden Drainstrom. Nimmt die Drain-Source-Spannung u_{DS} höhere Werte an als die Ansteuerspannung u_{GS}, d.h. gilt

$$u_{\mathrm{DS}} > u_{\mathrm{GS}}\,, \tag{2.33}$$

bildet sich drainseitig eine Raumladungszone. Dies ist auf die Tatsache zurückzuführen, dass sich aufgrund der anliegenden Spannung zwischen Gate und Drain, $u_{\mathrm{DG}} > 0$, der drainseitige pn-Übergang sperrt und eine Rekombination von Elektronen und Löchern stattfindet. Die Breite der Raumladungszone steigt mit zunehmender u_{DS} und damit u_{DG}, wodurch der Drain-Source-Kanal, der für die Leitung des MOSFET zuständig ist, immer weiter abgeschnitten wird. Die Breite der Raumladungszone kompensiert den Anstieg der Drain-Source-Spannung u_{DS}. Aufgrund der Verbreiterung der Raumladungszone und der damit verbundenen Reduzierung des Kanalquerschnitts, steigt der Durch-

lasswiderstand. Dieser Anstieg wirkt der Zunahme von i_D entgegen, weshalb der Drainstrom nahezu konstant bleibt.
Der Bereich zwischen dem ohmschen und dem aktiven Bereich wird als *Quasi-Sättigung* bezeichnet. Der Verlauf dieses Übergangsbereichs entspricht dabei, wie von Lutz beschrieben, einer parabolischen Kurve [96]. Diese ist in Abbildung 2.13 anhand der gestrichelten Linie erkennbar. Während u_{DS} im ohmschen Bereich sehr geringe Werte annimmt, ist diese für den Betrieb eines MOSFET im aktiven Bereich deutlich höher.

2.3.1.4 Lawinendurchbruch

Der Lawinendurchbruch, auch als *Avalanche-Bereich* bekannt, repräsentiert keinen angestrebten Arbeitsbereich des MOSFET, sondern tritt ein, sofern die Spannung zwischen dem Drain- und Source-Anschluss die sogenannte *Durchbruchspannung* $u_{(BR)DSS}$ überschreitet. Diese Spannung ist im Datenblatt eines Halbleiterelements spezifiziert und wichtig für die Auslegung eines MOSFET [155]. Überschreitet u_{DS} diesen Spannungswert, treten hohe elektrische Felder in Sperrrichtung des pn-Übergangs des MOSFET auf. Diese elektrischen Felder führen zu einer Beschleunigung freier Ladungsträger (Löcher, Elektronen) in der Raumladungszone. Infolge der kinetischen Energie, welche diese freien Ladungsträger besitzen, kommt es zu Zusammenstößen mit Valenzelektronen, die durch den Stoß aus ihrem Elektronen-Loch-Paar gelöst werden. Dieses Phänomen führt zu weiteren freien Ladungsträgern und ist als *Stoßionisation* definiert. Aufgrund des lawinenartigen Anstiegs wird der zugehörige Bereich im Kennfeld als Lawinendurchbruch bezeichnet [96, 121, 170]. Der Drainstrom steigt dabei exponentiell an. Gemäß der Beschreibungen von Lutz sind MOSFETs derart spezifiziert, dass sie kurzzeitig im Lawinendurchbruch arbeiten können [96]. Verlässt der MOSFET den Avalanche-Bereich nach kurzer Zeit, indem die Drain-Source-Spannung u_{DS} die Durchbruchspannung unterschreitet, findet keine irreversible Beschädigung des MOSFET statt. Dies gilt in der Regel, sofern nicht die Avalanche-Energie des MOSFET überschritten wird. Die Avalanche-Energie stellt ebenso einen Datenblattwert dar [140].

2.3.1.5 Inversbetrieb

Wie bereits eingeführt, besitzt der MOSFET eine antiparallele Body-Diode, welche zwischen dem Drain- und dem Source-Anschluss in Sperrrichtung angeordnet ist. Aufgrund dieser intrinsischen Body-Diode ist der Leistungs-MOSFET im Gegensatz zu anderen Halbleiterschaltern wie beispielsweise dem IGBT *rückwärtsleitfähig*. Die Diode ist vor allem bei Abschaltvorgängen eines MOSFET von Vorteil, da über diese die Stromkommutierung stattfindet und sie den Strom der Lastinduktivität weiter treibt [34, 96, 170]. Die Rückwärtsleitfähigkeit tritt dabei ein, wenn die Drain-Source-Spannung u_{DS} einen negativen Wert aufweist. Gilt $u_{GS} < u_{GS,th}$ entspricht die Kennlinie des MOSFET einer Diodenkennlinie, wie in Abbildung 2.13 dargestellt.

2.3.2 Auswahl eines MOSFET

In technischen Anwendungen müssen die eingesetzten Halbleiterelemente derart ausgelegt sein, dass sie dem Betrieb dauerhaft standhalten. Die Auswahl erfolgt dabei auf Basis der Spannung, welcher die Halbleiterelemente maximal ausgesetzt sind. Die Durchbruchspannung eines MOSFET $u_{(BR)DSS}$ muss mindestens diesem Wert entsprechen. Dabei ist zur Gewährleistung eines sicheren Betriebs in der Regel zusätzlich ein Sicherheitsfaktor zwischen der Durchbruchspannung des MOSFET und dem Wert der Spannungsfestigkeit vorgesehen. Letztere wurde im Zuge der Vorstellung der MLI-Spezifikationen in Abschnitt 2.1.4 eingeführt. Es existiert keine feste Vorgabe für diesen Sicherheitsfaktor. Dieser wird je nach Anwendung festlegt. Typische Werte des Sicherheitsfaktors liegen in einem Bereich von 120 %

bis 150 %. Nachfolgend wird ein Wert von 120 % berücksichtigt [155]. Für die Durchbruchspannung eines i-ten Halbleiterschalters in einem k-ten Submodul muss damit auf Basis einer gegebenen Spannungsfestigkeit von $u_{\mathrm{stv}_{i,k}}$ der Zusammenhang aus Gleichung (2.34) erfüllt sein.

$$u_{\mathrm{(BR)DSS}} \geq 1,2\, u_{\mathrm{stv}_{i,k}} \tag{2.34}$$

3 Parallel Enhanced Commutation Integrated Nested-Topologie

Die Wahl einer Mikrotopologie ist von essenzieller Bedeutung für die Funktionalität eines MLI. Mit der Entscheidung der MLI-Struktur wird vor dem eigentlichen Betrieb festgelegt, welchen Funktionsumfang das jeweilige Invertersystem während des Betriebs aufweist. Das vorliegende Kapitel setzt sich mit der Vorstellung einer speziellen Mikrotopologie auseinander, der sogenannten PECIN-Struktur. Da diese im Vergleich zu anderen Mikrotopologien einen vergleichsweise hohen Funktionsumfang aufweist, wird sie ohne Einschränkungen der Allgemeingültigkeit repräsentativ in den weiterführenden Kapiteln als Untersuchungsgrundlage herangezogen. Bevor die PECIN-Topologie im Detail beschrieben wird, wird zunächst der Stand des Wissens zu Mikrotopologien dargelegt. Um eine geeignete Basis für diese Analysen zu schaffen, erfolgen im Anschluss daran Erläuterungen hinsichtlich der mikroskopischen sowie der makroskopischen Gestaltung, der Spannungsfestigkeit inhärenter Schalter sowie der Transformation in eine H-Brückenstruktur. Aufgrund der Fähigkeit, benachbarte Energiespeichereinheiten parallel zu schalten, wird der Parallelbetrieb der PECIN-Struktur kurz angeschnitten und das zugehörige Ersatzschaltbild erläutert, welches für die Modellierung des Parallelbetriebs essenziell ist. Zudem erfolgt die Vorstellung der Schaltstruktur einer Hardware-Implementierung, welche für praktische Untersuchungen eingesetzt werden kann. Im letzten Teil dieses Kapitels wird als Exkurs auf die Identifikation parasitärer Effekte in der PECIN-Struktur eingegangen. Dabei sei erwähnt, dass die Ergebnisse, die auf Basis der PECIN-Struktur gewonnen werden, an allen entsprechenden Stellen in den nachfolgenden Kapiteln auf andere mikroskopische Strukturen in entsprechender Weise übertragen werden.

3.1 Stand der Technik

Tabelle 3.1 listet die bedeutendsten Vertreter von Mikrotopologien im aktuellen Stand der Technik auf. Einige dieser Topologien werden von Venkataramanaiah et al. sowie von Komsiyska et al. behandelt [84, 165]. Neben der Bezeichnung (Bez.) der einzelnen MLI-Strukturen ist in der Tabelle ebenso eine schematische Darstellung der Mikrotopologien visualisiert. Wie erkennbar, verwenden diese Abbildungen sowohl IGBTs als auch MOSFETs. Grundsätzlich können in allen gezeigten Strukturen beide Halbleitervarianten eingesetzt werden. Aufgrund der Tatsache, dass MLI-Systeme üblicherweise geringere Stufenspannungen aufweisen, kommen in der Regel MOSFETs zum Einsatz[1]. Die Wahl der Schaltervariante in den Mikrotopologien aus Tabelle 3.1 wurde ohne Einschränkung der Allgemeingültigkeit entsprechend der zugrundeliegenden Referenz getroffen. In Anlehnung an die Beschreibungen von Komsiyska et al. sind für die gezeigten Mikrotopologien relevante MLI-Spezifikationen aufgelistet [84, 155]. Hierbei sind insbesondere die Anzahl an erzeugbaren Spannungslevel n_{level}, die Anzahl an Schalter im Lastpfad (SLP) sowie die Gesamtanzahl an Schalter je Submodul (SSM) berücksichtigt. Darüber hinaus gibt Tabelle 3.1 Auskunft über die Fähigkeit der *Polaritätsumkehr (PU)*, die

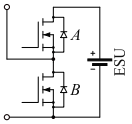
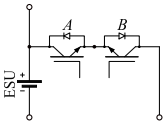
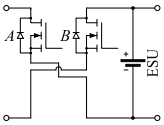
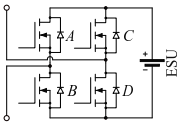
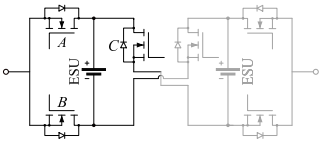
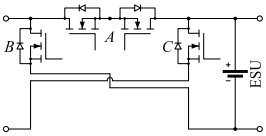
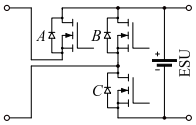
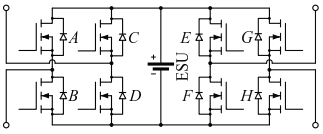
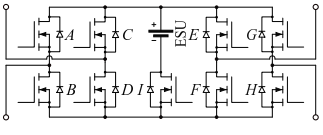
[1] Hinweis: Je nach Modulkonfiguration können auch Submodule mit einer hohen Spannung vorliegen. Die Halbleiterelemente müssen dementsprechend ausgelegt sein. Die exakte Wahl der Halbleiterelemente hängt damit vom jeweiligen Anwendungsfall und insbesondere dem Moduldesign ab.

Bypassfähigkeit (Byp), die Parallelisierungsfähigkeit (Par) sowie die maximal auftretende STV in der jeweiligen Mikrotopologie. Die Erläuterungen zu diesen MLI-Spezifikationen finden sich in Tabelle 2.1. Da je nach aktuellem Betriebszustand die Zahl der Schalter im Lastpfad variieren kann, sind in der Tabelle für jede Mikrotopologie die maximalen Werte angegeben[2]. Darüber hinaus existieren Mikrotopologien, bei welchen die Bypassfähigkeit nur eingeschränkt möglich ist. Dies bedeutet beispielsweise, dass sich nicht jede Energiespeichereinheit individuell überbrücken lässt, ohne den Zustand einer weiteren Energiespeichereinheit zu verändern. Dieser Sachverhalt wird über den Begriff ‚ME' (mit Einschränkung) in der Tabelle gekennzeichnet. Wie sich den Darstellungen aller Mikrotopologien entnehmen lässt, besitzt jedes Submodul eine einzige Energiespeichereinheit. Nachfolgend werden die gezeigten Strukturen kurz erläutert.

Zu den einfachsten Mikrotopologien zählt die Halbbrücke, die sich aus insgesamt zwei Schaltelementen je Submodul zusammensetzt [7, 51, 100, 127, 163]. Dabei entspricht ein Schalter dem High-Side- und der andere dem Low-Side-Schalter. In der zugehörigen Darstellung aus Tabelle 3.1 verkörpert Schalter A den High-Side-Schalter. Dieser dient dazu, die Energiespeichereinheit in den Lastpfad zu schalten und wird deshalb auch als *Aktivschalter* bezeichnet. Der Low-Side-Schalter, welcher in der Abbildung mit B beschrieben wird, dient zum Überbrücken der Energiespeichereinheit und stellt damit den *Bypassschalter* dar [51]. Unabhängig vom aktuellen Betriebszustand der Energiespeichereinheit befindet sich je Submodul stets nur ein einziger Schalter im Lastpfad. Aufgrund der vergleichsweise geringen Anzahl von zwei Schaltelementen ist die Halbbrücke nicht in der Lage, sowohl positive als auch negative Ausgangsspannungen zu erzeugen. Die Mikrotopologie besitzt damit keine inhärente Eigenschaft der Polaritätsumkehr. Ein MLI-Phasenstrang bestehend aus n_{SM} Submodulen, welcher die Halbbrücke als Submodulstruktur einsetzt, kann infolge dieser fehlenden Polaritätsumkehr Ausgangsspannungen mit einer maximalen Zahl von lediglich $n_{\mathrm{SM}}+1$ Spannungslevel generieren. Darüber hinaus lassen sich mit dieser Mikrotopologie auch keine Energiespeichereinheiten parallelisieren. Für jeden Schalter innerhalb der Halbbrücke entspricht die maximale Spannungsfestigkeit dem Spannungswert der Energiespeichereinheit u_{ESU} des Submoduls. In Anlehnung an die Bezeichnung der CHB lässt sich die Serienschaltung von Submodulen auf Basis der Halbbrücke als *kaskadierte Halbbrücke (cascaded half-bridge, CHalfB)* bezeichnen. Neben der Halbbrücke zählt die sogenannte *Reduced bidirectional switch based (RBSB)*-Struktur ebenso zu einer der einfachsten Mikrotopologien, welche von Babaei vorgestellt wird [4]. Diese besteht wie die Halbbrücke aus je zwei Schaltern pro Submodul. Damit ergibt sich auch für die RBSB-Struktur eine Gesamtzahl von $2\,n_{\mathrm{SM}}$ Schaltelementen in einem MLI-Phasenstrang. Aufgrund ihrer einfachen Gestaltung besitzt sie wie auch die Halbbrücke weder die Eigenschaft einer integrierten Polaritätsumkehr noch die Fähigkeit des Parallelschaltens benachbarter Module. Für den Fall, dass sowohl negative als auch positive Ausgangsspannungen erzeugt werden sollen, ist eine externe Polaritätsumkehr erforderlich. Ohne den Einsatz einer Polaritätsumkehreinheit gleicht die Anzahl an generierbaren Spannungslevel der Modulzahl inkrementiert um den Wert eins. Mit dem Inkrementieren wird der Nullspannung Rechnung getragen. Dabei unterscheidet sich die RBSB-Struktur von der Halbbrücke dadurch, dass sich aufgrund der *Back-to-back (BtB)*-Anordnung entweder kein Schalter oder beide gleichzeitig im Lastpfad befinden. Die maximale Anzahl an Schaltern im Lastpfad entspricht damit einem Wert von zwei. Darüber hinaus hebt sich die Halbbrücke durch die parallele Anordnung des Bypassschalters zur Serienschaltung aus dem Aktivschalter und der Spannungsquelle von der RBSB-Topologie ab. Diese spezielle Anordnung erlaubt die individuelle Überbrückung jeder

[2] Hinweis: Identisches gilt für die maximale Spannungsfestigkeit der Schaltelemente. Je nach Schaltstruktur kann diese für die verschiedenen Schalter innerhalb einer Mikrotopologie unterschiedlich ausfallen. Es wird jeweils der maximale Wert der STV angegeben. Hierzu sei erwähnt, dass die Werte denen eines MLI-Systems entsprechen, in welchem die Spannungen der Energiespeichereinheiten übereinstimmen. Weichen diese voneinander ab, greifen die Zusammenhänge aus Gleichung (3.1), wobei sich die STV aus der Summe der Spannungen der zwei benachbarten Energiespeichereinheiten ergibt.

Tabelle 3.1: Übersicht über relevante Mikrotopologien in einem MLI-System mit einer Angabe zu den jeweiligen MLI-Spezifikationen. Die Tabelle wurde eigens erstellt in Anlehnung an Komsiyska et al. [84]. Im Falle der STV ist dabei der Wert auf Basis eines symmetrischen Moduldesigns angegeben. Liegt ein MLI-System vor, dessen Energiespeichereinheiten in ihren jeweiligen Spannungen voneinander abweichen, sei auf Gleichung (3.1) verwiesen. Die Wahl der Halbleiterelemente (IGBT, MOSFET) entspricht der Darstellung in der jeweiligen Referenz.

Mikrotoplogie		n_{level}	**SLP**	**SSM**	**PU**	**Byp**	**Par**	**STV**
Bez.	**Struktur**							
Halbbrücke		$n_{\mathrm{SM}}+1$	1	2	nein	ja	nein	u_{ESU}
RBSB		$n_{\mathrm{SM}}+1$	2	2	nein	ME	nein	u_{ESU}
CS-MLI		$2\,n_{\mathrm{SM}}+1$	1	2	ja	ME	nein	$2\,u_{\mathrm{ESU}}$
H-Brücke		$2\,n_{\mathrm{SM}}+1$	2	4	ja	ja	nein	u_{ESU}
CCS-MLI		$2\,n_{\mathrm{SM}}+1$	1,5	3	ja	ja	nein	$2\,u_{\mathrm{ESU}}$
ECIN		$2\,n_{\mathrm{SM}}+1$	2	4	ja	ja	nein	$2u_{\mathrm{ESU}}$
BM3		$n_{\mathrm{SM}}+1$	1	3	nein	ja	ja	$2\,u_{\mathrm{ESU}}$
MMSPC		$2\,n_{\mathrm{SM}}+1$	1	8	ja	ja	ja	u_{ESU}
ACB9		$2\,n_{\mathrm{SM}}+1$	2	9	ja	ja	ja	u_{ESU}

Abkürzungen (deutsch und englisch): Bez. = Bezeichnung, Byp = Bypass, ME = mit Einschränkungen, Par = Parallelisierungsfähigkeit, PU = Polaritätsumkehr, SLP = Schalter im Lastpfad, SSM = Schalter je Submodul (SM), STV = standing voltage.

beliebigen Energiespeichereinheit, ohne den Zustand der übrigen Energiespeichereinheiten zu beeinflussen. Da im Falle der RBSB-Topologie die Stromführung innerhalb eines Submoduls entweder über die Energiespeichereinheit oder über die BtB-Verschaltung erfolgt, lässt sich nur eine Kaskade, bestehend aus zwei oder mehr Energiespeichereinheiten, überbrücken. Die RBSB-Struktur besitzt damit nur eine eingeschränkte Bypassfähigkeit. Die STV ist identisch zu der der Halbbrücke mit u_{ESU}. Eine ähnliche Einschränkung hinsichtlich der Überbrückung einzelner Energiespeichereinheiten wie bei der RBSB-Struktur existiert auch beim sogenannten *Cross-switched-MLI (CS-MLI)*, der von Kangarlu et al. eingeführt wird [75]. Dieser besteht wie die beiden bereits vorgestellten Mikrotopologien ebenso aus zwei Schaltern je Submodul, die jeweils den Minuspol einer Energiespeichereinheit mit dem Pluspol der darauffolgenden verbinden und umgekehrt. Soll eine ESU überbrückt werden, muss mindestens eine zusätzliche benachbarte Energiespeichereinheit aus dem Lastpfad geschaltet werden. Aufgrund der speziellen Schaltstruktur muss die Sperrspannung der beiden Schalter im CS-MLI auf einen Wert von $2\,u_{\mathrm{ESU}}$ ausgelegt sein. Anders als die beiden vorhergehend beschriebenen Strukturen handelt es sich bei dieser Mikrotopologie nicht um einen Zweipol, sondern um einen Vierpol, wie anhand der schematischen Darstellung in Tabelle 3.1 erkennbar. Diese Anordnung erlaubt die Generierung sowohl positiver als auch negativer Ausgangsspannungen, wodurch insgesamt $2\,n_{\mathrm{SM}}+1$ unterschiedliche Spannungslevel erzeugt werden können. Für die Realisierung eines gesamten CS-MLI-Phasenstrangs sind zwei zusätzliche Ausgangsschalter notwendig, mit Hilfe derer der Schaltzustand der letzten Energiespeichereinheit im Phasenstrang festgelegt werden kann. Der CS-MLI ist mit seiner Submodultopologie nicht in der Lage, eine Parallelschaltung benachbarter Energiespeichereinheiten umzusetzen. Eine Parallelisierung ist ebenso wenig mit der H-Brücke implementierbar, welche sich aus insgesamt vier Schaltelementen je Submodul zusammensetzt [29, 54, 59, 164]. Wie bereits im Grundlagenkapitel eingeführt, wird die kaskadierte Form der H-Brücken-Module als CHB bezeichnet. Im Gegensatz zum CS-MLI handelt es sich bei der H-Brücke um einen Zweipol. Dabei befinden sich je zwei der vier Schalter in einer Halbbrücken-Formation, welche innerhalb des Submoduls zueinander sowie zur Energiespeichereinheit parallel geschaltet sind. Im Vergleich zur Halbbrücke ist damit der doppelte Hardware-Aufwand an Schaltern notwendig. Die zusätzlichen Schaltelemente erlauben die Erzeugung positiver sowie negativer Modulspannungen. Die H-Brücke besitzt damit die Fähigkeit der Polaritätsumkehr. Es ist keine zusätzliche Polaritätsumkehreinheit erforderlich und es lassen sich insgesamt $2\,n_{\mathrm{SM}}+1$ Ausgangsspannungslevel erzeugen. Mit der H-Brücke als Mikrotopologie kann jede Energiespeichereinheit unabhängig vom Zustand der übrigen Spannungsquellen individuell überbrückt werden. Ein Nachteil dieser Struktur besteht darin, dass sich unabhängig vom aktuellen Schaltzustand und der ausgegebenen MLI-Ausgangsspannung stets zwei Schalter im Lastpfad befinden. Die maximal erforderliche Spannungsfestigkeit aller Schalter innerhalb der H-Brücke gleicht in Übereinstimmung mit der Halbbrücke dem Wert der Spannung einer Energiespeichereinheit. Eine weitere Mikrotopologie stellt die Struktur des *Cascaded cross-switched-MLI (CCS-MLI)* dar, welcher auch als Erweiterung des CS-MLI angesehen werden kann. Dieser wird ebenso von Kangarlu et al. präsentiert [76]. Hinsichtlich der Kriterien einer integrierten Polaritätsumkehr, der Bypass-Fähigkeit, der Möglichkeit, benachbarte Submodule zu parallelisieren, sowie in der Anzahl an Spannungslevel, ist diese Struktur identisch zur H-Brücke. Allerdings werden zur Implementierung eines Submoduls in einem CS-MLI lediglich drei anstelle von insgesamt vier Halbleiterelementen benötigt. Damit ergibt sich im Durchschnitt eine Anzahl von 1,5 Schaltern pro Energiespeichereinheit im Lastpfad. In Bezug auf die STV beim CCS-MLI lässt sich feststellen, dass sich die erforderliche Spannungsfestigkeit der drei inhärenten Schalter eines Submoduls unterscheidet. Während diese für die beiden Schalter A sowie B dem Wert von u_{ESU} gleicht, muss der Schalter C auf den doppelten Wert ausgelegt sein. Betrachtet man die Mikrotopologien der *Enhanced commutation integrated nested (ECIN)-* sowie der sogenannten *Battery modular multilevel management system (BM3)*-Struktur, nimmt in beiden Fäl-

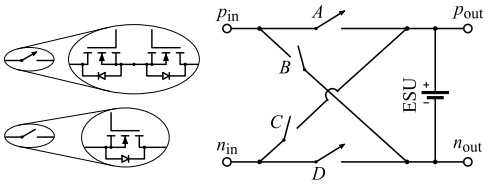
len die Anzahl der Schaltelemente innerhalb eines Submoduls den Wert drei an. Allerdings weichen diese infolge der unterschiedlichen Schaltstrukturen in einigen MLI-Spezifikationen wesentlich voneinander ab. Im Gegensatz zu der von Terbrack et al. vorgestellten ECIN-Struktur, welche auf Basis der drei inhärenten Schalter eine integrierte Polaritätsumkehr ermöglicht und damit $2\,n_{\mathrm{SM}}+1$ Spannungslevel ausgeben kann, besitzt die BM3-Topologie keine Fähigkeit zur Polaritätsumkehr [89, 94, 147, 160]. Für die Generierung sowohl positiver als auch negativer Ausgangsspannungen ist in Analogie zur CHalfB sowie zum RBSB-MLI eine Polaritätsumkehreinheit notwendig [56, 60, 147]. Um einen internen Kurzschluss aufgrund der Rückwärtsleitfähigkeit der MOSFETs zu vermeiden, muss Schalter A im Falle der ECIN jedoch als BtB-Variante ausgeführt sein. Die Gesamtzahl an erforderlichen Schaltelementen beträgt damit insgesamt $4\,n_{\mathrm{SM}}+2$. Dieser Term berücksichtigt wie im Falle des CS-MLI zwei zusätzlich benötigte Ausgangsschalter, die den Zustand der äußersten Energiespeichereinheit definieren. Aufgrund der Präsenz des BtB-Schalters existieren Schaltzustände, in welchen sich insgesamt zwei serielle Schalter innerhalb eines Submoduls im Lastpfad befinden. Im Unterschied zur ECIN-Struktur kommt die BM3-Mikrotopologie ohne den Bedarf einer solchen Kaskadierung von Halbleiterelementen aus. Mit der gezeigten Anordnung bietet die BM3-Struktur anstelle einer inhärenten Polaritätsumkehr die Möglichkeit, benachbarte Energiespeichereinheiten zu parallelisieren. Dies lässt sich mit der ECIN-Struktur nicht realisieren. Im Falle eines reinen Serienmodus befindet sich maximal ein MOSFET im Lastpfad. Werden benachbarte Energiespeichereinheiten parallelisiert, ist der Durchlasswiderstand der Halbleiterelemente innerhalb eines Submoduls um die Hälfte reduziert. Sowohl bei der ECIN- als auch bei der BM3-Struktur handelt es sich um einen Vierpol. Aufgrund der Verschaltung des Pluspols einer Energiespeichereinheit mit dem Minuspol der benachbarten beträgt die maximal erforderliche Spannungsfestigkeit in beiden Fällen $2\,u_{\mathrm{ESU}}$. Um den Nachteil der fehlenden Polaritätsumkehr im Falle der BM3-Schaltung zu kompensieren, stellen Goetz et al. die sogenannte *MMSPC*-Struktur vor [44]. Diese definiert sich über acht Schalter je SM und erlaubt dadurch neben der Polaritätsumkehr ebenso ein individuelles Bypassen jeder inhärenten Energiespeichereinheit sowie die Eigenschaft der Parallelisierung. Die acht Schalter sind dabei in Form von vier parallel zueinander verschalteten Halbbrückenzweigen angeordnet. Diese befinden sich wiederum parallel zur Energiespeichereinheit. Die Konfiguration dieser Schalter innerhalb eines MMSPC-Submoduls kann in der Folge auch als Parallelschaltung zweier H-Brücken angesehen werden. Die erforderliche Spannungsfestigkeit jedes Schaltelements stimmt folglich mit der STV der Schalter innerhalb der Halbbrücke überein und nimmt den Wert von u_{ESU} an. Aufgrund der integrierten Polaritätsumkehr lassen sich $2\,n_{\mathrm{SM}}+1$ Spannungslevel erzeugen. Allerdings ist der zugrundeliegende Hardware-Aufwand der notwendigen Schaltelemente mit acht Halbleiterelementen vergleichsweise hoch. Durch die Fähigkeit der Parallelisierung entspricht die maximale Anzahl an Schaltern im Lastpfad einem Wert von eins. Eine Erweiterung dieser Mikrotopologie präsentieren Helling et al., wobei im Vergleich zur MMSPC-Struktur ein weiterer Schalter in den Zweig der ESU eingebunden ist [56]. Diese wird in Tabelle 3.1 als *ACB9*-Struktur vorgestellt. Mithilfe des neunten Schalters I, ist es möglich, nicht nur direkt benachbarte Submodule parallel zu verschalten. Vielmehr können durch diesen zusätzlichen Freiheitsgrad Parallelverbünde zwischen Energiespeichereinheiten gebildet werden, deren Submodule nicht unmittelbar nebeneinander angeordnet sind. Um dies zu realisieren, müssen die sich zwischen diesen Submodulen befindlichen Energiespeichereinheiten überbrückt werden. Abgesehen von der Anzahl an Schaltern im Submodul sowie im Lastpfad gleicht der Funktionsumfang der ACB9-Struktur dem der MMSPC. Infolge des zusätzlichen Schaltelements im ESU-Zweig entspricht die maximale Anzahl an Schaltern im Lastpfad dem Wert von zwei.

3.2 Mikroskopische und makroskopische Verschaltung

Nachfolgend werden die grundlegende Struktur der PECIN-Mikrotopologie sowie die zugehörige Verschaltung als MLI-Strang vorgestellt.

3.2.1 Vorstellung der Mikrotopologie

Abbildung 3.1a zeigt die grundsätzliche Struktur der PECIN-Mikrotopologie, welche von Terbrack et al. eingeführt wird [161]. Diese entspricht einem Vierpol. Die Eingangsterminals (p_{in}, n_{in}) sowie die Ausgangsterminals (p_{out}, n_{out}) sind zur Verdeutlichung in Abbildung 3.1a explizit gekennzeichnet. Jedes Submodul setzt sich aus einer Energiespeichereinheit sowie insgesamt vier Schaltelementen zusammen, welche in Anlehnung an die schematischen Darstellungen in Tabelle 3.1 mit A, B, C und D bezeichnet werden. Wie erwähnt, werden aufgrund der typischerweise geringeren Spannungsstufen MOSFETs eingesetzt. Dies ist auch im Fall der PECIN-Struktur in Abbildung 3.1a umgesetzt. Aufgrund der speziellen Verschaltung der beiden Schalter B sowie C, die den Pluspol einer Energiespeichereinheit mit dem Minuspol der darauffolgenden bzw. umgekehrt verbinden, wird für diese auch der Begriff der *Diagonalschalter* eingeführt. Dieser Sachverhalt wird durch die gewählte Darstellungsweise in Abbildung 3.1a deutlich[3]. Im Gegensatz zu den Diagonalschaltern repräsentieren die beiden anderen



(a) PECIN-Mikrotopologie.

No.	Betriebszustand	*A*	*B*	*C*	*D*
1	Seriell/ Bypass	1	0	0	0
2	Seriell/ Bypass	0	1	0	0
3	Seriell/ Bypass	0	0	1	0
4	Seriell/ Bypass	0	0	0	1
5	Parallel	1	0	0	1

(b) Fünf erlaubte Schaltzustände.

Abbildung 3.1: Mikrotopologie der PECIN-Struktur bestehend aus zwei einfachen MOSFETs sowie zwei BtB-Schaltern sowie die Auflistung der fünf erlaubten Schaltzustände und des jeweiligen Betriebszustands.

Schalter A sowie D einen BtB-Schalter. Dabei handelt es sich, wie bereits erläutert, um die antiserielle Kaskadierung zweier einfacher MOSFETs, deren Source-Kontakte jeweils miteinander kurzgeschlossen sind. Diese Schaltungsvorkehrung resultiert wiederum aus der intrinsischen Eigenschaft der Rückwärtsleitfähigkeit von MOSFETs. Mit der Präsenz der beiden BtB-Schalter wird gewährleistet, dass sich stets eine der beiden Body-Dioden eines MOSFETs innerhalb der BtB-Kombination in Sperrrichtung zum Laststrom befindet. Bei einer reinen Implementierung der vier Hauptschalter in Form einzelner MOSFETs könnten aufgrund der vorhandenen Rückwärtsleitfähigkeit ungewollte Freilaufpfade des Laststroms auftreten. Dies hätte ein erhöhtes Kurzschlussrisiko der Energiespeichereinheit zur Folge. Auf Basis des gezeigten Schaltungsdesigns sind für die Implementierung eines vollständigen PECIN-Submoduls bestehend aus vier Schaltelementen insgesamt sechs MOSFETs notwendig. Im Falle der BtB-Schalter kann die Ansteuerung der beiden kaskadierten MOSFETs über ein gemeines Gate-Signal erfolgen. Je BtB-Element wird damit lediglich ein Gate-Treiber-Schaltkreis benötigt. Die BtB-Schalter können folglich als einzelnes, anzusteuerndes Schaltelement betrachtet werden[4]. Betrachtet man die PECIN-Mikrotopologie mit den vier Schaltern, sind rein theoretisch insgesamt $2^4 = 16$ unterschiedliche Schaltzustände je Submodul möglich. Von diesen 16 theoretischen Schaltzuständen sind jedoch

[3] Hinweis: Vergleicht man die Verschaltung dieser beiden Schalter mit denen des CS-MLI, des CCS-MLI sowie der BM3-Struktur, lassen sich auch bei diesen Diagonalschalter identifizieren. Im Falle des CS-MLI stellen sowohl A als auch B einen Diagonalschalter dar. Bei den Strukturen des CCS-MLI sowie der BM3-Struktur gilt dies für die Schalter B und C.

[4] Hinweis: Es ist ebenso der Einsatz anderer Halbleiterelemente denkbar. Auch werden die Halbleiterschalter stetig verbessert, weshalb sich auch andere Ausführungen der PECIN-Struktur mit lediglich vier Halbleiterelementen ergeben können. Im vorliegenden Fall werden MOSFETs eingesetzt [155, 161].

lediglich fünf Schaltzustände in der Praxis erlaubt. Aufgrund ihrer praktischen Relevanz sind in der Tabelle aus Abbildung 3.1b ausschließlich diese fünf Schaltzustände aufgelistet. Aus Gründen der Vollständigkeit illustriert Tabelle A.6 in Anhang A.2 alle theoretisch möglichen Schaltkombinationen der vier Schalter. Wie anhand der Tabelle in Abbildung 3.1b ersichtlich wird, befindet sich in vier der fünf implementierbaren Schaltkombinationen jeweils nur ein Schalter im eingeschalteten Zustand, während alle drei übrigen Schalter in einem sperrenden Zustand vorliegen. Dabei ermöglichen sowohl die BtB-Schalter als auch die beiden Diagonalschalter B sowie C grundsätzlich einen Serienbetrieb der inhärenten Energiespeichereinheit. Dies bedeutet, dass mittels der Schaltzustände 1 bis 4 die Energiespeichereinheit des Submoduls seriell in den Lastpfad geschaltet werden kann. Darüber hinaus bieten diese vier Schaltzustände auch die Möglichkeit, die Energiespeichereinheit zu überbrücken und damit aus dem Lastpfad herauszuhalten. Der exakte Betriebszustand einer Energiespeichereinheit lässt sich in Kombination mit den Schalterstellungen der benachbarten Submodule einstellen. Dabei kann jede Energiespeichereinheit unabhängig vom Zustand der übrigen Spannungsquellen individuell überbrückt werden. Neben den vier Schaltzuständen für die serielle Verschaltung existiert ein weiterer Schaltzustand. Wie sich der Tabelle entnehmen lässt, befinden sich in diesem Schaltzustand, anders als bei den übrigen, insgesamt zwei Schalter im Lastpfad. Hierbei handelt es sich um die beiden BtB-Schalter A sowie D. Dieser Schaltzustand erlaubt ein Parallelschalten der Energiespeichereinheit mit einer oder mehreren Energiespeichereinheiten der benachbarten Submodule. Im Gegensatz zu der in Abschnitt 3.1 erläuterten ACB9-Struktur können bei der PECIN-Struktur ausschließlich unmittelbar physikalisch benachbarte Energiespeichereinheiten parallel geschaltet werden. Ein Überbrücken von Spannungsquellen innerhalb eines Parallelverbunds ist nicht möglich. Abgesehen von diesem Schaltzustand, welcher den Parallelmodus repräsentiert, dürfen in keinem weiteren Betriebszustand der PECIN-Topologie mehr als ein Halbleiterelement im eingeschalteten Zustand vorliegen. Basierend auf diesen fünf Schaltzuständen ist eine vollständige Steuerung der PECIN-Mikrotopologie möglich. Dabei können mit einem PECIN-Submodul drei unterschiedliche Ausgangsspannungen generiert werden; $0\,\mathrm{V}$ sowie $\pm\, u_{\mathrm{ESU}}$. Damit besitzt die PECIN-Struktur die Fähigkeit einer integrierten Polaritätsumkehr. Der Bedarf einer zusätzlichen Polaritätsumkehreinheit entfällt. Bei der entwickelten PECIN-Topologie handelt es sich folglich um eine MLI-Struktur, die einen Vierquadrantenbetrieb erlaubt.

3.2.2 Vorstellung der Makrotopologie

Auf Basis der Beschreibungen zu einem CMLI in Abschnitt 2.1.2, setzt sich ein vollständiger PECIN-Strang aus der Serienschaltung von zwei oder mehreren PECIN-Submodule zusammen. Zu diesem Zweck werden die beiden Ausgangsterminals p_{out} und n_{out} eines Submoduls mit den Eingangsterminals p_{in} und n_{in} des darauffolgenden Submoduls verbunden (siehe Abbildung 3.1a). Abbildung 3.2 visualisiert hierzu einen vollständigen PECIN-MLI-Phasenstrang bestehend aus insgesamt $n_{\mathrm{ESU,ph}}$ Energiespeichereinheiten [65]. Dabei bildet die Mikrotopologie die *Haupteinheit* bzw. *Hauptstufe* des PECIN-Strangs. Die vier Schalter einer PECIN-Hauptstufe lassen sich deshalb auch als *Hauptschalter* identifizieren. Diese werden in Analogie zu der Darstellung in Abbildung 3.1a im k-ten Submodul mit A_k, B_k, C_k sowie D_k bezeichnet. Die zugehörige Energiespeichereinheit entspricht ESU_k. Neben der Hauptstufe sind ebenso eine *Eingangsstufe* sowie eine *Ausgangsstufe* markiert, die jeweils den Eingang sowie den Ausgang eines PECIN-Strangs definieren. Dabei unterscheidet sich die Eingangsstufe von der Hauptstufe lediglich durch einen Kurzschluss der beiden Eingangsterminals des zugehörigen Submoduls. Die Ausgangsstufe setzt sich aus zwei sogenannten *Ausgangsschaltern Out+* sowie *Out-* zusammen. Die wesentliche Funktion der Ausgangseinheit besteht darin, den Zustand der $n_{\mathrm{ESU,ph}}$-ten Energiespeichereinheit festzulegen. Wie alle anderen Energiespeichereinheiten im PECIN-

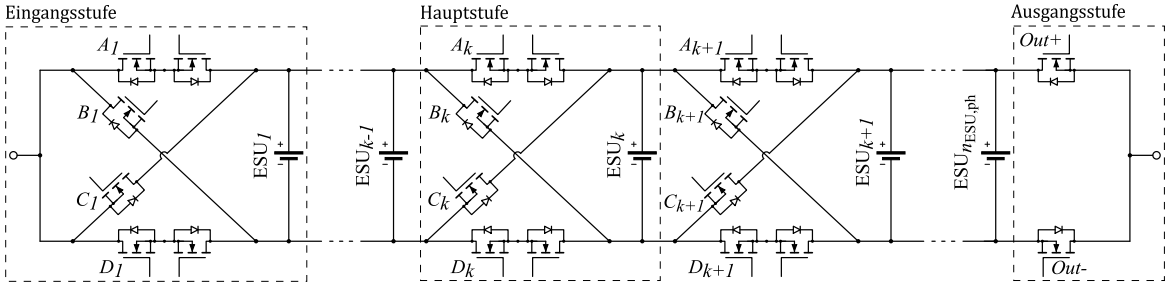


Abbildung 3.2: Vollständiger PECIN-MLI-Strang mit Kennzeichnung der Eingangsstufe, der Hauptstufe, welche der Mikrotopologie entspricht, sowie der Ausgangsstufe.

Phasenstrang kann diese entweder überbrückt, seriell in den Lastpfad oder parallel geschaltet werden. Analog zur Haupteinheit muss auch bei der Ausgangsstufe ein Kurzschluss ausgeschlossen sein. Daher sollten die beiden Ausgangsschalter während des Betriebs stets einen inversen Schaltzustand aufweisen.

3.3 Spannungsfestigkeit der inhärenten Schalter

Wie in Tabelle 2.1 definiert, repräsentiert die Spannungsfestigkeit eines Schaltelements die maximale Spannung, der dieses Schaltelement während des Betriebs ausgesetzt ist. Diese Spezifikation ist für die Auswahl des Halbleiterelements innerhalb eines Submoduls von entscheidender Bedeutung. Es muss dafür ausgelegt sein, der erforderlichen Spannungsfestigkeit stand zu halten, um einen dauerhaften Betrieb zu gewährleisten. Durch die Reduzierung der Spannungsfestigkeit aufgrund niedrigerer Werte der einzelnen ESU-Spannungen in einem MLI ist es üblicherweise möglich, Halbleiterelemente mit einer geringeren Durchbruchspannung zu verwenden.
In der Regel entspricht die STV der Halbleiterelemente innerhalb einer zweipoligen Mikrotopologie, welche keinen Parallelbetrieb erlaubt, dem Spannungswert der inhärenten Energiespeichereinheit. Dies lässt sich am Beispiel der Halbbrücke sowie der H-Brücke zeigen, für die in Tabelle 3.1 der Wert von u_{ESU} als STV angegeben wurde. Dabei gilt dieser Wert für alle in dem Submodul befindlichen Schalterelemente. In der Folge können typischerweise identische Halbleiterelemente eingesetzt werden. Liegt dagegen eine vierpolige Mikrotopologie vor, wie dies im Falle der PECIN-Struktur der Fall ist, kann die STV einiger Schalter einen abweichenden Wert von u_{ESU} annehmen. Betrachtet man die beiden Diagonalschalter B sowie C verbinden diese jeweils den Pluspol einer Energiespeichereinheit mit dem Minuspol einer benachbarten ESU. Je nach Schaltzustand variiert der Wert der Spannung, der über den jeweiligen Drain-Source-Anschlüssen anliegt. Dabei existieren Schaltzustände, in welchen die Diagonalschalter der Summe der Spannungen beider benachbarter Energiespeichereinheiten standhalten müssen [75, 76, 155]. Dieses Szenario tritt insbesondere dann ein, wenn der jeweils komplementäre Diagonalschalter geschlossen ist, während der betrachtete Schalter sperrend vorliegt. Identischer Sachverhalt lässt sich auch für den CS-MLI, den CCS-MLI sowie die BM3-Struktur ableiten, die gemäß der Beschreibungen aus Abschnitt 3.2.1 ebenso einen oder mehrere Diagonalschalter besitzen. Für diese wurde in Tabelle 3.1 bereits ein maximaler Wert von $2\,u_{\mathrm{ESU}}$ berücksichtigt[5]. Im Gegensatz zu den Diagonalschaltern müssen die beiden BtB-Schalter lediglich dem Spannungswert der Ener-

[5]Hinweis: Es sei erwähnt, dass dieser Wert für ein MLI-System ermittelt wurde, welches sich ausschließlich aus Energiespeichereinheiten identischer Spannung zusammensetzt. Weichen die Energiespeichereinheiten eines MLI-Systems in ihren jeweiligen Spannungen voneinander ab, trifft der Zusammenhang aus Gleichung (3.1) zu. Dabei stellt die Angabe von $2\,u_{\mathrm{ESU}}$ in jedem Fall eine worst-case-Betrachtung dar. Unterscheiden sich dagegen die Spannungen der Energiespeichereinheiten, welche über den betrachteten Schalter miteinander verbunden sind, wird der höhere Spannungswert im Zusammenhang $2\,u_{\mathrm{ESU}}$ eingerechnet.

giespeichereinheit im zugehörigen Submodul standhalten. Es existiert kein Schaltzustand, welcher zu einer höheren Spannungsbelastung und damit einem höheren Wert der erforderlichen Spannungsfestigkeit führt. Derselbe Wert resultiert ebenso für die beiden Ausgangsschalter *Out+* und *Out-*. Allgemein ergeben sich die Spannungsfestigkeiten der Hauptschalter im k-ten Submodul sowie der beiden Ausgangsschalter eines MLI-Phasenstrangs gemäß Abbildung 3.2 mit den Zusammenhängen aus Gleichung (3.1).

$$u_{\mathrm{stv,A,k}} = u_{\mathrm{stv,D,k}} = u_{\mathrm{ESU},k} \tag{3.1a}$$

$$u_{\mathrm{stv,B,k}} = u_{\mathrm{stv,C,k}} = u_{\mathrm{ESU},k-1} + u_{\mathrm{ESU},k} \tag{3.1b}$$

$$u_{\mathrm{stv,Out+}} = u_{\mathrm{stv,Out-}} = u_{n_{\mathrm{ESU,ph}}} \tag{3.1c}$$

Dabei repräsentiert $u_{\mathrm{stv}_{i,k}}$ die erforderliche Spannungsfestigkeit des i-ten Schalters im k-Submodul eines MLI-Systems mit $i = \{A;\ B;\ C;\ D\}$. $u_{\mathrm{stv,Out+}}$ sowie $u_{\mathrm{stv,Out-}}$ spiegeln die Spannungsfestigkeiten der beiden Ausgangsschalter *Out+* sowie *Out-* wider. $u_{\mathrm{ESU},k}$ berücksichtigt die Spannung der k-ten Energiespeichereinheit im MLI-Strang. Unter der Voraussetzung, dass alle Energiespeichereinheiten in einem MLI-System dieselbe Spannung u_{ESU} aufweisen, lassen sich die Beziehungen aus Gleichung (3.1) wie folgt vereinfachen.

$$u_{\mathrm{stv,A,k}} = u_{\mathrm{stv,D,k}} = u_{\mathrm{stv,Out+}} = u_{\mathrm{stv,Out-}} = u_{\mathrm{ESU}} \tag{3.2a}$$

$$u_{\mathrm{stv,B,k}} = u_{\mathrm{stv,C,k}} = 2\,u_{\mathrm{ESU}} \tag{3.2b}$$

3.4 Hardware-Implementierung für praktische Untersuchungen

Zur Durchführung praktischer Untersuchungen ist eine spezielle Schaltplatine entwickelt worden. Diese wird zur Messung von Schleifeninduktivitäten oder Widerstandswerten eingesetzt [153, 155]. Abbildung 3.3 zeigt die zugehörige Schaltungsstruktur der *Leiterplatte (printed circuit board, PCB)*.

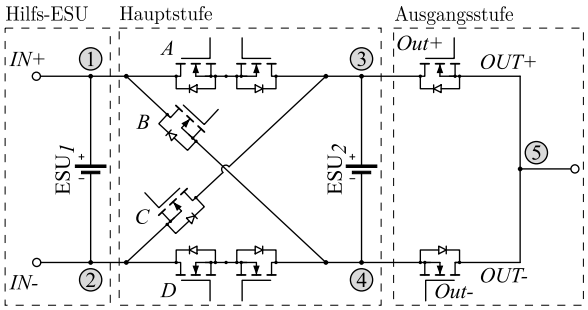


Abbildung 3.3: Schaltungsstruktur der entwickelten PECIN-Platine als Grundlage für praktische Messungen.

Die Schaltstruktur besteht aus einer Haupt- und einer Ausgangsstufe. Das Strukturdesign umfasst daher alle Haupt- und Ausgangsschalter, die in der PECIN-Struktur vorhanden sind. Somit können Messungen an beiden Inverterstufen durchgeführt werden. Um insbesondere die Effekte in einem PECIN-Submodul unter realen Bedingungen zu testen und die Auswirkung zweier benachbarter Energiespeichereinheiten zu analysieren, ist eine zusätzliche Hilfs-Energiespeichereinheit vorgesehen. Für eine eindeutige Unterscheidung wird diese erste Energiespeichereinheit, wie in der Grafik gekennzeichnet, mit ESU_1 bezeichnet. Die zweite ESU wird als ESU_2 indexiert. Aufgrund der Einmaligkeit der Schalter in der PECIN-Schaltstruktur wird bei der Benennung auf den Index k verzichtet. Folglich

ergeben sich die Schalterbezeichnungen *A*, *B*, *C*, *D* sowie *Out+* und *Out-*, wie in Abbildung 3.3 visualisiert. Für die Ermittlung der Leitverluste, welche in Abschnitt 4.4.1.1 vorgestellt werden, sind die Widerstände der verschiedenen Leistungspfade in der PECIN-Struktur von entscheidender Bedeutung. Um möglichst reale Bedingungen zu schaffen, werden hierbei die entsprechenden Widerstände der PCBs basierend auf der gezeigten Schaltstruktur berücksichtigt [155]. Um die Komplexität gering zu halten, werden deshalb sogenannte *Schalterpfade* und *ESU-Pfade* eingeführt. Diese bilden einzelne Pfadabschnitte in der PECIN-Leiterplatte ab, die auf der Schaltstruktur in Abbildung 3.3 beruht. Die Schalterpfade integrieren dabei gemäß der Bezeichnung jeweils einen Schalter, die ESU-Pfade eine Energiespeichereinheit. Zur Verdeutlichung sind in Abbildung 3.3 eingekreiste Ziffern ergänzt[6], die explizit den Start- sowie den Endpunkt des jeweiligen Pfads markieren. Die exakte Pfaddefinition ist in Tabelle 3.2 gegeben. Hierbei beschreibt S_i den zugehörigen Leistungspfad der i-ten Komponente (Schalter, ESU). Dabei setzt sich der Gesamtwiderstand eines Schalterpfads $R_{\mathrm{sw},i}$ aus dem Durchlass-

Tabelle 3.2: Definition der Schalter- sowie ESU-Pfade in der PCB-Schaltstruktur der PECIN-Topologie basierend auf den in Abbildung 3.3 eingezeichneten Start- und Endziffern.

Komponente	Bezeichnung	Pfadbezeichnung	Startpunkt	Endpunkt
Schalter	*A*	S_{A}	①	③
	B	S_{B}	①	④
	C	S_{C}	②	③
	D	S_{D}	②	④
	Out+	$S_{\mathrm{Out+}}$	③	⑤
	Out-	$S_{\mathrm{Out-}}$	④	⑤
ESU	ESU_1	S_{ESU_1}	①	②
	ESU_2	S_{ESU_2}	③	④
Pfaddefinition: S_i repräsentiert den Pfad der Komponente i.				

widerstand des jeweiligen Schalters i, $R_{\mathrm{DS(on)},i}$, sowie dem parasitären Widerstand des zugehörigen Leiterbahnabschnitts $R_{\mathrm{trace,sw},i}$ zusammen [154, 155]. Folglich kann $R_{\mathrm{sw},i}$ mit dem Zusammenhang

$$R_{\mathrm{sw},i} = R_{\mathrm{DS(on)},i} + R_{\mathrm{trace,sw},i}\ ,\quad i \in \left\{A;\ B;\ C;\ D;\ Out+;\ Out-\right\} \tag{3.3}$$

ermittelt werden. Eine ähnliche Zusammensetzung lässt sich auch für den Pfad einer Energiespeichereinheit ableiten. Hierbei muss jedoch eine zusätzliche Komponente in Form des Kontaktwiderstands $R_{\mathrm{c},k}$ berücksichtigt werden. Der gesamte Widerstandswert eines ESU-Pfads der k-ten Energiespeichereinheit $R_{\mathrm{ESU},k}$ berechnet sich gemäß Gleichung (3.4a).

$$R_{\mathrm{ESU},k} = R_{\mathrm{c},k} + R_{0,k} + R_{\mathrm{trace,ESU},k} \tag{3.4a}$$

$$R_{\mathrm{c},k} = n_{\mathrm{c,ESU},k}\,(R_{\mathrm{cp}} + R_{\mathrm{cn}}) \tag{3.4b}$$

$$R_{\mathrm{trace,ESU},k} = (n_{\mathrm{c,ESU},k} - 1)\ R_{\mathrm{trace,np}} \tag{3.4c}$$

Als Pendant zu den Durchlasswiderständen der Schalter geht in $R_{\mathrm{ESU},k}$ der ohmsche Widerstand $R_{0,k}$ ein. Darüber hinaus existieren ebenso parasitäre Leitungswiderstände in den ESU-Pfaden, die aufgrund der Serienverschaltung der Energiespeichereinheiten aus $n_{\mathrm{c,ESU},k}$ Lithium-Ionen-Batteriezellen resultieren. Im Detail sind zur Realisierung der Serienschaltung von mindestens zwei Lithium-Ionen-Batteriezellen auf den Leiterplatten dedizierte Leiterbahnen vorhanden, die den Minuspol (engl. *nega-*

[6] Hinweis: Es sei an dieser Stelle erwähnt, dass die gegebenen Markierungen in Form der eingekreisten Start- und Endziffern skizzenhaft dargestellt sind und diese in erster Linie der Veranschaulichung dienen. Diese entsprechen nicht zwangsläufig den exakten physikalischen Zusammenhängen auf der PCB [154].

tive, n) einer Batteriezelle mit dem Pluspol (engl. *plus*, p) der darauffolgenden Zelle verbinden. Der zugehörige parasitäre Widerstand eines derartigen Verbindungspfads wird mit $R_{\mathrm{trace,np}}$ bezeichnet. Unter der Voraussetzung, dass eine Energiespeichereinheit aus mehr als zwei Lithium-Ionen-Batteriezellen aufgebaut ist, muss zur Berechnung des gesamten parasitären Leitungswiderstands $R_{\mathrm{trace,ESU},k}$ der Zusammenhang aus Gleichung (3.4c) berücksichtigt werden. Der Kontaktwiderstand $R_{\mathrm{c},k}$ in Gleichung (3.4a) resultiert aus der Kontaktierung der beiden Pole einer Batteriezelle, wie von Schmid et al. sowie von Baumann et al. erläutert [13, 143]. Dabei repräsentiert R_{cp} den Kontaktwiderstand des Pluspols und R_{cn} den des Minuspols. Um auch bei diesem Widerstandswert die Variation der Anzahl an Batteriezellen $n_{\mathrm{c,ESU},k}$ mit einzurechnen, müssen diese Werte für die Berechnung des gesamten Kontaktwiderstands der k-ten ESU mit diesem Faktor skaliert werden.
Die parasitären Leitungswiderstände aus den Gleichungen (3.3) sowie (3.4c) werden im Zuge von Widerstandsmessungen ermittelt [154]. Die zugehörigen Messergebnisse für eine Variation der Anzahl an Batteriezellen je Energiespeichereinheit finden sich in Tabelle B.2. Die ermittelten Werte sind auf sämtliche Schalter- und ESU-Pfade innerhalb eines PECIN-Strangs übertragbar. Für die Erläuterungen zu den Messungen der parasitären Widerstände sei auf Anhang B.4 verwiesen.

3.5 Darstellung als H-Brückenstruktur

Für die Untersuchung parasitärer Effekte wird die PECIN-Topologie in eine H-Brückendarstellung überführt [153]. Anhand dieser Darstellungsweise kommt die besondere Anordnung der einzelnen Schalter zur Geltung. Darüber hinaus lässt sich, wie der Name bereits impliziert, die Ähnlichkeit zu anderen Mikrotopologien verdeutlichen. Die Transformation hat dabei keinen Einfluss auf die Wirkungsweise der PECIN-Struktur.

Abbildung 3.4 illustriert das Transformationsergebnis der PECIN-Schaltstruktur aus Abbildung 3.3. Betrachtet man das Transformationsergebnis im Detail, insbesondere im Vergleich zu der Darstellungsweise der Mikrotopologie in Abbildung 3.1a, lassen sich zwei Halbbrücken-Verschaltungen der vier Hauptschalter A, B, C sowie D innerhalb der Hauptstufe identifizieren. Insbesondere bilden die Schalter A und B gemeinsam einen Halbbrückenzweig, ebenso wie die Schalter C und D. Dabei fungieren A und C jeweils als High-Side-Schalter, während B und D die Low-Side-Schalter repräsentieren. Durch die Parallelverschaltung dieser beiden Halbbrückenzweige $A{-}B$ und $C{-}D$ nimmt die PECIN-Topologie die Form einer H-Brücke an, gebildet durch die vier Hauptschalter. Im Unterschied zu der in Tabelle 3.1 eingeführten Mikrotopologie der H-Brücke, welche in ihrer Form einem Zweipol entspricht, verkörpert die PECIN wie zuvor bereits eingeführt eine Vierpol-Schaltung. Ein weiterer Unterschied zur herkömmlichen H-Brücke als Mikrotopologie, die aus vier einfachen MOSFETs besteht, liegt in der Anwesenheit der beiden BtB-Schalter. Diese ‚Verschachtelung' der vier Hauptschalter, aus der sich mit unter auch der Name der PECIN-Struktur ableitet, kann je nach vorliegendem Schaltverhalten zu einer erhöhten Komplexität des Schaltvorgangs sowie zu unerwünschten Nebeneffekten führen[7]. Für zugehörige Erläuterungen sei auf Abschnitt 3.7 verwiesen [153]. Hierzu ist in Abbildung 3.4 das elektrische Ersatzschaltbild eines MOSFET in Form der parasitären Komponenten sowie des zugehörigen Gate-Treiber-Schaltkreises am Beispiel des Low-Side-Schalters B gezeigt. Dieses dient den Beschreibungen der Untersuchungen in Abschnitt 3.7. Identisches gilt für die Darstellung der beiden Energiespeichereinheiten ESU_1 sowie ESU_2 als Kaskadierung von drei Lithium-Ionen-Batteriezellen. In Abbildung 3.4 finden sich zudem die Kennzeichnungen der Drain-Source-Spannung $u_{\mathrm{DS}}(i)$ bzw. im Falle der BtB-Schalter der Drain-Drain-Spannung $u_{\mathrm{DD}}(i)$ sowie der Drain-Strom $i_{\mathrm{D}}(i)$ jedes i-ten Schalters mit $i = \{A;\ B;\ C;\ D;\ \mathit{Out}{+};\ \mathit{Out}{-}\}$. Diese dienen zur Darstellung der jeweiligen Messrichtun-

[7] Hinweis: Die Langform der PECIN-Struktur lautet *parallel enhanced commutation integrated nested*. Dabei deutet ‚nested' die verschachtelte Struktur der PECIN-Struktur an [160].

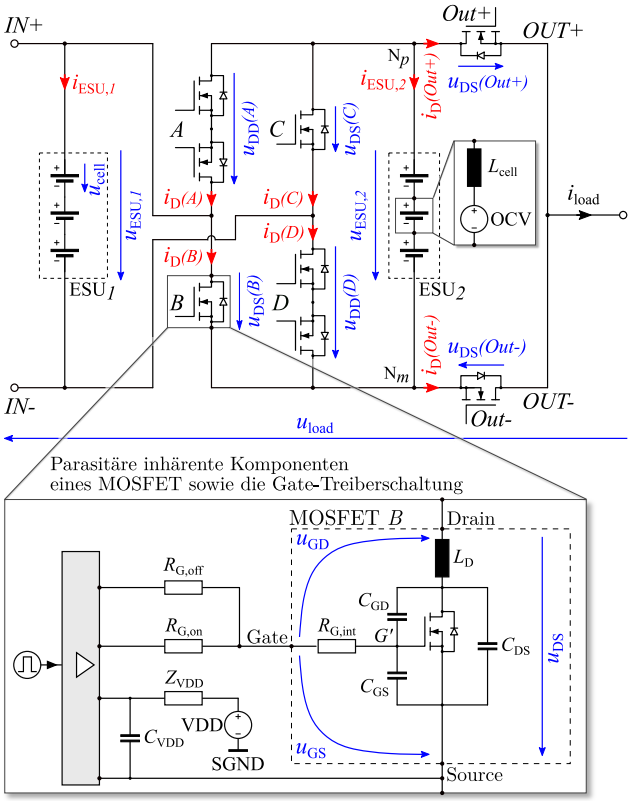


Abbildung 3.4: H-Brückendarstellung der in Abbildung 3.3 vorgestellten Schaltstruktur der PECIN-Topologie zur Verdeutlichung der speziellen Anordnung der Schalter in Form einer H-Brücke sowie die Darstellung des Ersatzschaltbilds eines MOSFET bestehend aus den parasitären Komponenten sowie der zugehörigen Gate-Treiberschaltung am Beispiel des Low-Side-Schalters *B*.

gen der Strom- und Spannungssignale, welche mittels des in Anhang B.2 erläuterten Messaufbaus aufgenommen wurden.

3.6 Modellierung von Parallelverbünden

In Abschnitt 2.1.6 wurden die Begriffe der Parallelpack-Formation sowie der Parallelpack-Konfiguration vorgestellt. Sofern der Zusammenhang aus Gleichung (2.23) erfüllt ist und sich ein Parallelverbund aus mindestens zwei Energiespeichereinheiten zusammensetzt, teilt sich der Laststrom unter den $n_{\mathrm{ESU,pp}}$ Energiespeichereinheiten im Parallelverbund auf. Um dabei den Einfluss der Bildung von Parallelverbünden in der PECIN-Struktur sowie allgemein in verschiedenen MLI-Systemen analysieren und beurteilen zu können, ist ein geeignetes Modell erforderlich. In diesem Zusammenhang spielt vor allem die Modellierung der Parallelschaltung der einzelnen Energiespeichereinheiten, deren zugehöriges Ersatzschaltbild bereits in Abschnitt 2.2 eingeführt wurde, eine entscheidende Rolle.

Abbildung 3.5 zeigt hierzu repräsentativ das Ersatzschaltbild eines einzelnen Parallelverbunds innerhalb eines PECIN-Phasenstrangs. Dieses Ersatzschaltbild lässt sich auf jeden Parallelverbund mit einem beliebigen Wert von $n_{\mathrm{ESU,pp}}$ anwenden. Hierbei sind ebenso Parallelverbünde berücksichtigt, deren Anzahl inhärenter Energiespeichereinheiten einem Wert kleiner als zwei gleicht. Damit kann das Ersatzschaltbild auch auf Spannungsquellen angewendet werden, die im Bypasszustand oder im reinen Serienmodus vorliegen. Die Grundlage für die Modellierung von parallel geschalteten Energiespeichereinheiten bildet das von Bruen et al. präsentierte Modell [16]. Bruen et al. betrachten bei der Modellierung allerdings lediglich die Parallelverschaltung von Lithium-Ionen-Batteriezellen ohne

den Einsatz zusätzlicher Halbleiterschalter. Diese Schaltelemente stellen jedoch die Basis eines MLI-Systems dar und ermöglichen die Parallelisierung. Der Ansatz von Bruen et al. wird deshalb entsprechend der Struktur eines PECIN-Strangs aus Abbildung 3.2 zu der in Abbildung 3.5 gezeigten Netzwerkstruktur erweitert. Anders als bei Bruen wird dabei nicht nur ein sogenannter Kontaktwiderstand

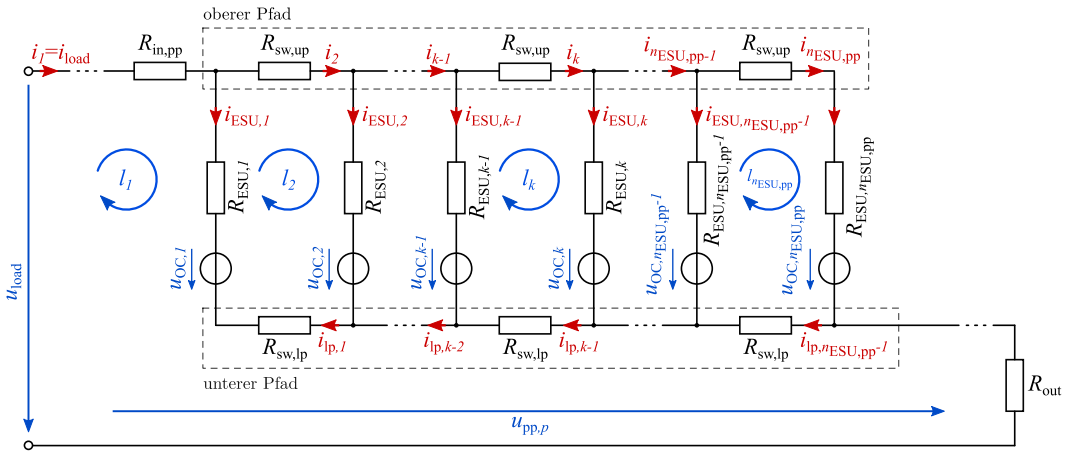


Abbildung 3.5: Ersatzschaltbild eines Parallelverbunds, bestehend aus $n_{\mathrm{ESU,pp}}$ Energiespeichereinheiten, in einem PECIN-MLI-Strang.

zwischen den einzelnen Energiespeichereinheiten in einem Parallelverbund berücksichtigt. Aufgrund der inhärenten Halbleiterschalter ergeben sich zusätzliche Widerstände in den Leitungspfaden, die die Parallelverschaltung der Energiespeichereinheiten realisieren [154]. Diese Verbindungspfade innerhalb eines Parallelverbunds sind, wie in Abbildung 3.5 angegeben, aus Gründen der Eindeutigkeit als oberer Pfad und unterer Pfad markiert. Die zugehörigen Widerstandswerte werden dabei vereinfachend mit $R_{\mathrm{sw,up}}$ und $R_{\mathrm{sw,lp}}$ indiziert, wobei $R_{\mathrm{sw,up}}$ den Widerstand zwischen den Pluspolen benachbarter Energiespeichereinheiten (engl. *upper path*, up) und $R_{\mathrm{sw,lp}}$ den Widerstand zwischen den Minuspolen (engl. *lower path*, lp) dieser repräsentieren. Wie in der Tabelle aus Abbildung 3.1 angegeben, existiert in der PECIN-Mikrotopologie lediglich ein einzelner Schaltzustand für den Parallelbetrieb, wobei *A* den Schalter darstellt, welcher die Pluspole benachbarter Energiespeichereinheiten verbindet. Die Verschaltung der Minuspole erfolgt über den BtB-Schalter *D*. Damit können für alle Widerstände im oberen sowie im unteren Pfad des Ersatzschaltbilds aus Abbildung 3.5 die Zusammenhänge aus den Gleichungen (3.5a) sowie (3.5a) herangezogen werden.

$$R_{\mathrm{sw,up}} = R_{\mathrm{sw,A}} \tag{3.5a}$$

$$R_{\mathrm{sw,lp}} = R_{\mathrm{sw,D}} \tag{3.5b}$$

$$R_{\mathrm{in,pp}} = R_{\mathrm{sw},i,k} \quad \text{für} \quad i \in \{A; B; C; D\} \tag{3.5c}$$

$$R_{\mathrm{out}} = R_{\mathrm{sw},i,k} \quad \text{für} \quad i \in \{Out+; Out-\} \tag{3.5d}$$

Die Widerstände der Schalterpfade $R_{\mathrm{sw},i,k}$ berechnen sich dabei unter Einbezug der Definition aus Gleichung (3.3). Der Übergangspfad zwischen zwei Parallelverbünden in einem PECIN-Strang ergibt sich aus der aktuellen Schalterstellung, basierend auf einer der vier Schaltzustände *1* bis *4* in Abbildung 3.1b. Dem zugehörigen Übergangswiderstand, welcher in Abbildung 3.5 gezeigt ist, wird mittels eines Eingangswiderstands $R_{\mathrm{in,pp}}$ Rechnung getragen und entspricht dem Widerstand des Schalterpfads $R_{\mathrm{sw},i,k}$ des gewählten Schalters i gemäß Gleichung (3.5c). Darüber hinaus resultiert aus der Präsenz der beiden Ausgangsschalter *Out+* sowie *Out-* ein zusätzlicher Ausgangswiderstand R_{out}. Aufgrund der Singularität von *Out+* sowie *Out-* befindet sich lediglich ein Widerstand R_{out} im ge-

samten PECIN-Strang, wie ebenso in Abbildung 3.5 erkennbar. Dabei gilt für die Bestimmung von R_{out} der Zusammenhang aus Gleichung (3.5d). Die Widerstände der ESU-Pfade können mittels der Gleichung (3.5) ermittelt werden.
Auf Basis dieser Netzwerkstruktur lässt sich ein geeignetes Modell eines PECIN-Phasenstrangs aufstellen. Angesichts des hohen Umfangs findet sich in Anhang A.1.10 eine ausführliche Beschreibung der zugrundeliegenden Systemgleichungen zur Modellierung aller genannten Komponenten in einem PECIN-Phasenstrang. Es sei darauf hingewiesen, dass die Darstellung der ESUs in Abbildung 3.5 aus Gründen der Übersichtlichkeit auf Basis des in Abschnitt 2.2.2 erläuterten Rint-Modells erfolgt. Wie in Abschnitt 2.2.2 beschrieben, kann das Ersatzschaltbild einer Energiespeichereinheit je nach Modellierungsgenauigkeit aus n_{RC} RC-Gliedern bestehen. Die in Anhang A.1.10 angegebenen Modellgleichungen sind daher allgemein formuliert und berücksichtigen eine beliebige Anzahl an n_{RC} RC-Gliedern. Unter Anwendung der Knoten- sowie Maschengleichungen nach Kirchhoff kann ein vollständiges Zustandsraummodell eines PECIN-Strangs abgeleitet werden. Die entsprechenden Maschen l_k sowie die einzelnen Pfadströme sind hierzu im Ersatzschaltbild in Abbildung 3.5 eingezeichnet. Dabei kann das erstellte Zustandsraummodell mit geringfügigen Modifikationen auf etwaige andere MLI-Topologien adaptiert werden und bildet damit die Grundlage für die Analyse und den Vergleich verschiedener MLI-Strukturen.

3.7 Exkurs: Identifikation parasitärer Effekte

Dieser Abschnitt widmet sich einer praktischen Untersuchung der PECIN-Struktur. Dabei werden die Schaltcharakteristika der eingebauten Halbleiterelemente anhand einer repräsentativen Schaltoperation analysiert. Durch Messungen der Strom- und Spannungsverläufe werden parasitäre Effekte identifiziert. Diese umfassen die *parasitäre Selbsteinschaltung* (engl. *parasitic self-turn-on*) von MOSFETs, *parasitäre Kommutierungspfade* sowie *Oszillationen* und Schwingungen in den Verläufen der Strom- und Spannungssignale der jeweiligen Halbleiterelemente. Diese Phänomene werden im Folgenden auf der Grundlage einer gewählten Schalthandlung kurz vorgestellt. Hierzu wird zunächst der theoretische Schaltvorgang dargelegt. Im Anschluss daran findet die Beschreibung der drei genannten parasitären Effekte auf Basis der Messsignale statt. Die erzielten Ergebnisse werden bezüglich des Auftretens dieser Effekte in anderen MLI-Mikrotopologien bewertet und daraus allgemeine Zusammenhänge abgeleitet. Vor der Darstellung der parasitären Effekte wird zunächst prägnant der aktuelle Stand des Wissens erläutert.
Die folgenden Untersuchungen basieren im Wesentlichen auf der Referenz [153].

3.7.1 Stand der Technik

Da es sich bei Halbleiterelementen um reale Bauteile mit parasitären Kapazitäten und Induktivitäten handelt, können diese die Schaltcharakteristik des Systems beeinflussen. Insbesondere die Präsenz und die Wechselwirkung der eingesetzten Halbleiter zueinander ist dabei von Bedeutung. Beispiele unerwünschter Nebeneffekte sind ein Übersprechen oder verrauschte Signale [112].
Chen et al. untersuchen im Zuge einer experimentellen Parameterstudie den Einfluss der parasitären Induktivitäten auf die Schaltcharakteristik eines MOSFET [24]. Dabei bewerten die Autoren im Detail die Auswirkung parasitärer Streuinduktivitäten auf die Schaltverluste, die Belastung der Bauelemente, die elektromagnetische Verträglichkeit als auch die auftretende Oszillation in den Strom- und Spannungssignalen. In den Untersuchungen werden insbesondere drei relevante Streuinduktivitäten berücksichtigt. Diese entsprechen der Induktivität des Gate-Treiberkreises, welche durch den Gate-Strom wirksam wird, die eigentliche Schleifeninduktivität im Schaltkreis als Folge des Drainstroms

L_{loop} sowie einer sogenannten common-source Induktivität, die durch die Kopplung des Gatekreises und des Leistungskreises entsteht. Die Ergebnisse zeigen, dass sich die Schleifeninduktivität des Leistungskreises L_{loop} vorrangig auf die auftretenden Oszillationen in den Strom- und Spannungsverläufen auswirkt. Je höher dieser Induktivitätswert, desto höhere Peakwerte weist die sich einstellende Oszillation auf. Dieser Effekt zeigt sich sowohl im Verlauf des Drainstroms als auch in der Gate-Source-Spannung u_{GS} sowie der Spannung über der Drain-Source-Strecke u_{DS}. Im Gegensatz dazu macht sich die common-source Induktivität im Wesentlichen in den resultierenden Schaltverlusten bemerkbar. Die Autoren geben dabei Empfehlungen für die Optimierung des Schaltungsdesigns, unter anderem zur Gewährleistung hoher Schaltgeschwindigkeiten. Die Studie bildet dabei allerdings ausschließlich die Einflussnahme der parasitären Effekte eines einzelnen MOSFET ab. Die Auswirkung der Präsenz mehrerer Halbleiterelemente in einer Schaltstruktur, wie dies für MLI-Systeme üblich ist, und insbesondere die gegenseitige Einflussnahme des Schaltverhaltens der MOSFETs wird nicht betrachtet. Wang et al. analysieren in ihrer Publikation ebenso den Einfluss der parasitären Komponenten eines MOSFET auf dessen Schaltperformance [167]. Anders als bei Chen et al. beziehen die Autoren alle parasitären Komponenten in die Untersuchungen mit ein. Beispielsweise zeigen die Ergebnisse, dass eine Erhöhung der Drain-Source-Kapazität beim Ausschalten des MOSFET die Ausprägung der Schwingung im Drainstrom verstärkt. Ebenso führt die Vergrößerung des Gate-Widerstands dazu, dass die Schaltdynamik des MOSFET abnimmt. Als Folge der erhöhten Schaltzeiten steigen die Schaltverluste. Die Autoren verdeutlichen anhand der erzielten Ergebnisse die essenzielle Rolle der parasitären Komponenten eines MOSFET, insbesondere bei der Gestaltung von Schaltstrukturen mit dynamischem Schaltverhalten. Allerdings untersuchen Wang et al. ebenso ausschließlich die Auswirkungen der parasitären Komponenten eines einzelnen MOSFET. Das Zusammenspiel des Schaltverhaltens von MOSFETs und deren gegenseitiger Einfluss wird nicht beleuchtet.
Insgesamt finden sich im Stand des Wissens nur wenige Veröffentlichungen, die sich mit dem Auftreten parasitärer Effekte in MLI-Systemen auseinandersetzen.

3.7.2 Vorstellung der untersuchten Schalthandlung

Für die Identifikation der parasitären Effekte wird repräsentativ eine spezifische Schalthandlung in der PECIN-Struktur untersucht, welche nachfolgend erläutert wird. Eine Schalthandlung tritt auf, wenn sich der Zustand mindestens eines Halbleiterelements nach der Schalthandlung vom Zustand davor unterscheidet. Aus Gründen der Einfachheit werden hierzu die Begriffe *Anfangsschaltzustand* und *Endschaltzustand* verwendet. Dabei verkörpert der Anfangsschaltzustand die Schalterstellung aller Schaltelemente vor der eigentlichen Schalthandlung. Der Endschaltzustand repräsentiert den Schaltzustand nach Beendigung der Schaltoperation. Tabelle 3.3 listet hierzu die Schaltzustände aller sechs Schalter *A*, *B*, *C*, *D*, *Out+* und *Out-* der Schaltstruktur aus Abbildung 3.3 sowohl für den Anfangszustand als auch für den Endzustand der betrachteten Schalthandlung auf. Zudem sind die jeweiligen Zustände der beiden Energiespeichereinheiten ESU_1 sowie ESU_2 ergänzend aufgeführt. Wie sich Tabelle 3.3 entnehmen lässt, befinden sich vor der Schalthandlung die beiden Schalter *D* und *Out+* im Lastpfad. Auch liegt ESU_2 im aktiven Zustand vor, während ESU_1 überbrückt wird. Im Zuge der betrachteten Schalthandlung wechselt der Schalter *D* in den ausgeschalteten Zustand, während der Schalter *C* in den leitenden Zustand übergeht. Es erfolgt damit eine Stromkommutierung von dem BtB-Schalter *D* auf den MOSFET *C*. Die Schalthandlung dient dazu, ESU_2 aus dem aktiven in den Bypasszustand zu schalten. Zur Verdeutlichung der jeweiligen Strompfade ist in Abbildung 3.6 die Schaltstruktur der PECIN-Topologie aus Abbildung 3.4 ergänzend abgebildet. Dabei sind die zugehörigen Lastpfade für den Anfangs- sowie für den Endzustand in roter bzw. blauer Farbe explizit hervorgehoben. Neben den beiden Lastpfaden, die im jeweils stationären Zustand des Anfangs- und Endzustands vorliegen, ist ebenso

Tabelle 3.3: Schalterstellungen der Komponenten (Schalter, ESU) im Anfangs- sowie Endschaltzustand innerhalb der PECIN-Schaltstruktur für die untersuchte Schalthandlung.

	Bezeichnung							
	A	***B***	***C***	***D***	***Out+***	***Out-***	**ESU_1**	**ESU_2**
Anfangsschaltzustand	0	0	0	1	1	0	0	1
Endschaltzustand	0	0	1	0	1	0	0	0

der theoretische Freilaufpfad (cyan) eingezeichnet. Aus Sicherheitsgründen muss in leistungselektronischen Schaltungen stets eine Totzeit zwischen den Schaltflanken der Gate-Ansteuerungssignale und damit zwischen Schalttransitionen der betreffenden Schalter berücksichtigt werden. Während dieses Zeitraums befinden sich rein theoretisch alle Schalter im ausgeschalteten Zustand. In dieser Zeit wird der Stromfluss typischerweise durch die Body-Dioden aufrechterhalten. Aufgrund der Ausführung von Schalter *D* als BtB-Schalter befindet sich unabhängig von der aktuellen Richtung des Laststroms stets eine der beiden Body-Dioden in Sperrrichtung zum Laststrom. Infolgedessen kann während dieser Totzeit keine Hilfskommutierung über diese Freilaufdioden stattfinden. Gleiches gilt für die Body-Dioden von Schalter *A*. Aufgrund der Anordnung von *B* in der PECIN-Struktur erlaubt auch die Freilaufdiode von MOSFET *B* in der betrachteten Schalthandlung keine Stromkommutierung, da sich diese ebenso in Sperrrichtung zur eigentlichen Laststromrichtung befindet. Der theoretische Freilaufpfad entspricht damit dem Stromfluss über die Body-Diode von Schalter *C*. Diese Hilfskommutierung endet, sobald der Laststrom vollständig auf den MOSFET *C* kommutiert ist[8].

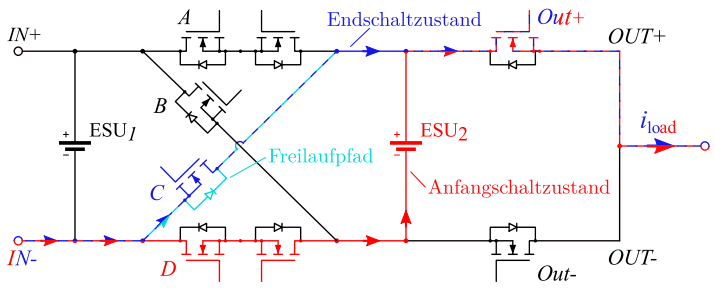


Abbildung 3.6: Darstellung der verwendeten PECIN-Schematics mit hervorgehobenem Lastpfad im Anfangs- (rot) und Endzustand (blau). Zusätzlich ist der theoretische Freilaufpfad (cyan) gekennzeichnet.

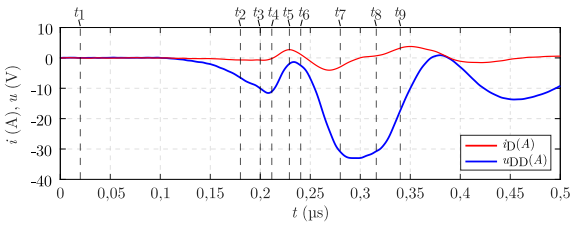
3.7.3 Vorstellung der parasitären Effekte

Nachfolgend werden die identifizierten parasitären Effekte auf Basis der im vorgehenden Abschnitt erläuterten Schalthandlung beleuchtet. Für die Beschreibungen des verwendeten Messaufbaus sei auf Anhang B.2 verwiesen. Wie in Abschnitt 3.5 bereits angedeutet, bildet Abbildung 3.4 die jeweiligen Messrichtungen der Strom- und Spannungssignale ab. Die nachfolgenden Verläufe entsprechen dieser Vorzeichenkonvention.

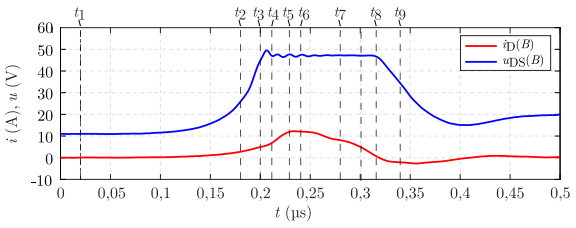
Abbildung 3.7 visualisiert die Messergebnisse in Form der Strom- und Spannungsverläufe der vier Hauptschalter *A*, *B*, *C* sowie *D*. Im Detail werden für die beiden Diagonalschalter *B* sowie *C* sowohl die Drain-Source-Spannung u_{DS} als auch der zugehörige Drainstrom i_{D} in Abbildung 3.7b sowie Abbildung 3.7c ermittelt. Identisches gilt für den Drainstrom der BtB-Schalter *A* sowie *D*. Da sich diese BtB-Schalter aus der antiseriellen Verschaltung zweier einzelner MOSFET zusammensetzen, wird

[8]Hinweis: Es ist anzumerken, dass diese Betrachtungen ausschließlich für die betrachtete Schalthandlung gelten, basierend auf den Schaltzuständen aus Tabelle 3.3.

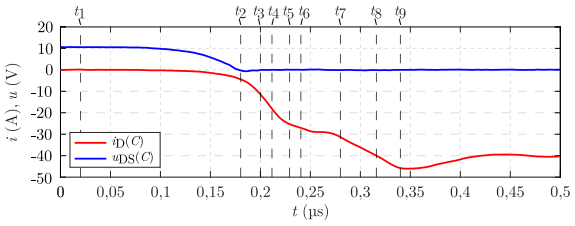
im Gegensatz zu B sowie C die Spannung über der Drain-Drain-Strecke u_{DD} detektiert (siehe Abbildung 3.7a sowie Abbildung 3.7d). Die Messverläufe sind jeweils über einen Zeitraum von $t = [0;\ 0,5]$ µs dargestellt. In diesem Zeitraum wird der gesamte Schaltvorgang vom Beginn des Spannungsabfalls von u_{DS} des ausschaltenden Schalters D bis zur vollständigen Stromkommutierung des Laststroms i_{load} auf den einschaltenden Schalter C abgebildet. Zudem beinhaltet das gezeigte Intervall jeweils die erste Hälfte jeder auftretenden Oszillation in den Strom- und Spannungssignalen nach Abschluss des Schaltvorgangs. Diese Berücksichtigung ist für die Analyse der parasitären Oszillationen und Kommutierungspfade von Bedeutung. Dabei sind in den vier Grafiken in Abbildung 3.7 spezifische Zeitpunkte markiert, die entscheidende Änderungen in den Kurvenverläufen anzeigen. Die Ergebnisse wurden für einen Entladestrom von $i_{\mathrm{load}} = 40\,\mathrm{A}$ ermittelt. Die Messungen werden auf Basis von Energiespeichereinheiten durchgeführt, die sich aus der Kaskade von drei Lithium-Ionen-Batteriezellen zusammensetzen[9]. Diese Kaskadierung ist in Abbildung 3.4 dargestellt. Unter Verwendung der 25 Ah prismatischen Lithium-Ionen-Batteriezelle $UF261591\_25Ah$ von *SANYO Electric Co., Ltd* wie in Anhang B.1 definiert, ergibt sich für die Spannung der beiden Energiespeichereinheiten, ESU_1 sowie ESU_2, ein Wert von $u_{\mathrm{ESU}} = 3\,u_{\mathrm{cell}} = 3 \cdot 3,6\,V = 10,8\,\mathrm{V}$. Für alle Schaltelemente wird der Niederspannungs-Leistungs-MOSFET $NTMTS0D6N04CL$ von *On Semiconductor* eingesetzt.
Angesichts des Hauptaugenmerks auf der Identifizierung und Analyse parasitärer Effekte werden im Folgenden nicht alle Signalverläufe im Detail erläutert. Es werden nur die Verläufe in den Fokus der Betrachtungen gesetzt, die für die Ableitung der jeweiligen Phänomene relevant sind. Für weitere Erläuterungen sei auf [153] verwiesen.



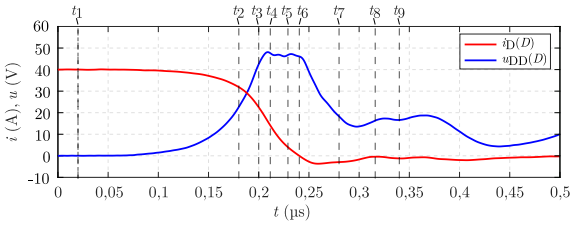
(a) Schalter A: $u_{\mathrm{DD}}(A)$ und $i_{\mathrm{D}}(A)$.



(b) Schalter B: $u_{\mathrm{DS}}(B)$ und $i_{\mathrm{D}}(B)$.



(c) Schalter C: $u_{\mathrm{DS}}(C)$ und $i_{\mathrm{D}}(C)$.



(d) Schalter D: $u_{\mathrm{DD}}(D)$ und $i_{\mathrm{D}}(D)$.

Abbildung 3.7: Gemessene Verläufe der Drain-Source-Spannungen u_{DS} bzw. der Drain-Drain-Spannungen u_{DD} sowie der Drainströme i_{D} der vier Hauptschalter in der PECIN-Schaltstruktur bei einem Laststrom von $i_{\mathrm{load}} = 40\,\mathrm{A}$.

3.7.3.1 Parasitäre Selbsteinschaltung von MOSFETs

Der erste parasitäre Effekt, welcher in einer idealen Schalthandlung nicht auftritt, entspricht der parasitären Selbsteinschaltung eines MOSFET. Dieser Effekt spiegelt den Sachverhalt wider, dass ein MOSFET nicht in den leitenden Zustand des ohmschen Bereichs aus Abbildung 2.13 übergeht, sondern kurzzeitig einen Strom führt und im aktiven Bereich bzw. je nach Drain-Source-Spannung im Avalanche-Bereich arbeitet. Der MOSFET leitet damit einen Strom, blockiert jedoch gleichzeitig die

[9] Hinweis: Die Wahl von $n_{\mathrm{c,ESU}} = 3$ wurde willkürlich getroffen. Ohne Einschränkung der Allgemeinheit ist ebenso jeder andere Wert von $n_{\mathrm{c,ESU}}$ möglich.

Sperrspannung [112].
Gemäß der Angabe zu den idealen Schaltzuständen in Tabelle 3.3 sind theoretisch nur die beiden Hauptschalter C und D an der betrachteten Schalthandlung aus Abbildung 3.6 beteiligt. Der Zustand der Schalter A sowie B sollte durch die Schalthandlung unverändert bleiben. Betrachtet man die Verläufe in Abbildung 3.7b, wird jedoch ersichtlich, dass MOSFET B trotz des eigentlichen Sperrzustands über einen Zeitraum von ca. 0,22 µs im Bereich zwischen 0,1 µs und t_8 ebenso einen Strom führt. Der Strom erreicht zum Zeitpunkt von t_5 ein Maximum von nahezu 13 A. Der Diagonalschalter B führt damit trotz eines fehlenden Ansteuerpulses während des gezeigten Schaltvorgangs einen Strom. Anhand des Verlaufs der Drain-Source-Spannung $u_{\mathrm{DS}}(B)$ lässt sich erkennen, dass sich Schalter B im Zeitintervall von $t = [t_3; t_8]$ im Lawinendurchbruch befindet. Dies wird durch den zugehörigen Wert der Drain-Source-Spannung $u_{\mathrm{DS}}(B)$ von 48 V deutlich, der über der im Datenblatt spezifizierten Durchbruchspannung des verwendeten Halbleiterelements $u_{(\mathrm{BR})\mathrm{DSS}}$ von 40 V liegt. Der MOSFET bricht damit während des untersuchten Schaltvorgangs für einen kurzen Zeitraum durch. In der Folge kommt es zu einem Strom zwischen dem Drain- und Source-Anschluss von Schalter B. Die Ursache für den Avalanche-Durchbruch liegt in der parasitären Schleifeninduktivität der aufgespannten Fläche von Schalter C und D sowie ESU_2 (siehe Abbildung 3.6). Durch die Schalthandlung der beiden Schalter C sowie D innerhalb der PECIN-Mikrotopologie wird aufgrund der Induktivität des Schaltkreises eine Gegenspannung verursacht[10]. Infolge der Änderung des Drainstroms wird gemäß $u = L_{\mathrm{D}} \frac{\mathrm{d}\,i}{\mathrm{d}t}$ eine Spannung in der parasitären Induktivität von B induziert [110, 121, 153]. Dabei charakterisiert L_{D} die Drain-Induktivität eines MOSFET, welche am Beispiel von MOSFET B in Abbildung 3.4 dargestellt ist. Sobald die Spannung über der Drain-Source-Strecke $u_{\mathrm{DS}}(B)$ die Durchbruchspannung $u_{(\mathrm{BR})\mathrm{DSS}}$ erreicht, wird die intrinsische Body-Diode des MOSFET B in Sperrrichtung vorgespannt. Die Auswertung der Verläufe von $u_{\mathrm{DS}}(B)$ und $i_{\mathrm{D}}(B)$ zeigt, dass MOSFET B im Lawinendurchbruch verbleibt, bis der Strom $i_{\mathrm{D}}(B)$ auf einen Wert von 0 A abgeklungen ist. Da MOSFET B im Anfangsschaltzustand gemäß Abbildung 3.3 blockiert, entspricht die Spannung über der Gate-Source-Strecke einem Wert von $u_{\mathrm{GS}}(B) = 0\,\mathrm{V}$. Auf Basis dieser Beschreibungen lässt sich deshalb näherungsweise die Beziehung

$$u_{\mathrm{GD}}(B) \approx u_{\mathrm{DS}}(B) \tag{3.6}$$

ableiten, wobei u_{GD} die Gate-Drain-Spannung des Schalters B repräsentiert. Betrachtet man den Verlauf von u_{DS} in Abbildung 3.7b vor dem Erreichen des Lawinendurchbruchs, ist ein starker Anstieg erkennbar. Der Wert von $\frac{\mathrm{d}u_{\mathrm{DS}}}{\mathrm{d}t}$ führt in der Konsequenz zu einem Stromfluss über der parasitären Kapazität zwischen dem Gate- und dem Drain-Anschluss $C_{\mathrm{GD}}(B)$. Dieser Strom über $C_{\mathrm{GD}}(B)$ berechnet sich unter Einbezug von Gleichung (3.6) folglich näherungsweise auf Basis des Zusammenhangs in Gleichung (3.7) [111].

$$i_{\mathrm{GD}}(B) = C_{\mathrm{GD}}(B)\ \frac{\mathrm{d}u_{\mathrm{GD}}(B)}{\mathrm{d}t} \approx C_{\mathrm{GD}}(B)\ \frac{\mathrm{d}u_{\mathrm{DS}}(B)}{\mathrm{d}t} \tag{3.7}$$

Der Stromfluss $i_{\mathrm{GD}}(B)$ resultiert in einer Anhebung des Potentials am Gate-Anschluss und in der Folge in einem Anstieg von $u_{\mathrm{GS}}(B)$. Bei einem hinreichend großen $\frac{\mathrm{d}u_{\mathrm{DS}}(B)}{\mathrm{d}t}$, kann $i_{\mathrm{GD}}(B)$ bewirken, dass $u_{\mathrm{GS}}(B)$ den Wert der Schwellspannung $u_{\mathrm{GS,th}}$ übersteigt. Ist dieser Zusammenhang erfüllt, geht B in einen aktiven Zustand in Anlehnung an Abbildung 2.13 über. Diese parasitäre Selbsteinschaltung hängt neben dem Anstieg von $\frac{\mathrm{d}u_{\mathrm{DS}}(B)}{\mathrm{d}t}$ auch von dem vorliegenden Wert des Gate-Widerstands R_{G} ab, welcher sich aus der Summe des internen Gate-Widerstandswerts R_{int} eines MOSFET sowie dem Gate-Widerstand im Gate-Treiberkreis zusammensetzt. Wie in Abbildung 3.4 dargestellt, kann dies

[10] Hinweis: In Abschnitt 4.4.1 werden die existierenden Schleifen innerhalb der PECIN-Topologie erläutert und die jeweiligen Schleifeninduktivitäten ermittelt. Es sei an dieser Stelle darauf verwiesen.

entweder der Widerstandswert $R_{\mathrm{G,on}}$ oder $R_{\mathrm{G,off}}$ sein. $R_{\mathrm{G,on}}$ entspricht dem Widerstandswert, der beim Einschalten des MOSFET in Serie zum internen Widerstand R_{int} geschaltet ist. Im Ausschaltvorgang setzt sich der gesamte Gate-Widerstand aus $R_{\mathrm{G,off}}$ und R_{int} zusammen. Mit zunehmendem Gate-Widerstand, der während des Einschaltzustands wirksam ist, wird das Auftreten der parasitären Selbsteinschaltung erschwert.
Im betrachteten Anwendungsfall tritt die parasitäre Selbsteinschaltung nur für den Zeitraum auf, in welchem $\frac{\mathrm{d}u_{\mathrm{DS}}(B)}{\mathrm{d}t}$ einen Wert größer null aufweist, d.h. solange die Drain-Source-Spannung zunimmt. Erreicht MOSFET B den Lawinendurchbruch, geht $u_{\mathrm{DS}}(B)$ in eine Sättigung über. Der Strom über $C_{\mathrm{GD}}(B)$ konvergiert in der Folge gegen null, die Gate-Source-Kapazität $C_{\mathrm{GS}}(B)$ wird entladen und $u_{\mathrm{GS}}(B)$ sinkt. MOSFET B kehrt in den sperrenden Zustand zurück. Es ist wichtig zu beachten, dass ein parasitär eingeschalteter MOSFET, obwohl er einen Strom leitet, im Gegensatz zu einem gezielt über ein Gate-Signal eingeschalteten MOSFET, nicht im leitenden Zustand vorliegt. Die Spannung über der Drain-Source-Strecke entspricht der Sperrspannung. Wie eingeführt, befindet sich der MOSFET im aktiven bzw. dem Avalanche-Bereich gemäß Abbildung 2.13. Ein gezielt aktivierter MOSFET operiert typischerweise im ohmschen Bereich, wobei die Drain-Source-Spannung als Folge des Drain-Source-Einschaltwiderstands $R_{\mathrm{DS(on)}}$ nur sehr geringe Werte aufweist. Auf Basis des Verlaufs von $u_{\mathrm{DS}}(B)$ ist ersichtlich, dass trotz des auftretenden Drainstroms die zugehörige Spannung über der Drain-Source-Strecke hohe Werte annimmt. Durch die Sättigung im Avalanche-Bereich bewirkt der MOSFET selbst wiederum ein Ausschalten. Dieser Umstand führt dazu, dass der MOSFET trotz eines vorhandenen Drainstroms keinen Kurzschluss erzeugt.
Diese Selbstaktivierung kann je nach vorliegender Schalthandlung auch für die übrigen Halbleiterelemente in der PECIN-Struktur auftreten. Dabei lässt sich der Effekt in analoger Weise erklären.

3.7.3.2 Parasitäre Kommutierungspfade

Neben der parasitären Selbsteinschaltung eines MOSFET werden auf Basis der Messergebnisse ebenso parasitäre Kommutierungspfade identifiziert. Diese Pfade stellen zusätzliche Strompfade oder zirkulierende Stromschleifen dar, die sich neben den idealen Kommutierungspfaden ausbilden können, wenn Schaltvorgänge in einem Schaltkreis durchgeführt werden. Für die betrachtete Schalthandlung gemäß Tabelle 3.3 werden insgesamt vier unterschiedliche Kommutierungspfade ermittelt, die sich zusätzlich zu den theoretischen Kommutierungspfaden aus Abbildung 3.6 einstellen. Einer dieser parasitären Strompfade wird im Folgenden kurz erläutert. Da sich lediglich die beteiligten Komponenten ändern, das generelle Prinzip der Kommutierungspfade jedoch identisch ist, sei für die Erläuterungen zu den übrigen parasitären Kommutierungspfaden auf [153] verwiesen. Die Summe aller idealen und parasitären Kommutierungspfade führt zu den gemessenen Strom- und Spannungsverläufen aus Abbildung 3.7[11].

Abbildung 3.8 visualisiert die Stromschleife eines identifizierten Kommutierungspfads. Dabei handelt es sich um eine Stromzirkulation zwischen den beiden Schaltern A und C sowie der Energiespeichereinheit ESU_1. Ergänzend finden sich im unteren Teil von Abbildung 3.8 die zugehörigen Drainströme der beiden beteiligten Schalter A und C, wobei die jeweiligen Stromrichtungen in der zugehörigen Schleife explizit gekennzeichnet sind. Dieser Kommutierungspfad wurde dabei auf Basis signifikanter Bereiche in den Stromverläufen von A und C aus Abbildung 3.7 abgeleitet. Betrachtet man den Anstieg des Drainstroms von Schalter C, welcher in der untersuchten Schalthandlung von einem sperrenden in den leitenden Zustand übergeht, lässt sich im Bereich von $t = 0,23\,\mu\mathrm{s}$ ein höherer Gradient erkennen. $i_{\mathrm{D}}(C)$ wächst in diesem Bereich schneller an. Im Anschluss daran geht der Verlauf von $i_{\mathrm{D}}(C)$

[11] Hinweis: Es existieren eine Vielzahl unterschiedlicher Kommutierungspfade, deren Superposition in den Verläufen der Messsignale resultieren. Da die jeweilige Identifikation der Kommutierungspfade bzw. die Aufteilung in verschiedene Pfade nichts an den eigentlichen Messergebnissen ändert, ist die Wahl der jeweiligen Zerlegung unerheblich.

im Bereich von $t = [0,25; 0,275]$ µs in eine Sättigung über. Danach steigt der Strom bis zu dem Wert von $i_{\text{load}} = $-40 A linear an. Vergleicht man diese Progression mit dem Verlauf des Drainstroms von Schalter A, welcher in der betrachteten Schalthandlung theoretisch nicht aktiv beteiligt ist, lässt sich das Verhalten im Verlauf von $i_{\text{D}}(C)$ auf eine Stromrückkoppelung über den Schalter A zurückführen. Die Rückführung des Stroms erfolgt über die Energiespeichereinheit ESU_1. Der zirkulierende Strom wird in $i_{\text{D}}(C)$ rückgespeist. Wie die Markierungen in den Kurvenverläufen der Drainströme zeigen, führt ein positiver Strom über A zu einem schnelleren Anstieg von $i_{\text{D}}(C)$. Im Gegensatz dazu verlangsamt ein negativer $i_{\text{D}}(A)$ die Progression des Drainstroms von C.

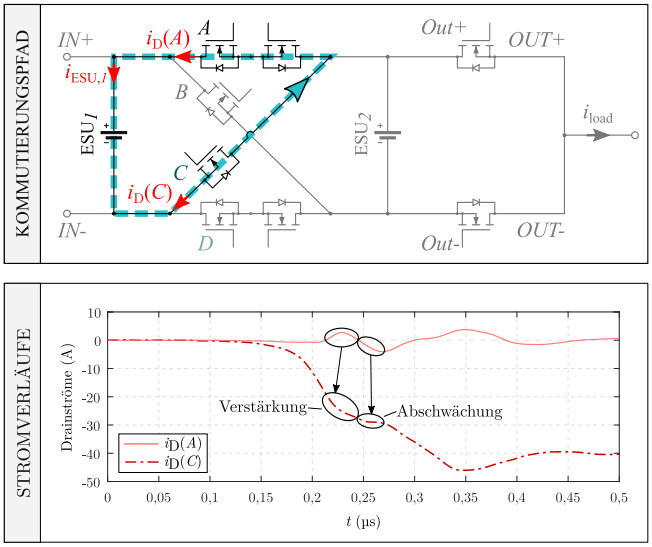


Abbildung 3.8: Visualisierung eines parasitären Kommutierungspfads in Form der zugehörigen Stromschleife, der im Rahmen der betrachteten Schalthandlung gemäß Tabelle 3.3 identifiziert wurde. Die Kurvenverläufe zeigen ergänzend die Verläufe der Drainströme der beteiligten Schalter A und C.

3.7.3.3 Oszillationen

Betrachtet man die Ergebnisse in Abbildung 3.7, lässt sich für die meisten Strom- und Spannungsverläufe ein Einschwingen auf den entsprechenden Endwert erkennen. Beispielsweise zeigen die jeweiligen Drain-Source- bzw. Drain-Drain-Spannungen der Schalter A, B sowie D einen Schwingungsvorgang. Identisches gilt ebenso für die Drainströme der vier Hauptschalter. Diese Schwingungen resultieren aus Resonanzphänomenen, die aufgrund des induktiven und kapazitiven Verhaltens des Schaltkreises auftreten. Neben den intrinsischen induktiven und kapazitiven Eigenschaften der Halbleiterelemente, wie der Ausgangskapazität C_{oss}, die sich gemäß der Gleichung

$$C_{\text{oss}} = C_{\text{GD}} + C_{\text{DS}} \tag{3.8}$$

zusammensetzt, und der Drain-Induktivität L_{D}, wirken auch die parasitären Eigenschaften des gesamten Schaltkreises mit. Hierbei spielen insbesondere die hohen Schleifeninduktivitäten eine Rolle, welche infolge der Schalthandlungen in der PECIN-Struktur (siehe Abschnitt 4.4.1) wirksam werden. Die Induktivität der verwendeten Energiespeichereinheiten beeinflusst ebenfalls die Ausbildung von Resonanzphänomenen. Ein Blick auf die Verläufe der Drainströme $i_{\text{D}}(A)$ und $i_{\text{D}}(C)$ in Abbildung 3.8 verdeutlicht ab dem Zeitpunkt, an dem der Drainstrom von Schalter C den Wert von -40 A erreicht ($t = 0,35$ µs), das Auftreten inverser Stromoszillationen, was auf eine Resonanz hinweist. Diese Reso-

nanz wird in erster Linie durch die Induktivität von ESU_1, die sich im identifizierten Kommutierungspfad aus Abbildung 3.8 befindet, sowie durch die Ausgangskapazitäten und die Draininduktivitäten der beiden Schalter A und C hervorgerufen. Darüber hinaus tragen auch die kapazitiven und induktiven Eigenschaften der Leiterbahnen zu den Oszillationen bei.
Derartige Schwingungen sind in den meisten leistungselektronischen Systemen anzutreffen [111, 131].

3.7.3.3.1 Ableitung allgemeiner Zusammenhänge

Nachfolgend werden die in der PECIN-Topologie identifizierten parasitären Effekte auf andere MLI-Topologien übertragen. Hierzu werden im Speziellen die Mikrotopologien der Halbbrücke, der H-Brücke sowie der BM3-Struktur herangezogen. Basierend auf diesen Betrachtungen lassen sich allgemeine Schlussfolgerungen zum Auftreten von parasitären Effekten in MLI-Strukturen ableiten. Diese Generalisierung der identifizierten Ergebnisse verdeutlicht, dass sich in Bezug auf das Auftreten der parasitären Selbsteinschaltung eingesetzter MOSFETs zwei Fälle unterscheiden lassen. Einerseits zeigt sich das Phänomen der parasitären Selbsteinschaltung innerhalb eines Schalterpfads selbst, in welchem zwei oder mehrere Schaltelemente in Serie geschaltet sind. Die Schalter repräsentieren dabei jeweils High- bzw. Low-Side-Schalter. Ein Beispiel hierfür ist die Struktur der Halbbrücke [112]. Andererseits können Schalthandlungen in einem Schalterpfad dazu führen, dass ein MOSFET innerhalb eines parallelen Schalterzweigs parasitär zu leiten beginnt. Dieser Kategorie lassen sich die Beschreibungen aus Abschnitt 3.7.3.1 auf Basis der untersuchten Schalthandlung in der PECIN-Struktur zuordnen. Wie insbesondere anhand von Abbildung 3.4 deutlich wird, formen sowohl die Schalter A sowie B als auch C sowie D eine Halbbrücke. Infolge einer Schalthandlung in $C-D$ geht Schalter B im parallelen Halbbrückenzweig kurzzeitig in einen leitenden Zustand über. Für die Ableitung allgemeiner Zusammenhänge in Bezug auf die parasitäre Selbsteinschaltung von MOSFETs wird daher zwischen einer Selbsteinschaltung infolge einer Schalthandlung innerhalb desselben Schalterzweigs sowie infolge einer Schaltoperation in einem parallel geschalteten Schalterpfad unterschieden.

1.: **Parasitäre Selbsteinschaltung von MOSFETs infolge einer Schalthandlung**

   i. *innerhalb desselben Schalterzweigs:* Besitzt eine MLI-Struktur mindestens einen Halbbrückenzweig bestehend aus einem High-Side- sowie einem Low-Side-Schalter kann das Einschalten eines der beiden MOSFETs dazu führen, dass der komplementäre Schalter infolge der Spannungsänderung kurzzeitig in den aktiven Bereich übergeht. Der MOSFET wird parasitär leitend. Trotz des Stromflusses befindet sich der MOSFET im aktiven Bereich. Die Drain-Source-Spannung entspricht der Sperrspannung. Gemäß der Erläuterungen in Abschnitt 3.7.3.1 tritt dieser Sachverhalt ein, wenn $\frac{\mathrm{d}u_{\mathrm{DS}}}{\mathrm{d}t}$ hinreichend hoch ist und der dadurch verursachte Strom über der Millerkapazität (C_{GD}) gemäß Gleichung (3.7) bewirkt, dass die Gate-Source-Spannung u_{GS} die Schwellspannung $u_{\mathrm{GS,th}}$ überschreitet.

   ii. *in einem parallel geschalteten Schalterpfad:* Setzt sich eine MLI-Struktur aus mehreren Schalterpfaden zusammen, die zueinander parallel geschaltet sind, kann das Ausschalten eines MOSFET zu einer parasitären Selbsteinschaltung eines MOSFET innerhalb eines parallelgeschalteten Schalterpfads führen. Die Ursache ist dabei identisch zu der aus Punkt i. Ist die induzierte Spannung über der Drain-Source-Strecke eines sperrenden MOSFET groß genug, ergeben sich die Effekte aus Abschnitt 3.7.3.1, und der MOSFET beginnt zu leiten.

2. **Parasitäre Kommutierungspfade:** Wie in Abschnitt 3.7.3.2 beispielhaft demonstriert, treten infolge einer Schalthandlung neben den idealen Kommutierungspfaden parasitäre Zirkulationen

des Laststroms auf. Generell gilt, dass Kommutierungspfade auftreten können, wenn in einem Invertersystem mindestens zwei Schalterpfade parallel zueinander geschaltet sind. Dabei können sich diese Schalterpfade aus einem oder mehreren Schaltelementen zusammensetzen. Unabhängig von der Stärke des jeweils zirkulierenden Stroms entspricht die Anzahl der Kommutierungspfade der Anzahl vorhandener Schleifen innerhalb einer Struktur. Die Intensität der Kommutierungspfade nimmt mit zunehmendem physikalischen Abstand zwischen den jeweiligen Schalterzweigen ab. Dies führt in der Folge zu einer Verringerung der Amplitude des parasitär in diesen Schleifen fließenden Stroms.

3. **Oszillationen:** In nahezu allen leistungselektronischen Schaltungen treten Einschwingvorgänge und Oszillationen auf. Die Intensität dieser Oszillationen wird maßgeblich von der kapazitiven und induktiven Beschaffenheit der Schaltung beeinflusst. Besonders relevant sind hierbei die parasitären Kapazitäten und Induktivitäten der Halbleiterelemente, insbesondere der Energiespeichereinheit.

3.7.4 Gegenmaßnahmen

Neben der Identifikation der parasitären Effekte sind nachfolgend kurz Maßnahmen erläutert, um diese zu minimieren oder vollständig zu vermeiden. Eine mögliche Präventionsmaßnahme gegen parasitäre Selbsteinschaltung besteht beispielsweise in dem modifizierten Design des Gate-Treiberkreises [112]. Wie in Abbildung 3.4 dargestellt, besteht die Möglichkeit zwei verschiedene externe Gate-Widerstände zu verwenden. Bei einer parasitären Selbsteinschaltung führt der Stromfluss über die Gate-Drain-Kapazität C_{GD} zu einem Anstieg des Gate-Potentials. Diesem Effekt kann durch eine Erhöhung des Gate-Widerstands entgegengewirkt werden, um den Anstieg von u_{GS} zu verlangsamen. Der größere Gate-Widerstand reduziert die Schaltgeschwindigkeit des MOSFET und damit die Spannungsänderungsrate $\frac{\mathrm{d}u_{\mathrm{DS}}}{\mathrm{d}t}$, wodurch der über die Gate-Drain-Kapazität C_{GD} eingekoppelte Strom verringert wird. Da diese Modifikation, wie von Wang et al. demonstriert, allerdings zu erhöhten Verlusten und längeren Schaltzeiten führen kann und die Prävention nur für den Einschaltvorgang des MOSFET erforderlich ist, ist es sinnvoll, zwei verschiedene Gate-Widerstände zu verwenden [167]. In dem gezeigten Gate-Treiberkreis in Abbildung 3.4 wird, wie bereits beschrieben, der Widerstand $R_{\mathrm{G,on}}$ beim Einschalten des MOSFET, $R_{\mathrm{G,off}}$ beim Ausschalten wirksam. Während $R_{\mathrm{G,on}}$ so gewählt wird, dass parasitäre Einschaltvorgänge vermieden werden, kann $R_{\mathrm{G,off}}$ zur Minimierung der auftretenden Verluste geringere Werte aufweisen. Für das Verhältnis dieser beiden Widerstände gilt damit der Zusammenhang aus Gleichung (3.9).

$$R_{\mathrm{G,off}} \overset{!}{<} R_{\mathrm{G,on}} \tag{3.9}$$

Wie in Abschnitt 3.7.3.1 erläutert, entspricht die Drain-Source-Spannung bei einem parasitär leitenden MOSFET der Sperrspannung, was einen möglichen Kurzschluss verhindert. Die Sättigung von u_{DS} im Lawinendurchbruch bewirkt wiederum das Ausschalten des parasitär leitenden MOSFET. Da sowohl die parasitären Kommutierungspfade und Oszillationen als auch die parasitäre Selbsteinschaltung der MOSFETs ein überschaubares Gefährdungsrisiko darstellen, werden die Maßnahmen an dieser Stelle nicht weiter erläutert. Je nach den Anforderungen des Systems können diese implementiert werden. Für weitere Details sei auf [153] verwiesen.

4 Identifikation der Einflussfaktoren

Um eine geeignete Basis für die Untersuchung der Abhängigkeiten zwischen den Parametern beim MLI-Design zu schaffen, werden in diesem Kapitel alle relevanten Einflussfaktoren vorgestellt. Der Begriff der *Einflussfaktoren* umfasst dabei verschiedene Parameter und Variablen, die für die Implementierung sowie die Funktionsweise eines MLI von zentraler Bedeutung sind. Diese Zusammenfassung vereinfacht im Weiteren die Handhabung der Beschreibungen. Zur Verdeutlichung werden alle Einflussfaktoren in einem ersten Schritt auf Basis ihrer jeweiligen Spezifikation in vier Kategorien eingeteilt, um die Unterschiede deutlich zu machen. Diese Kategorisierung ist insbesondere relevant für die Identifizierung der Wechselwirkungen. Im Anschluss an die Klassifizierung werden im Rahmen des vorliegenden Kapitels die jeweiligen Einflussfaktoren ausführlich beleuchtet. Da einige Faktoren bereits in Kapitel 2 für das grundlegende Verständnis von MLIs vorgestellt wurden, wird in diesen Fällen auf umfangreiche Erläuterungen verzichtet und auf die entsprechenden Stellen verwiesen.

Es sei erwähnt, dass neben den aufgeführten Einflussfaktoren weitere Parameter existieren, die die Auslegung eines MLI beeinflussen können. Ein Beispiel hierfür ist die Temperatur. Aufgrund des bereits existierenden Umfangs sowie der wachsenden Komplexität mit steigender Anzahl an Einflussfaktoren wurde auf eine Betrachtung dieser Größe bewusst verzichtet. Dabei sind die als am wichtigsten erachteten Einflussfaktoren aufgeführt. Für detaillierte Erklärungen zum Einfluss der Temperatur wird auf weiterführende Literatur verwiesen, die sich gezielt auf diesen Parameter konzentriert [20, 78, 149].

4.1 Die Klassifikation

Eine zentrale Übersicht über die relevanten Einflussfaktoren findet sich in Abbildung 4.1. Die Faktoren werden basierend auf den jeweiligen Spezifikationen in vier grundsätzliche Kategorien eingeteilt; *externe Vorgaben*, *interne Einstellgrößen*, *Bewertungskriterien* sowie *Zustandsvariablen*. Ergänzend zu dieser Übersicht listet Tabelle 4.1 alle vier Kategorien inklusive einer erläuternden Beschreibung auf. Dabei verdeutlicht die Tabelle die maßgeblichen Spezifikationen der vier Kategorien, welche die wesentliche Basis für die Kategorisierung der Einflussfaktoren bilden. Für die Gestaltung und die Funktionsweise eines MLI spielen dabei nicht nur Parameter eine Rolle, die sich direkt vom Designer beeinflussen lassen, sondern auch externe Vorgaben, die sich unter anderem durch den Anwendungsbereich ergeben. Mit dem Fokus auf den Automobilbereich ist beispielsweise in der Regel die Wahl der Speichereinheit in Form einer Lithium-Ionen-Batteriezelle festgelegt. Da sich diese *externen Vorgaben* durch das MLI-Design typischerweise nicht verändern lassen, sondern vielmehr als Basis für dessen Auslegung dienen, werden die bestehenden Vorgaben als separate Kategorie betrachtet. Nichtsdestotrotz beeinflussen diese externen Vorgaben das Design des MLI und müssen deshalb berücksichtigt werden. Hierzu zählen neben dem Energiebedarf des Systems und in der Folge dem maximalen Laststrom und der Systemspannung auch die Wahl der Batteriezelle. Mit Festlegung der Batteriezelle sind sowohl die Zellchemie als auch die damit einhergehenden Charakteristika wie die Nominalspannung definiert. Letztere spezifiziert damit die Diskretisierungseinheit der MLI-Spannung. Aus der Nominalspannung einer einzelnen Batteriezelle ergibt sich zudem die Mindestzahl an Batteriezellen, die benötigt wird, um die geforderte Systemspannung zu erzeugen. Auch die elektrische Maschine, welche zur Bereitstellung der notwendigen Systemleistung bzw. des Drehmoments gebraucht wird, beeinflusst

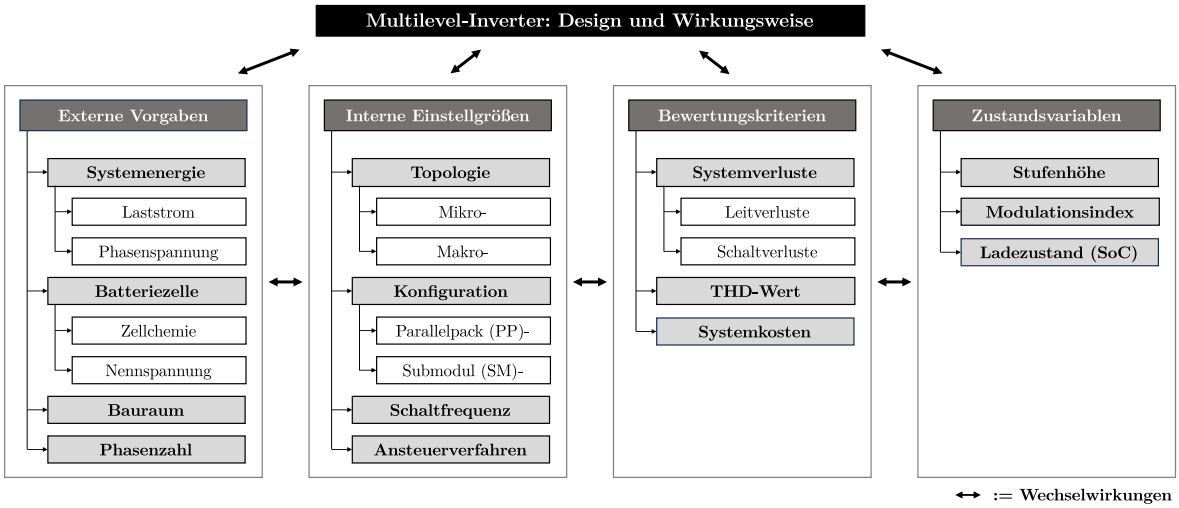


Abbildung 4.1: Übersicht über die betrachteten Einflussfaktoren eingeordnet in die vier Kategorien *externe Vorgaben*, *interne Einstellgrößen*, *Bewertungskriterien* sowie *Zustandsvariablen*, welche alle zum Design und/oder der Wirkungsweise eines MLI beitragen.

über die zugehörige Phasenzahl das MLI-Design, ebenso wie der verfügbare oder erforderliche Bauraum. Im Gegensatz zu diesen festen Vorgaben besitzen die sogenannten *internen Einstellgrößen* die Spezifikation, dass diese unberücksichtigt des Einstellzeitpunktes grundsätzlich vom Designer modifiziert werden können. Den internen Einstellgrößen werden sowohl die Mikrotopologie als auch die Makrotopologie zugeordnet. Darüber hinaus repräsentiert die SM-Konfiguration einen hardwareseitigen Einflussfaktor auf das MLI-Design. Diese beinhaltet im Speziellen die Auslegung der Submodule in Form der Größe und Symmetrie zueinander. Weitere wichtige interne Einstellgrößen stellen die Ansteuerung in Form des Ansteuerverfahrens der Halbleiter, die Schaltfrequenz sowie die Formation von Parallelpacks dar, wobei diese softwareseitig während des Betriebs modifizierbar sind. Die dritte Kategorie bilden die *Bewertungskriterien* ab. Mithilfe dieser lässt sich das Design eines MLI, wie der Name bereits andeutet, bewerten und vor allem mit anderen MLI-Varianten vergleichen. Besonders in Industriezweigen wie dem Automobilsektor gelten strenge Richtlinien. In einigen Fällen können diese Bewertungskriterien deshalb sogar als externe Vorgaben fungieren, im Speziellen wenn ein Grenzwert für ein Bewertungskriterium festgelegt ist, der nicht überschritten werden darf. Die Bewertungskriterien können somit auch als Referenz angesehen werden. Um diese Referenz einzuhalten, lässt sich über die jeweiligen Einstellgrößen eine Modifikation des MLI-Systems bzw. dessen Funktionsweise erzielen. Es herrscht eine reziproke Abhängigkeit zwischen diesen beiden Kategorien. In die Kategorie der Bewertungskriterien fallen die Systemverluste, welche sich im Wesentlichen aus den Leit- und Schaltverlusten zusammensetzen, der Gesamtverzerrungsgehalt eines Signals in Form des THD-Werts sowie die Systemkosten. Darüber hinaus existieren ebenso *Zustandsvariablen*, die im Gegensatz zu den internen Einstellgrößen in der Regel nicht direkt modifiziert werden können. Zwar stellen diese weder direkt veränderliche Einflussfaktoren oder externe Vorgaben dar. Allerdings können sie ein MLI-System stark beeinflussen und finden deshalb ebenso Berücksichtigung. Hierzu zählen die Stufenhöhe, der Modulationsindex sowie der Ladezustand (SoC). Wie in Tabelle 4.1 erkennbar, grenzen sich die vier Kategorien der Einflussfaktoren vor allem in Bezug auf ihre Modifizierbarkeit voneinander ab. Neben dieser unterscheiden sich die Faktoren darüber hinaus ebenso hinsichtlich des Einstellungszeitpunktes sowie darin, ob eine Einstellung fix vorgegeben oder veränderlich ist. Als Ergänzung zu der Übersicht in Abbildung 4.1 und den Beschreibungen in Tabelle 4.1 zeigt Tabelle 4.2 deshalb auf, welche der betrachteten Einflussfaktoren direkt (vom Anwender) modifiziert und welche nur durch Einflussnahme auf andere Faktoren verändert werden können.

Tabelle 4.1: Beschreibung der vier identifizierten Kategorien an Einflussfaktoren in Form der *externen Vorgaben*, der *internen Einstellgrößen*, der *Bewertungskriterien* sowie zusätzlich auftretender *Zustandsvariablen* beim Design eines MLI.

Kategorie	**Spezifikation**	**Beschreibung**	**Einflussfaktoren**
Externe Vorgaben	- Von ‚außen' vorgegeben - In der Regel nicht veränderlich	Den *externen Vorgaben* werden Einflussfaktoren zugeordnet, welche in der Regel extern bzw. von ‚außen' vorgegeben sind. Diese lassen sich nicht ändern, sondern müssen als gegeben angenommen werden. Hierzu zählen Vorgaben des Batterie- oder des Automobilherstellers wie beispielsweise die Wahl der Batteriezelle.	- Systemenergie • Laststrom • Phasenspannung - Batteriezelle • Zellchemie • Nennspannung - Bauraum - Phasenzahl
Interne Einstellgrößen	- Direkt einstellbar - Modifizierbar entweder • *vor* oder • *während* des Betriebs	Als *interne Einstellgrößen* werden alle Parameter bezeichnet, welche sich direkt einstellen lassen. Diese stellen die wesentlichen Stellhebel bei der Auslegung eines MLI dar. Sie sind von essenzieller Bedeutung, da über diese die zugehörigen Eigenschaften des MLI stark beeinflusst werden können. Dabei lassen sich interne Einstellgrößen unterscheiden, welche *vor dem Betrieb* festgelegt werden müssen oder *während des Betriebs* modifiziert werden können. Dieser Aspekt ist wesentlich, da der Zeitpunkt der Festlegung stark mit der Designfreiheit und Agilität des Systems korreliert.	- Topologie • Mikrotopologie • Makrotopologie - Konfiguration • PP-Konfiguration • SM-Konfiguration - Schaltfrequenz - Ansteuerverfahren
Bewertungskriterien	- Von ‚außen' vorgebbar - Dienen als Referenz oder Bewertungsmaßstab - Vergleichsgrundlage	Die *Bewertungskriterien* dienen als Maßstab für die Auslegung des MLI-Systems. Anhand dieser kann das entwickelte System bewertet werden. Sie stellen damit die Grundlage für einen Vergleich verschiedener Invertersysteme dar.	- Systemverluste • Leitverluste • Schaltverluste - THD-Wert - Systemkosten
Zustandsvariablen	- Nicht direkt einstellbar - Nur indirekte Einflussnahme möglich	Parameter, die sich in einem MLI-System nicht direkt beeinflussen lassen, werden der Kategorie der *Zustandsvariablen* zugeordnet. Damit unterscheiden sich diese Variablen von den internen Einstellgrößen, welche als MLI-Stellhebel direkt beeinflusst werden können. Eine Modifikation der Zustandsvariablen ist in der Regel über die Anpassung der internen Einstellgrößen möglich. Dabei existieren auch Zustandsvariablen, die nicht veränderlich sind, sondern vom vorliegenden Betriebspunkt abhängen.	- Stufenhöhe - Modulationsindex - Ladezustand (SoC)

Zudem ist im Falle einer direkten Modifizierbarkeit angegeben, ob diese Einstellung *fix* und damit unveränderlich ist oder ob die Adaption *variabel* und somit auch im Betrieb vorgenommen werden kann. Für den Fall, dass eine veränderliche Modifikation möglich ist, wird der entsprechende Einstellzeitpunkt angegeben, d.h. *vor* oder *während des Betriebs*. Da die externen Vorgaben überwiegend von Dritten festgelegte Rahmenbedingungen darstellen, werden sie im weiteren Verlauf als gegeben vorausgesetzt. Betrachtet man Tabelle 4.2 im Detail, so lässt sich feststellen, dass es sich bei allen internen Einstellgrößen, welche softwareseitig modifiziert werden können, um veränderliche Parameter handelt. Hierzu zählen die Schaltfrequenz, die Ansteuerung in Form des Ansteuerverfahrens sowie die PP-Konfiguration. Es sei an dieser Stelle erwähnt, dass das Ansteuerverfahren in der Regel über den Betrieb hinweg fest vorgegeben ist. Dabei können allerdings einzelne Faktoren in Bezug auf die Signalzuordnung variiert werden, weshalb im Falle dieser Einstellgröße beide Optionen zutreffend sind. Im Gegensatz dazu erfolgt die Vorgabe der internen Einstellgrößen, deren Modifikation hardwareseitig vorgenommen werden muss, vor dem Betrieb und kann anschließend nicht mehr geändert werden. Dieser Art von Einstellgrößen werden sowohl die Mikro- als auch die Makrotopologie und die SM-Konfiguration zugeordnet. Wie erläutert, können die Zustandsvariablen nicht direkt angepasst werden. Lediglich die Modifikation der internen Einstellgrößen ermöglicht eine Einflussnahme. Aus diesem Grund ist für diese Zustandsvariablen ebenso die Option des Einstellzeitpunktes während des Betriebs angegeben. Die Bewertungskriterien sind ebenfalls nicht direkt einstellbar, können jedoch auch durch die Anpassung der internen Einstellgrößen beeinflusst werden. Daher erfolgt die Kennzeichnung analog zu den Zustandsvariablen.

Um etwaige Unklarheiten zu vermeiden, sei an dieser Stelle eine kurze Erklärung zu den beiden

Tabelle 4.2: Angabe der Modifizierbarkeit und des Einstellzeitpunktes der betrachteten Einflussfaktoren, eingeteilt in die vier definierten Kategorien *externe Vorgaben*, *interne Einstellgrößen*, *Bewertungskriterien* sowie *Zustandsvariablen*.

Kategorie	**Einflussfaktoren**	**Direkt einstellbar**			**Einstellzeitpunkt: ... dem/s Betrieb(s)**	
		Ja		Nein	vor	während
		fix	var			
EXTERNE VORGABEN	(Max.) Laststrom			**x**		
	(Max.) Phasenspannung			**x**		
	Zellchemie			**x**		
	Nennspannung BZ			**x**		
	(Max.) Bauraum			**x**		
	Phasenzahl			**x**		
INTERNE EINSTELLGRÖßEN	Mikrotopologie	**x**			**x**	
	Makrotopologie	**x**			**x**	
	PP-Konfiguration		**x**			**x**
	SM-Konfiguration	**x**			**x**	
	Schaltfrequenz		**x**			**x**
	Ansteuerverfahren	**x**	**x**			**x**
BEWERTUNGS-KRITERIEN	(Max.) Leitverluste			**x**		**x**
	(Max.) Schaltverluste			**x**		**x**
	(Max.) THD-Wert			**x**		**x**
	(Max.) Systemkosten			**x**		**x**
ZUSTANDS-VARIABLEN	Stufenhöhe			**x**		**x**
	Modulationsindex			**x**		**x**
	Ladezustand (SoC)			**x**		**x**

Abkürzungen: BZ = Batteriezelle, Max. = Maximale(r), var = variabel.
Bedeutung: **x** : Trifft zu.

Einflussfaktoren der Stufenhöhe sowie der SM-Konfiguration gegeben. Auf den ersten Blick erscheinen beide Parameter sehr ähnlich. Durch die Erläuterungen zur SM-Konfiguration in Abschnitt 4.3.2 sowie zur Stufenhöhe in Abschnitt 4.2.1, wird deutlich, dass die Begriffe verschiedene Bedeutungen besitzen. Der wesentliche Unterschied liegt darin, dass die Stufenhöhe softwareseitig anpassbar ist, während die SM-Konfiguration eine hardwareseitige, starre Einstellung bedingt. Wie in Tabelle 4.2 angegeben, erfolgt die Auslegung der Module vor dem eigentlichen Betrieb und kann nicht mehr geändert werden. Im Gegensatz dazu lässt sich die Stufenhöhe während des Betriebs verändern. Zudem muss die Stufenhöhe nicht mit der Ausgangsspannung der Submodule übereinstimmen. Je nach Ansteuerverfahren sowie der vorliegenden Variante des MLI (symmetrisch oder asymmetrisch) können die Stufenspannungen einer MLI-Ausgangsspannung von den Modulspannungen abweichen. Ausführliche Erläuterungen finden sich in Abschnitt 4.2.1.

Nachfolgend werden die einzelnen Einflussfaktoren erläutert. Da die externen Vorgaben in der Regel festgelegt sind und in Abschnitt 2.2 bereits die Grundlagen zu Batteriezellen erläutert wurden, wird auf eine Beschreibung dieser Faktoren verzichtet. Für die Darstellungen der SM-Konfiguration sind einige Zusammenhänge relevant, die im Zuge der Beschreibungen zur Stufenhöhe eingeführt werden. Aus diesem Grund werden zunächst die Zustandsvariablen erläutert. Im Anschluss daran folgt eine Vorstellung der internen Einstellgrößen sowie der Bewertungskriterien.

4.2 Vorstellung der Zustandsvariablen

4.2.1 Die Stufenhöhe

Die *Stufenhöhe* ist für das Verständnis einiger wichtiger Grundlagen von entscheidender Bedeutung, wie beispielsweise für die Definition einer Energiespeichereinheit in Abschnitt 2.2.2, aber auch für die allgemeine Beschreibung eines MLI und dessen spezifischer Ausgangsspannungsform. Aus diesem Grund finden sich in Kapitel 2 bereits Erläuterungen zu diesem Einflussfaktor. Speziell in Abschnitt 2.1.1 ist die Stufenhöhe als die Differenz zweier benachbarter Spannungslevel in der Ausgangsspannung eines MLI definiert und wird mit u_{step} indiziert. Erfolgt eine Schalthandlung und damit eine Änderung der aktuell generierten MLI-Ausgangsspannung $u_{\text{MLI}}(t_k)$ zum Zeitpunkt t_k, lässt sich die Spannung einer i-ten Stufe dieser Ausgangsspannung auf Basis des Zusammenhangs in Gleichung (2.1) ganz allgemein wie folgt beschreiben.

$$u_{\text{step},i} = u_{\text{MLI}}\left(t_{k+1}\right) - u_{\text{MLI}}\left(t_k\right) \qquad \text{für} \quad u_{\text{MLI}}\left(t_{k+1}\right) \neq u_{\text{MLI}}\left(t_k\right) \tag{4.1}$$

Die Variation der Stufenspannung führt, wie von Rodríguez beschrieben, zu einem zusätzlichen Freiheitsgrad in der Gestaltung der Ausgangsspannung [133]. Wie sich in Abschnitt 5.2 deutlich zeigen wird, lässt sich die Stufenhöhe allerdings nicht beliebig einstellen, sondern hängt in erster Linie von der Auslegung der Submodule ab. Dabei bestimmt das Moduldesign insbesondere, ob u_{step} für alle auftretenden Stufen einen identischen Wert annimmt oder diese voneinander abweichen. In Kombination mit der SM-Konfiguration kann die Stufenhöhe über die jeweilige Modulkombination beeinflusst werden, welche in Abschnitt 2.1.5 erläutert wurde. Damit besitzt auch das Ansteuerverfahren einen Einfluss auf die Höhe der Stufenspannungen und damit auf das resultierende Spannungsmuster. In diesem Kontext ist auch die Wahl der Batteriezelle von entscheidender Bedeutung, da ihre Zellspannung u_{cell} den Diskretisierungswert für die erzeugte Ausgangsspannung festlegt. Die Zellspannung bestimmt somit die kleinste mögliche Höhe $u_{\text{step,min}}$ der diskreten Stufen in einem MLI-Ausgangsspannungsmuster.

$$u_{\text{step,min}} = u_{\text{cell}} \tag{4.2}$$

Allgemein lässt sich für jede Periode einer MLI-Spannung beliebiger Form folgender Zusammenhang zwischen der Anzahl an Spannungslevel n_{level} und der Anzahl der erzeugten MLI-Stufen n_{step} ableiten.

$$n_{\mathrm{step}} = n_{\mathrm{level}} - 1 \tag{4.3}$$

Diese Beziehung begründet sich aus der Definition der Stufenhöhe in Gleichung (4.1) als die Differenz benachbarter Spannungslevel und kann unabhängig von der Auslegung der SM-Konfiguration angewendet werden.

4.2.2 Der Modulationsindex

Der Modulationsindex als Einflussfaktor beschreibt den *Amplitudenmodulationsindex* m_{a}. Die zugehörige Definition wurde bereits in Abschnitt 2.1.3 im Zuge der Vorstellung der Ansteuerverfahren gegeben und bildet das Verhältnis aus der aktuellen Referenzamplitude $\hat{u}_{\mathrm{ref}}$ zur maximal stellbaren Ausgangsspannung des MLI $u_{\mathrm{MLI,max}}$ ab. Dabei ist es wichtig zu beachten, dass dieser im Betrieb veränderlich ist. Während sich $u_{\mathrm{MLI,max}}$ typischerweise nur sehr langsam über den Betrieb des MLI hinweg ändert, variiert $\hat{u}_{\mathrm{ref}}$ abhängig von der vorliegenden Geschwindigkeitsforderung stark. Der Amplitudenmodulationsindex nimmt in der Regel einen Wert im Bereich von $m_{\mathrm{a}} = [0; 1]$ an. Übersteigt die aktuelle Referenzspannung $u_{\mathrm{ref}}(t)$ die maximal vom MLI-System lieferbare Spannung $u_{\mathrm{MLI,max}}$ kann der Modulationsindex auch Werte größer als eins annehmen. In diesem Fall spricht man von einer *Übermodulation* [81, 150]. Typischerweise wird ein System derart ausgelegt, dass die Referenzforderung während des Betriebs mit der vom MLI erzeugbaren Spannung zu jedem Zeitpunkt gestellt werden kann. Aus diesem Grund wird der Einfluss von m_{a} lediglich in einem Bereich von 0 bis 1 betrachtet. Die Beschreibungen zeigen, dass der Amplitudenmodulationsindex maßgeblich von der aktuellen Referenzforderung beeinflusst wird. Eine direkte Modifikation dieser Zustandsvariable ist nicht möglich. In Abschnitt 5.3 wird deutlich, dass sich der Amplitudenmodulationsindex auf Werte anderer Einflussfaktoren auswirkt und deshalb in den Untersuchungen der Parameterabhängigkeiten berücksichtigt werden muss.

Es sei erwähnt, dass in Abschnitt 2.1.3.2.1 im Zuge der Beschreibung der SPWM-Methode der Frequenzmodulationsindex m_{f} eingeführt wird. Dabei bezieht sich der Modulationsindex als Designparameter ausschließlich auf den Amplitudenmodulationsindex. Für den Fall, dass m_{f} behandelt wird, erfolgt eine explizite Kennzeichnung.

4.2.3 Der Ladezustand

Der Ladezustand einer Energiespeichereinheit ergibt sich allgemein aus dem Quotienten der entnommenen Ladungsmenge Q_{b} bezogen auf die Nennkapazität C_{N}.

$$\mathrm{SoC} = \frac{Q_{\mathrm{b}}}{C_{\mathrm{N}}} + \mathrm{SoC}(t_0) = \frac{1}{C_{\mathrm{N}}} \int_{t_0}^{\tau} i_{\mathrm{ESU}}(t)\,\mathrm{d}t + \mathrm{SoC}(t_0) \tag{4.4}$$

Dabei lässt sich die entnommene Ladung Q_{b} durch die Integration des über einen Zeitraum τ in die Energiespeichereinheit hinein oder aus dieser heraus fließenden Stroms i_{ESU} ermitteln. Für die Ermittlung des aktuellen Ladezustands muss dabei der Anfangswert $\mathrm{SoC}(t_0)$ berücksichtigt werden. Entspricht der Ladezustand einem Wert von 100 % ist die Energiespeichereinheit vollständig geladen. Ein Wert von 0 % bedeutet eine vollständige Entladung.
Gemäß der Einordnung in Tabelle 4.2, ist der Ladezustand keine Größe, die direkt modifiziert werden kann. Aufgrund der Bilanzierung des fließenden Stroms hängt der Ladezustand stark von der jeweiligen Belastung ab. Damit beeinflusst die Ansteuerung einer Energiespeichereinheit maßgeblich

ihren Ladezustand. Je nach Mikrotopologie spielt dabei auch die Formierung der Parallelverbünde eine entscheidende Rolle.

4.3 Vorstellung der internen Einstellgrößen

Der vorliegende Abschnitt behandelt die Vorstellung der internen Einstellgrößen. Wie in Abbildung 4.1 eingeführt, zählen zu dieser Kategorie die Topologie sowohl auf mikroskopischer als auch auf makroskopischer Ebene, die jeweilig vorliegende Konfiguration sowohl der Parallelverbünde als auch der Submodule, die Schaltfrequenz und das Ansteuerverfahren.

4.3.1 Mikroskopische und makroskopische Topologie

In den vorhergehenden Kapiteln wurde der Begriff der Topologie in Bezug auf MLI-Systeme bereits ausführlich erläutert und deren Bedeutung beim MLI-Design hervorgehoben. Vor allem Kapitel 3 über die Gestaltung der Mikrotopologien zeigt das hohe Eingriffspotential der Topologiegestaltung auf die Funktionsbandbreite eines MLI und dessen Spezifikationen. In Abschnitt 2.1.2 sowie Kapitel 3 finden sich bereits umfassende Erläuterungen zur mikroskopischen als auch makroskopischen Topologiegestaltung, weshalb an dieser Stelle darauf verwiesen wird. In beiden Fällen ist aus Gründen der Vollständigkeit lediglich eine prägnante Beschreibung angegeben, die die exakte Definition widerspiegelt.

4.3.1.1 Die Mikrotopologie

Die Mikrotopologie definiert die exakte Schaltungsstruktur eines Submoduls, bestehend aus einer bestimmten Anzahl an Schaltelementen $n_{\mathrm{sw,SM}}$ und einer Energiespeichereinheit. Insbesondere die Anzahl an Schaltern sowie deren jeweilige Verschaltung ist ausschlaggebend für die Funktionsweise des MLI-Systems. Die Mikrotopologie bestimmt im Wesentlichen den Funktionsumfang eines MLI.

4.3.1.2 Die Makrotopologie

Die Bezeichnung der Makrotopologie beschreibt die Schaltungsstruktur auf Systemebene eines MLI. Dazu gehören nicht nur die Verschaltung der Submodule innerhalb eines Phasenstrangs und die Anordnung der einzelnen MLI-Phasenstränge zueinander, sondern auch zusätzliche Hardwarekomponenten wie beispielsweise die Polaritätsumkehreinheit.

4.3.2 Die Konfiguration

Auf Basis der Darstellung in Abbildung 4.1 wird zwischen zwei grundsätzlichen Konfigurationsarten unterschieden; der *SM-Konfiguration*, welche auch als *Modulkonfiguration* oder *Submodul-Konfiguration* bezeichnet wird, sowie der *PP-Konfiguration*. Die PP-Konfiguration wurde bereits im Zuge der Grundlagen eines MLI in Abschnitt 2.1.6 eingeführt, weshalb auf zusätzlich Erläuterungen verzichtet und auf die entsprechende Stelle verwiesen wird. Die Beschreibungen in diesem Abschnitt behandeln ausschließlich die Modulkonfiguration.

Die SM-Konfiguration umfasst allgemein die Auslegung der einzelnen Submodule in einem MLI-System. Dabei sind die Dimensionierung der individuellen Module und die Modulspannung von entscheidender Bedeutung. Je nach Spannungsauslegung der inhärenten Energiespeichereinheiten innerhalb der Submodule kann zwischen zwei grundsätzlichen Ausführungen an MLI-Systemen unterschieden werden. Besitzen alle Submodule in einem MLI-System Energiespeichereinheiten identischer Spannung und gleichen sich somit in ihrer Modulspannung u_{SM}, liegt ein *symmetrischer Multilevel-Inverter*

(SMLI) vor. Die Gestaltung der Submodule erfolgt, wie der Name impliziert, *symmetrisch* [30, 152, 165]. Werden die Spannungen der Energiespeichereinheiten nicht identisch ausgelegt, sondern weichen gezielt voneinander ab, handelt es sich um einen *asymmetrischen Multilevel-Inverter (AMLI)*[1] [7, 32, 102]. Abbildung 4.2 visualisiert skizzenhaft die Ausgangsspannungsmuster von MLI-Systemen symmetrischer sowie asymmetrischer Konfiguration. Die Ausgangsspannungen wurden auf Basis einer identischen Referenzspannung u_{ref} erzeugt, um die jeweiligen Unterschiede gezielt hervorzuheben. Zur Verdeutlichung ist für beide Varianten eine schematische Aufteilung einer gegebenen Gesamtzahl an Lithium-Ionen-Batteriezellen von $n_{\mathrm{c,tot}} = 12$ auf drei Submodule dargestellt. Wie erkennbar, besitzen im Falle des SMLI alle Submodule dieselbe Anzahl an Zellen. Im Gegensatz dazu unterscheidet sich $n_{\mathrm{c,ESU}}$ für die Submodule in einem AMLI. Anhand der Ausgangsspannungsmuster lässt sich deutlich

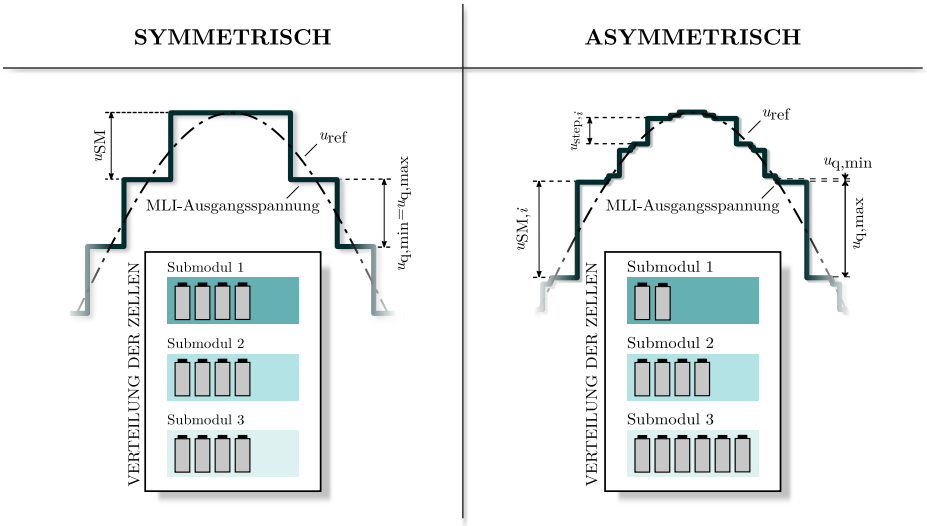


Abbildung 4.2: Skizzenhafte Darstellung des Ausgangsspannungsmusters sowie der SM-Konfiguration eines symmetrischen sowie eines asymmetrischen MLI.

erkennen, dass die SM-Konfiguration eines MLI einen direkten Einfluss auf dessen Ausgangsspannungsmuster besitzt. Sie stellt damit eine wichtige Größe bei der Entwicklung von MLI-Systemen dar. Für die Formation von Parallelverbünden wurde in Abschnitt 2.1.6 eine spezifische Nomenklatur für die PP-Konfiguration definiert. In Anlehnung an diese Definition aus Gleichung (2.25) wird für die SM-Konfiguration $\mathrm{Config}_{\mathrm{SM}}$ eine analoge Schreibweisen eingeführt.

$$\mathrm{Config}_{\mathrm{SM}} \;=\; \left[n_{\mathrm{c,ESU},1},\, \ldots,\, n_{\mathrm{c,ESU},k},\, \ldots,\, n_{\mathrm{c,ESU},n_{\mathrm{SM}}}\right] \tag{4.5}$$

Dabei repräsentiert $n_{\mathrm{c,ESU},k}$ die Anzahl an Lithium-Ionen-Batteriezellen im k-ten Submodul. Die Darstellung in Gleichung (4.5) wird im Folgenden auch als Zellverteilung innerhalb einer SM-Konfiguration bezeichnet. Die Anordnung der Submodule mit einer jeweiligen Anzahl an Batteriezellen $n_{\mathrm{c,ESU},k}$ folgt ohne Einschränkung der Allgemeingültigkeit dabei der Vorschrift

$$n_{\mathrm{c,ESU},k} \leq n_{\mathrm{c,ESU},k+1} \qquad \forall\, k \in \{1 \ldots n_{\mathrm{SM}} - 1\}\ . \tag{4.6}$$

Um eine geeignete Basis für die Analyse der Parameterabhängigkeiten in Kapitel 5 zu schaffen, werden nachfolgend beide MLI-Varianten, symmetrisch sowie asymmetrisch, ausführlich beleuchtet. Als

[1] Hinweis: An dieser Stelle sei explizit darauf hingewiesen, dass auch bei einem SMLI aufgrund variierender Belastungen Unterschiede in den Modulspannungen der verschiedenen Submodule auftreten können. Die Abweichung resultiert dabei allerdings aus einer ungleichmäßigen Belastung der Submodule und tritt erst während des Betriebs des MLI auf. Sofern die initiale Auslegung der Module identisch ist, handelt es sich bei dem System um einen SMLI.

Quellen dienen hauptsächlich die Referenzen [30, 152, 165]. In den Beschreibungen spielen dabei die in Abschnitt 2.1.4 eingeführten MLI-Spezifikationen eine wichtige Rolle. Dies trifft insbesondere auf die Anzahl an erzeugbaren Konfigurationen (n_{SMLI}, n_{AMLI}), die Quantisierung, die Levelredundanz sowie die Fehlertoleranz zu [152]. Vor der detaillierten Erläuterung erfolgt jedoch noch eine Abhandlung zum aktuellen Stand des Wissens hinsichtlich der Modulkonfiguration von MLI-Systemen.

4.3.2.1 Stand der Technik

Symmetrische Moduldesigns stellen eine häufig untersuchte Variante im Hinblick auf MLI-Systeme dar. Diese bieten beispielsweise den Vorteil, dass die inhärenten Module durch eine identische Auslegung der Energiespeichereinheiten gleichmäßig belastet werden können. Mit steigender Präzision in der Nachbildung der MLI-Ausgangsspannung muss die Stufenhöhe der einzelnen MLI-Stufen abnehmen. Insbesondere bei SMLIs führt dies zu einem höheren Bedarf an Submodulen und einem entsprechenden Anstieg des Hardwareaufwands der Halbleiterelemente und Gate-Treiber. Kangarlu et al. nennen im Zuge der Vorstellung des CS-MLI zusätzlich den Nachteil, dass für SMLI-Systeme eine hohe Anzahl an voneinander isolierten Spannungsquellen erforderlich ist [75]. Dabei erwähnen die Autoren das Potenzial asymmetrischer Gestaltungen, bei denen die Spannungen der Energiespeichereinheiten derart angepasst werden können, dass eine größere Anzahl an Spannungslevel in den Ausgangsspannungen des MLI erzielt wird. Gleichzeitig wird der Hardwareaufwand der erforderlichen Komponenten minimiert. Allerdings unterscheiden sich in einem AMLI die jeweilig gewählten Halbleiterelemente der einzelnen Submodule infolge abweichender Spannungsfestigkeiten voneinander. Auch werden die Energiespeichereinheiten sowie die zugehörigen Schalter in den vorhandenen Submodulen in der Regel unterschiedlich stark belastet. Aus diesen Gründen führen Kangarlu et al. lediglich eine symmetrische Variante der CS-MLI-Struktur ein und verzichten auf eine Gegenüberstellung mit einer asymmetrischen Ausführung. Für die Vorstellung des SMLI sind allgemeine Berechnungsformeln für die Anzahl erzeugbarer Spannungslevel, die erforderliche Spannungsfestigkeit der Schalter sowie den Hardwareaufwand angegeben. Diese Gleichungen sind dabei exklusiv für die präsentierte Struktur des CS-MLI formuliert. Es werden keine allgemein gültigen Zusammenhänge für SMLI-Systeme abgeleitet. Dies trifft abgesehen von der Anzahl erzeugbarer Spannungslevel auch auf die spezielle Form des Ausgangsspannungsmusters zu. Um den Nachteil der Anforderung an eine Vielzahl isolierter Spannungsquellen im Falle des SMLI zu umgehen und den Hardwareaufwand zu reduzieren, präsentieren Dixon et al. ein asymmetrisches Design der CHB [31]. Die Autoren stellen im Speziellen eine Struktur vor, die aus insgesamt drei Modulen besteht und in der Lage ist, 27 verschiedene Spannungslevel zu erzeugen. In diesem Kontext sind die Spannungen der Energiespeichereinheiten entsprechend einem Designschema ausgelegt, das der Exponentialfolge mit der Basis drei folgt. Damit gilt für das Verhältnis der Spannungen der drei Energiespeichereinheiten konkret der Zusammenhang $9\,u_{\mathrm{ESU},1} = 3\,u_{\mathrm{ESU},2} = u_{\mathrm{ESU},3}$. Mit diesem Design demonstrieren die Autoren die Realisierung eines asymmetrischen AMLI, der mit lediglich drei Submodulen insgesamt 27 unterschiedliche Spannungslevel ausgeben kann. Diese Gestaltung stellt eine deutliche Steigerung im Vergleich zu einer symmetrischen Auslegung der CHB dar, mit welcher unter der Voraussetzung einer identischen Modulzahl nur sieben verschiedene Spannungslevel generiert werden können. Eine Erweiterung dieser vorgestellten MLI-Struktur zeigen Dixon et al. in ihrer Arbeit [32]. Die grundlegende Struktur der CHB bleibt dabei erhalten. Allerdings reduzieren die Autoren die Anzahl der erforderlichen Spannungsquellen von drei auf lediglich eine, indem sie einen Transformator einsetzen. Über ein Windungsverhältnis von 1:3:9 werden drei unabhängige Spannungen für jedes der drei Submodule innerhalb einer Inverterphase erzeugt. Das grundsätzliche Schema zur Auslegung der ESU-Spannungen entspricht wie in der vorhergehend genannten Publikation von Dixon et al. einer Exponentialfolge mit einer Basis von drei. Die Ergebnisse veranschaulichen auch hier

die Implementierbarkeit des AMLI sowie die Reduzierung des Bauteilaufwands im Vergleich zu einem SMLI. Allerdings wird anhand der angegebenen Einschaltzeiten der drei unterschiedlich ausgelegten Submodule ersichtlich, dass diese stark voneinander abweichen. Diese Divergenz zeigt sich ebenso in den Schaltfrequenzen der Schaltelemente in den drei Modulen. Im Gegensatz zu einem SMLI sind diese Abweichungen erheblich schwerer auszugleichen. Wie in beiden genannten Publikationen von Dixon et al. angegeben, lässt sich bei dem vorgestellten AMLI-Design jedes Spannungslevel alleinig durch eine einzige Modulkombination realisieren. Der MLI weist damit keine Redundanz auf. Auch basieren die Erläuterungen ausschließlich auf der CHB-Struktur. Zudem wird das Designschema auf der Grundlage der Exponentialfolge lediglich anhand einer Basis von drei betrachtet. Es werden keine allgemein gültigen Aussagen zu einem AMLI getroffen, insbesondere nicht in Bezug auf die resultierenden MLI-Spezifikationen oder das Designschema der Exponentialfolge. Babaei et al. präsentieren eine weitere MLI-Struktur, die im Gegensatz zu dem von Kangarlu et al. vorgestellten CS-MLI ein asymmetrisches Design aufweist [5, 75]. Die Autoren verfolgen im Zuge dieser Veröffentlichung das Ziel, die Anzahl der Spannungsquellen im MLI-System zu reduzieren bei einer gleichzeitigen Maximierung der Zahl an Ausgangsspannungslevel. Die vorgestellte Topologie setzt sich dabei aus einer Serienschaltung mehrerer Energiespeichereinheit-Schalter-Blöcke zusammen. Für die explizite Designvorschrift der jeweiligen ESU-Spannungswerte sei aufgrund des Umfangs auf [5] verwiesen. Babaei et al. stellen diese entwickelte Struktur einem CHB-System gegenüber. Für den Vergleich werden insbesondere drei verschiedene Ausführungen des CHB-MLI berücksichtigt. Im ersten Fall sind die Energiespeichereinheiten in allen Submodulen identisch ausgelegt. Dieser MLI bildet damit eine symmetrische Gestaltung ab. Die übrigen beiden Varianten verkörpern asymmetrische Designs. Die zugrundeliegende Designvorschrift entspricht hierbei einer geometrischen Folge mit dem Faktor zwei bzw. drei. Diese MLI-Systeme werden deshalb auf der Grundlage des vorherrschenden Faktors als *Binär-* bzw. *Trinärsystem* bezeichnet. Die formale Designvorschrift der Spannung der k-ten Energiespeichereinheit $u_{\mathrm{ESU},k}$ im Binärsystem lautet folglich

$$u_{\mathrm{ESU},k} \;=\; 2^{k-1}\, u_{\mathrm{ESU},1} \;\; \text{für} \;\; k = \{1 \dots n_{\mathrm{SM}}\}\,. \tag{4.7}$$

In Analogie zu Gleichung (4.7) lassen sich die ESU-Spannungen im Falle des Trinärsystems gemäß Gleichung (4.8) berechnen.

$$u_{\mathrm{ESU},k} \;=\; 3^{k-1}\, u_{\mathrm{ESU},1} \;\; \text{für} \;\; k = \{1 \dots n_{\mathrm{SM}}\}\,. \tag{4.8}$$

Die Vorschrift in Gleichung (4.8) gleicht dabei der Designregel, die von Dixon et al. für die Gestaltung der asymmetrischen CHB-Struktur verwendet wird [31]. Neben der exakten Designvorschrift geben Babaei et al. sowohl für die AMLI-Neuentwicklung als auch für die drei CHB-Ausführungen allgemeine Formeln zur Berechnung der Anzahl an erforderlichen Schaltelementen und Energiespeichereinheiten, der maximal erzeugbaren Ausgangsspannung sowie der Zahl generierbarer Spannungslevel an [5]. Die Gegenüberstellung der CHB-Varianten mit dem entwickelten AMLI zeigt, dass letzterer eine Reduzierung des Hardwareaufwands sowie des Platzbedarfs im Vergleich zu den H-Brücken-basierten Systemen ermöglicht. Die Untersuchungen berücksichtigen allerdings weder die Redundanzwerte der jeweiligen Systeme noch bestimmte MLI-Spezifikationen wie die Quantisierung der erzielten MLI-Ausgangsspannungen. Zudem sind die Angaben zu den AMLI-Systemen gemäß der beiden Gleichungen (4.7) sowie (4.8) erneut sehr spezifisch. Es findet sich keine allgemeingültige Behandlung von AMLIs mit der Designvorschrift einer geometrischen Folge auf der Grundlage einer beliebigen Basis b. Eine ähnliche Analyse wird ebenfalls von Babaei et al. durchgeführt [7]. Im Gegensatz zur vorhergehend erläuterten Publikation [5] vergleichen die Autoren in dieser Veröffentlichung den CHB-MLI

in den drei beschriebenen Ausführungen (symmetrisch, Binärsystem, Trinärsystem) jedoch mit einem kaskadierten MLI, dessen Mikrotopologie der Halbbrücke entspricht. In jedem Submodul befinden sich insbesondere zwei IGBT-Schalter, wobei jedem einzelnen Halbleiterelement eine Diode antiparallel geschaltet ist. Um die fehlende Polaritätsumkehr auszugleichen, sehen Babaei et al. eine zusätzliche externe Polaritätsumkehreinheit in Form einer H-Brücke vor. Für diese CHalfB werden ebenso drei verschiedene Auslegungsvarianten der Spannungen berücksichtigt. Im ersten Fall wird wie auch bei der CHB-Struktur eine symmetrische Gestaltung vorgenommen. Alle Energiespeichereinheiten stimmen damit in ihrer Spannung überein. Die zweite CHalfB-Variante folgt der Vorschrift des Binärsystems in Gleichung (4.7). Im dritten Fall gilt die Auslegung gemäß Gleichung (4.9).

$$u_{\mathrm{ESU},k} \;=\; 2\,u_{\mathrm{ESU}} \;\text{ für }\; k \;=\; \{2 \ldots n_{\mathrm{SM}}\}\,. \tag{4.9}$$

Mit Ausnahme der Spannungsquelle des ersten Submoduls weisen alle übrigen $n_{\mathrm{SM}} - 1$ Energiespeichereinheiten dieselbe Spannung auf. Diese stimmt mit dem doppelten Spannungswert der ersten Energiespeichereinheit u_{ESU} überein. Ähnlich zu den bereits erläuterten Referenzen geben Babaei et al. für alle sechs MLI-Systeme die zugehörigen Berechnungsvorschriften an, mit denen sich die Anzahl der Spannungslevel sowie der erforderlichen Hardwarekomponenten bestimmen lassen. Auch führen die Autoren Gleichungen zur Ermittlung der Spannungsfestigkeiten aller inhärenten Halbleiterelemente auf. Es wird zudem die Variation und damit Divergenz der jeweiligen Spannungsquellen beurteilt. Während diese im Falle der symmetrischen Konfigurationen einem Wert von eins gleicht, da alle Energiespeichereinheiten identisch ausgelegt sind, fällt die Divergenz bei AMLI-Systemen größer aus. In diesem Zusammenhang hebt sich die CHalfB-Variante auf Basis der Auslegung gemäß Gleichung (4.9) durch eine vergleichsweise geringe Variation von den anderen AMLI-Systemen ab. Insgesamt erzielen alle CHalfB-Systeme eine Reduzierung des Bauteilaufwands im Vergleich zu den drei CHB-Varianten. Trotz dieser Gegenüberstellung werden auch in dieser Publikation von Babaei et al. sehr spezifische Formeln hinsichtlich der jeweiligen MLI-Struktur aufgeführt. Darüber hinaus finden sich keine Erläuterungen zur Redundanz der Systeme oder weiterführende, allgemein geltende Angaben zu den Stufenhöhen des Ausgangsspannungsmusters. Memon et al. greifen in Analogie zu den Untersuchungen von Babaei et al. ebenso die drei erläuterten Varianten in Form der symmetrischen CHB-Struktur sowie deren asymmetrischer Ausführung im Binär- bzw. Trinärsystem auf [102]. Die Autoren stellen dabei diese drei Ausführungen selbst einander gegenüber. Unter der Voraussetzung einer identischen Anzahl an Energiespeichereinheiten und einer übereinstimmenden Modulzahl zeigen die Ergebnisse des Vergleichs, dass die asymmetrische Variante auf Basis des Trinärsystems die höchste Anzahl an Spannungslevel erzielt. Im Gegensatz dazu nimmt n_{level} im Falle der symmetrischen CHB die geringsten Werte an. Auch hier finden sich keine Erläuterungen zur Redundanz der jeweiligen Systeme. Ferner erfolgt keine weitere Beleuchtung einer Variation der Basis in der geometrischen Folge. Es werden lediglich die Faktoren zwei sowie drei gemäß den Gleichungen (4.7) und (4.8) betrachtet. Chappa et al. stellen in ihrer Publikation eine neuartige MLI-Topologie vor, die sie sowohl in symmetrischer als auch in asymmetrischer Form untersuchen [22]. Die Autoren führen insbesondere einen Vergleich der beiden Systeme durch. Die Ergebnisse demonstrieren auch hier, dass die asymmetrische Modulausführung eine Reduzierung des Hardwareaufwands bewirkt. In Übereinstimmung mit den bereits erläuterten Referenzen liegt der Schwerpunkt der Betrachtungen hauptsächlich auf der Minimierung der Bauteilanzahl im MLI-System und der gleichzeitigen Maximierung der Anzahl an Spannungslevel. Insgesamt existieren wenige Veröffentlichungen, die sich mit einer allgemeinen Aussage zur Redundanz von MLI-Systemen auseinandersetzen. Gupta et al. beschreiben im Zuge der Vorstellung einer MLI-Topologie, die der CS-MLI-Struktur von Kangarlu et al. gleicht, dass sich die Redundanz dieses System im Vergleich zum CHB-MLI verringert [49, 75]. Die Ursache führen die Autoren auf die Redu-

zierung der Anzahl an Halbleiterelementen in der CS-MLI-Struktur zurück. Da in der CHB-Topologie mehr Schaltkombinationen vorliegen, mit welchen sich eine identische Ausgangsspannung erzeugen lässt, ist diese Struktur aufgrund einer höheren Redundanz fehlertoleranter. Die Autoren geben dabei jedoch keine expliziten Werte oder Berechnungsformeln an.

Der Großteil des aktuellen Wissensschwerpunkts konzentriert sich auf ein spezifisches MLI-Design und den damit verbundenen Aspekten wie dem Hardwareaufwand, der Anzahl an Spannungslevel oder dem Wert der Spannungsfestigkeit der vorhandenen Schalter. Zudem liegt der Fokus in der Regel auf einem expliziten Designschema, nach welchem die Spannungen der inhärenten Energiespeichereinheiten ausgelegt sind. Es lassen sich nur schwer allgemeingültige Aussagen und Berechnungsvorschriften für symmetrische sowie asymmetrische MLI-Designs finden. Aus diesem Grund werden die beiden Varianten in den nachfolgenden Abschnitten Abschnitt 4.3.2.2 sowie 4.3.2.3 ausführlich behandelt. Die Ausführungen basieren dabei im Wesentlichen auf der Referenz [152].

4.3.2.2 Symmetrischer Multilevel-Inverter

Für die Modulspannungen in einem SMLI gilt generell der Zusammenhang

$$u_{\mathrm{SM},k} \equiv u_{\mathrm{SM}} \qquad \forall\, k \in \{1 \ldots n_{\mathrm{SM}}\} \,. \tag{4.10}$$

Gleichung (4.10) drückt damit formal aus, dass die Spannung jedes k-ten Submoduls mit den übrigen Modulspannungen des Systems übereinstimmt[2]. Die Modulspannung der n_{SM} Submodule kann damit vereinfachend allgemein als u_{SM} bezeichnet werden. Die Abstände der Spannungslevel, die mit einem SMLI erzeugt werden können, sind äquidistant [133]. Es gilt folglich

$$u_{\mathrm{step},i} \equiv u_{\mathrm{step}} \equiv u_{\mathrm{SM}} \qquad \forall\, j \in \{1 \ldots n_{\mathrm{step,SMLI}}\} \,. \tag{4.11}$$

Aus Gleichung (4.11) lässt sich ableiten, dass im Falle eines symmetrischen MLI-Designs die Stufenspannungen typischerweise mit den Modulausgangsspannungen übereinstimmen. Dies trifft in der Regel für jede i-te Stufenspannung $u_{\mathrm{step},i}$ aller $n_{\mathrm{step,SMLI}}$ Stufen in einer SMLI-Ausgangsspannung zu. Die Tatsache, dass ausschließlich ein einziger Wert für die Stufenhöhe u_{step} existiert, ist von essenzieller Bedeutung für das Ausgangsspannungsmuster. Wie in Abbildung 4.2 erkennbar, weisen alle Stufen im Falle des SMLI dieselbe Höhe auf. Unter der Voraussetzung, dass Gleichung (4.11) erfüllt ist, ist die Gesamtzahl der erzeugbaren Spannungslevel in einem SMLI $n_{\mathrm{l,SMLI}}$ lediglich von der Anzahl vorhandener Submodule $n_{\mathrm{SM,SMLI}}$ abhängig [4]. Dies gilt in der Konsequenz zu Gleichung (4.3) auch für die Anzahl erzeugbarer Spannungsstufen $n_{\mathrm{step,SMLI}}$[3].

$$n_{\mathrm{l,SMLI}} = \underbrace{2\, n_{\mathrm{SM,SMLI}}}_{n_{\mathrm{step,SMLI}}} + 1 = n_{\mathrm{step,SMLI}} + 1 \tag{4.12}$$

Gleichung (4.11) bildet außerdem die Basis für die Untersuchung der Quantisierung in einem SMLI. Wie in Abbildung 4.2 gekennzeichnet, stimmen die minimale sowie die maximale Quantisierung $u_{\mathrm{q,min}}$ und $u_{\mathrm{q,max}}$ in einem SMLI-System überein. Es ergibt sich daher folgende Beziehung.

$$u_{\mathrm{q,min}} = u_{\mathrm{q,max}} = u_{\mathrm{SM}} \tag{4.13}$$

[2] Hinweis: Den Erläuterungen ist ein gebalancter Zustand der Energiespeichereinheiten vorausgesetzt.

[3] Hinweis: Es sei angemerkt, dass alle ermittelten Werte den Maximalwerten entsprechen. Die aktuelle Anzahl der Spannungsstufen und Spannungslevel in der SMLI-Ausgangsspannung variiert je nach der spezifischen Referenzanforderung und dem gegenwärtigen Amplitudenmodulationsindex. Bei niedrigeren Werten von m_{a} kann die tatsächliche Anzahl der Spannungsstufen und -level in der aktuellen Ausgangsspannung aufgrund der reduzierten Forderung entsprechend kleinere Werte annehmen. Identisches gilt für die Zusammenhänge eines AMLI in Abschnitt 4.3.2.3.

Infolge der Gleichverteilung der Lithium-Ionen-Batteriezellen lässt sich die Nomenklatur einer SM-Konfiguration aus Gleichung (4.5) für ein SMLI-System wie folgt modifizieren.

$$\text{Config}_{\text{SM}} \;=\; n_{\text{SM,SMLI}}\,\text{x}\,[n_{\text{c,ESU}}] \tag{4.14}$$

Der Ausdruck in Gleichung (4.14) spiegelt dabei ein SMLI-System bestehend aus insgesamt $n_{\text{SM,SMLI}}$ Submodulen wider, wobei sich jedes Modul aus $n_{\text{c,ESU}}$ Batteriezellen zusammensetzt. Dieser Zusammenhang verdeutlicht explizit die starke Einflussnahme der Modulauslegung auf die Stufenhöhe einer SMLI-Ausgangsspannung.
Nachfolgend wird die Herleitung der Anzahl aller möglichen Konfigurationen beschrieben, die sich für ein symmetrisches MLI-Design auf Basis einer vorgegebenen Anzahl an Batteriezellen $n_{\text{c,tot}}$ implementieren lassen. Aufgrund der gleichmäßigen Verteilung der vorhandenen Batteriezellen auf n_{SM} Submodule entspricht diese Bestimmung der Anzahl möglicher SMLI-Konfigurationen der Ermittlung der ganzzahligen Teiler einer vorgegebenen Ganzzahl. In Anhang A.1.2 findet sich die allgemeine mathematische Formulierung für die Anzahl aller Teiler einer beliebigen Ganzzahl nach Hardy [53]. Unter Anwendung der dort aufgeführten Gleichung (A.3) lässt sich für die Menge aller existierender symmetrischer Modulkonfigurationen n_{SMLI} auf Basis einer vorgegebenen Gesamtzahl $n_{\text{c,tot}}$ in einem MLI-System folgender Zusammenhang ableiten.

$$n_{\text{SMLI}} = \text{div}\,(n_{\text{c,tot}}) := \left\{ \sum_{n_{\text{SM,SMLI}}\,|\,n_{\text{c,tot}}} 1 \;\middle|\; n_{\text{c,ESU}}\,n_{\text{SM,SMLI}} = n_{\text{c,tot}}\,;\;\; n_{\text{c,ESU}} \;\in \mathbb{N} \right\} \tag{4.15}$$

Die Zahl realisierbarer SM-Konfigurationen setzt sich damit aus der Anzahl ganzzahliger Vielfacher von $n_{\text{c,tot}}$ zusammen. In Abschnitt 2.1.5 wurden der Begriff der Modulkombination sowie insbesondere die Pol- und NoPol-Kombinationen vorgestellt. Eine unmittelbare Konsequenz der übereinstimmenden Modulspannungen in einem SMLI-System besteht darin, dass sich mit unterschiedlichen Modulkombinationen identische Spannungspegel erzielen lassen. Gemäß der in Tabelle 2.1 gegebenen Definition weisen SMLIs daher typischerweise redundante Spannungslevel und somit eine hohe Levelredundanz auf. Für einen SMLI mit zwei oder mehr Submodulen existiert mindestens ein redundantes Spannungslevel. Entsprechend den Erläuterungen in Abschnitt 2.1.5 lassen sich geforderte Referenzspannungen nicht nur durch die Kombination aktiv geschalteter Module derselben Polarität generieren. Es können ebenso Module kombiniert werden, die sich in ihrer Polung unterscheiden. Die Spannung am Ausgang des MLI $u_{\text{MLI}}(t)$ basiert in diesem Fall auf der Spannungsdifferenz der aktivierten Submodule, wie mit Gleichung (2.19) formuliert. Die Implementierung der Pol-Kombinationen kann je nach aktuell zu erzeugendem Spannungslevel und der Anzahl vorhandener Submodule zu einer drastischen Erhöhung der Redundanz führen. Die zugehörigen Herleitungen zur Berechnung der Levelredundanz sowohl für eine reine Betrachtung der NoPol-Kombinationen als auch die Berücksichtigung der Pol-Kombinationen werden nachfolgend kurz erläutert. In beiden Fällen werden die Untersuchungen aus Gründen der Einfachheit nur für positive Spannungslevel der erzeugten MLI-Ausgangsspannung durchgeführt. Infolge der vorherrschenden Symmetrie lassen sich diese Zusammenhänge ohne Einschränkung der Allgemeingültigkeit in einfacher Weise auf die zugehörigen negativen Pendants anwenden.

4.3.2.2.1 Redundanz unter der Voraussetzung identischer Modulpolarität

Um ein spezifisches Spannungslevel am Ausgang eines SMLI-Systems zu erzeugen, können aus den vorhandenen $n_{\text{SM,SMLI}}$ Submodulen grundsätzlich beliebig viele ausgewählt werden. Jedes Modul kann dabei nur einen einzigen Spannungsbeitrag liefern. Aus mathematischer Sicht handelt es sich hierbei um ein statistisches *Ziehen ohne Zurücklegen*. Da ebenso die Reihenfolge der gewählten Submodule

keinerlei Einfluss auf den Wert der Ausgangsspannung besitzt, kann der in Anhang A.1.1 definierte Binomialkoeffizient zur Ermittlung der zugehörigen Levelredundanz herangezogen werden. Unter einer reinen Berücksichtigung von Submodulen identischer Polung zur Erzeugung eines spezifischen Spannungslevels l_{act} lässt sich die Anzahl an redundanten Spannungslevel in einem SMLI-System $n_{\mathrm{red,SMLI}}^{\mathrm{NoPol}}$ allgemein wie folgt bestimmen.

$$n_{\mathrm{red,SMLI}}^{\mathrm{NoPol}} = \binom{n_{\mathrm{SM,SMLI}}}{l_{\mathrm{act}}} - 1 = \frac{n_{\mathrm{SM,SMLI}}!}{(n_{\mathrm{SM,SMLI}} - l_{\mathrm{act}})! \cdot l_{\mathrm{act}}!} - 1 \tag{4.16}$$

Hierbei bezeichnet $n_{\mathrm{SM,SMLI}}$ die Anzahl an Submodulen im SMLI-System. l_{act} repräsentiert dabei das aktuell entsprechend der Referenzvorgabe zu erzeugende Ausgangsspannungslevel, normiert auf den Wert einer Zellspannung[4]. Abbildung 4.3 illustriert beispielhaft die Anzahl aller möglichen redundanten Modulkombinationen $n_{\mathrm{red,SMLI}}^{\mathrm{NoPol}}$, die sich auf Basis von $n_{\mathrm{c,tot}} = 63$ in allen existierenden symmetrischen Konfigurationen für jedes generierbare Spannungslevel l_{act} ergeben. Der Wert von $n_{\mathrm{c,tot}}$ ist dabei ohne Einschränkungen der Allgemeingültigkeit aufgrund der repräsentativen Anzahl an existierenden SMLI-Konfigurationen n_{SMLI} gewählt. Unter Anwendung der Beziehung aus Gleichung (4.15) lassen sich sechs unterschiedliche SMLI-Systeme realisieren. Für jede dieser SM-Konfigurationen gilt

$$n_{\mathrm{c,tot}} = \sum_{k=1}^{n_{\mathrm{SM,SMLI}}} n_{\mathrm{c,ESU},k} = 63\,. \tag{4.17}$$

Die aufgeführte Nomenklatur in Abbildung 4.3 spiegelt die zugrundeliegende Modulkonfiguration wider. Wie sich anhand der Darstellungen deutlich erkennen lässt, variiert die Anzahl an erzeugbaren Spannungslevel l_{act} mit der Modulzahl gemäß Gleichung (4.12). Im Falle der SM-Konfiguration $\mathrm{Config}_{\mathrm{SM}} = 1\,\mathrm{x}\,[63]$ liegt nur ein einziges Modul, bestehend aus allen vorhandenen $n_{\mathrm{c,tot}} = 63$ Batteriezellen, vor. Infolgedessen gibt es nur eine Modulkombination zur Erzeugung von $l_{\mathrm{act}} = +1$. Die Redundanz dieses Levels beträgt damit null. Aufgrund der Präsenz lediglich eines Submoduls im System gleicht diese SM-Konfiguration einem herkömmlichen HV-Batteriesystem, in welchem die Zellen starr verschaltet sind. Es existieren keine Submodule, die unabhängig voneinander aktiviert oder überbrückt werden können [25]. Vergleicht man die Ergebnisse von $\mathrm{Config}_{\mathrm{SM}} = 1\,\mathrm{x}\,[63]$ aus Abbildung 4.3 mit den Resultaten, welche mit der Konfiguration $\mathrm{Config}_{\mathrm{SM}} = 63\,\mathrm{x}\,[1]$ erzielt werden, lässt sich ein signifikanter Unterschied feststellen. Letztere repräsentiert die SM-Konfigurationen mit der größten Anzahl an Submodulen bei der gegebenen Gesamtzahl von 63 Batteriezellen. Basierend auf der Vielzahl identischer Module besitzt dieses System abhängig vom aktuellen Spannungslevel l_{act} eine immens hohe Anzahl redundanter Modulkombinationen[5]. Allgemein lässt sich aus Abbildung 4.3 der Trend einer zunehmenden Redundanz bei steigender Modulzahl ableiten. Weiterhin fällt auf, dass die Anzahl redundanter Level insbesondere dann maximale Werte erreicht, wenn l_{act} ganzzahlige Werte annimmt, die im Bereich von $l_{\mathrm{act}} = 0,5\, n_{\mathrm{SM,SMLI}}$ liegen. Dieser Zusammenhang lässt sich durch die Beziehung aus Gleichung (4.16) erklären. Der Binomialkoeffizient erreicht ein globales Extremum für $l_{\mathrm{act}} = 0,5\, n_{\mathrm{SM,SMLI}}$. Mit dem Grad der Redundanz steigt auch die Fehlertoleranz eines Systems [49, 152]. Entspricht die Modulzahl einem Wert von $n_{\mathrm{SM,SMLI}} = 1$, hängt der Betrieb des SMLI von der Funktionsweise des einzig vorhandenen Moduls ab. Die Fehlertoleranz ist damit vergleichsweise gering und ausschließlich über das Betriebsverhalten dieses Moduls definiert. Mit wachsendem $n_{\mathrm{SM,SMLI}}$ steigt in Anlehnung an Abbildung 4.3 die Redundanz des Systems maßgeblich an. In der Konsequenz erhöht sich die Fehlertoleranz des Systems. Im Falle eines defekten Moduls ist die erzeugbare Maximalspannung $u_{\mathrm{MLI,max}}$ zwar reduziert. Durch die Präsenz der übrigen $n_{\mathrm{SM,SMLI}}$-1 intakten Submodule

[4] Hinweis: Die Normierung von l_{act} wurde aus Gründen der Einfachheit vorgenommen und ermöglicht somit die Betrachtung einer dimensionslosen Größe. Diese Vorgehensweise schränkt dabei die Allgemeingültigkeit nicht ein.

[5] Hinweis: Es sei erneut angemerkt, dass für die Betrachtungen ein gebalancter Zustand angenommen ist.

lässt sich der Betrieb des BEV dabei jedoch aufrechterhalten [56].

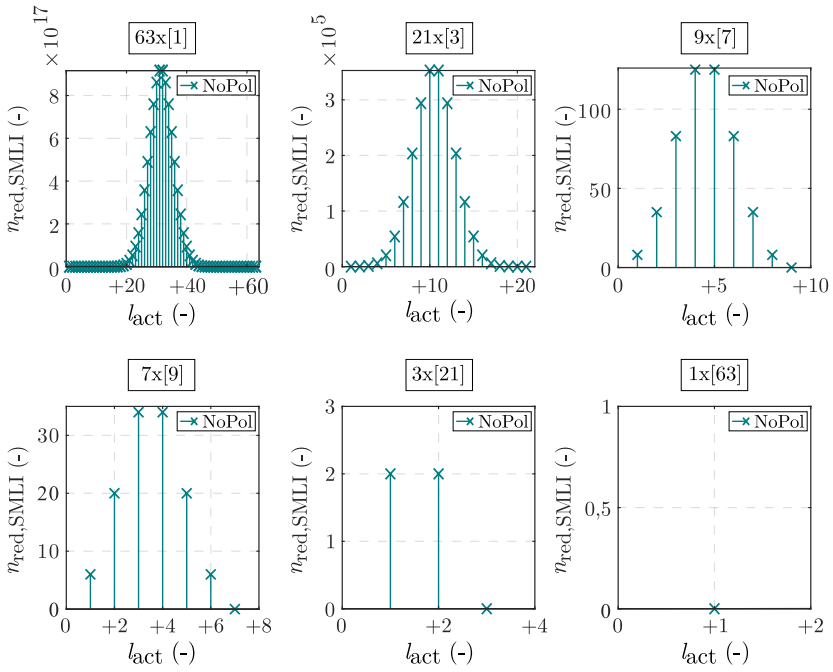


Abbildung 4.3: Anzahl an Levelredundanzen bei einer gegebenen Gesamtzahl von $n_{\mathrm{c,tot}} = 63$ Batteriezellen unter der Voraussetzung identischer Modulpolung. Die Nomenklatur $n_{\mathrm{SM,SMLI}}\, x\, [n_{\mathrm{c,ESU}}]$ repräsentiert einen SMLI mit insgesamt $n_{\mathrm{SM,SMLI}}$ Modulen, wobei jedes Modul aus $n_{\mathrm{c,ESU}}$ Batteriezellen besteht.

4.3.2.2.2 Redundanz unter der Voraussetzung divergierender Modulpolarität

Die Redundanz der Spannungslevel kann durch die Berücksichtigung von Modulkombinationen mit divergierender Modulpolung gesteigert werden. Trotz des zusätzlichen Freiheitsgrades, Module positiver und negativer Polarität miteinander zu kombinieren, muss jedoch beachtet werden, dass diese Implementierung auch eine erhöhte Anzahl an aktiv geschalteten Energiespeichereinheiten zur Folge hat. Die Batterieverluste nehmen zu. Zudem hängt es von der verwendeten MLI-Struktur ab, ob infolge der Aktivierung weiterer Module erhöhte Leitverluste beispielsweise aufgrund zusätzlich leitender Halbleiterelemente auftreten.

Die positiven Effekte einer gesteigerten Redundanz durch die Anwendung von Pol-Kombinationen kommen hauptsächlich im Falle eines Moduldefekts während des Betriebs zum Tragen. Ist ein Spannungslevel aufgrund des Ausfalls eines Submoduls nicht mehr nur durch die reine Kombination von Modulen übereinstimmender Polung erzeugbar, können für die Generierung dieser Spannung Module unterschiedlicher Polung auf Basis von Gleichung (A.20) herangezogen werden. Jedoch steigt durch die Berücksichtigung von Pol-Kombinationen auch der Rechenaufwand im Ansteuerverfahren. Des Weiteren ist insbesondere bei SMLI-Systemen zu beachten, dass die Anzahl der erzeugbaren Spannungslevel durch die Anwendung von Pol-Kombinationen nicht erhöht werden kann. Der Wert von $n_{\mathrm{l,SMLI}}$ wird ausschließlich durch die Anzahl der Module bestimmt. Angesichts dieser Gründe und des potentiellen Anstiegs der Leitverluste, ist es ratsam, im herkömmlichen Betrieb von SMLI-Systemen unter Normalbedingungen die Implementierung von NoPol-Kombinationen zu priorisieren. Aufgrund des Umfangs findet sich die Herleitung der Anzahl redundanter Level unter der Voraussetzung divergierender Modulpolungen $n_{\mathrm{red,SMLI}}^{\mathrm{Pol}}$ in Anhang A.1.8. In diesem Kontext wird ebenfalls eine anschauliche Darstellung der Levelredundanzen bei Berücksichtigung der Pol-Kombinationen ähnlich wie in Abbildung 4.3 präsentiert.

4.3.2.3 Asymmetrischer Multilevel-Inverter

Wie zu Beginn dieses Kapitels eingeführt, sind die Submodule in einem AMLI gezielt unterschiedlich konzipiert. Die Verteilung der Batteriezellen auf alle vorhandenen Submodule erfolgt im Gegensatz zu einem SMLI asymmetrisch, wie in Abbildung 4.2 schematisch skizziert. Während sich das erste Submodul aus zwei Zellen zusammensetzt, sind dem zweiten und dem dritten Submodul, SM_2 sowie SM_3, jeweils vier und sechs Zellen zugeordnet. Die Gesamtzahl der Zellen stimmt mit denen im Falle des SMLI überein. Dabei ist es nicht zwingend erforderlich, dass alle Module eines AMLI eine unterschiedliche Anzahl inhärenter Zellen aufweisen. Im Allgemeinen zählt ein MLI zu der Gruppe der AMLIs, wenn für mindestens zwei der vorhandenen Submodule, SM_k und SM_j, gilt, dass die zugehörigen Modulspannungen infolge einer initialen Auslegung voneinander abweichen. Mathematisch lässt sich dieser Sachverhalt wie folgt ausdrücken.

$$u_{\mathrm{SM},k} \neq u_{\mathrm{SM},j} \qquad \exists\, k,\, j \in \{1 \ldots n_{\mathrm{SM}}\} \cap k \neq j\,. \tag{4.18}$$

Im Gegensatz zu einem SMLI sind die Beziehungen in den Gleichungen (4.10) und (4.11) für einen asymmetrischen MLI nicht erfüllt. Ein AMLI kann jedoch aus zwei oder mehr Modulen bestehen, bei denen die Anzahl der Batteriezellen, $n_{\mathrm{c,ESU},k}$, übereinstimmt. Dieser Umstand wird als sogenannte *Teilsymmetrie* definiert und kann für einen AMLI mit einer Modulzahl von $n_{\mathrm{SM,AMLI}}$ in die allgemeinen Nomenklatur der SM-Konfiguration integriert werden.

$$\mathrm{Config}_{\mathrm{SM}} = \Big[\underbrace{n_{\mathrm{c,ESU},1},\, \ldots,\, n_{\mathrm{c,ESU},k}}_{\text{Teilsymmetrie mit } u_{\mathrm{SM},j} \equiv u_{\mathrm{SM}}\ \forall\, j \in \{1 \ldots k\} \cap j < n_{\mathrm{SM,AMLI}}},\, n_{\mathrm{c,ESU},k+1},\, \ldots,\, n_{\mathrm{c,ESU},n_{\mathrm{SM,AMLI}}}\Big]\,. \tag{4.19}$$

$n_{\mathrm{c,ESU},k}$ charakterisiert dabei die Anzahl an Batteriezellen des k-ten Submoduls, $n_{\mathrm{c,ESU},n_{\mathrm{SM,AMLI}}}$ entspricht der Anzahl an Batteriezellen im $n_{\mathrm{SM,AMLI}}$-ten Submodul. Aufgrund desselben Moduldesigns kann für Submodule, die eine Symmetrie zueinander aufweisen, der Zusammenhang aus Gleichung (4.11) angewendet werden[6]. Sofern Gleichung (4.18) erfüllt ist, ist grundsätzlich jede beliebige Aufteilung der im System befindlichen $n_{\mathrm{c,tot}}$ Batteriezellen auf eine beliebige Anzahl an $n_{\mathrm{SM,AMLI}}$ Submodulen möglich. Folgt die Aufteilung allerdings keiner expliziten Designregel, sind aufgrund einer fehlenden Regelvorschrift allgemeine Aussagen zu den MLI-Spezifikationen aus Tabelle 2.1 nur schwer abzuleiten. In der Regel gibt es ein Verteilschema, auf Basis dessen spezifischere Aussagen über bestimmte MLI-Spezifikationen getroffen werden können. Bevor im Folgenden auf ein konkretes Schema eingegangen wird, erfolgen Erläuterungen, die sich allgemein auf jede Variante eines AMLI anwenden lassen.

4.3.2.3.1 Allgemeine Aussagen zu einem asymmetrischen Multilevel-Inverter

Anders als bei einem SMLI existiert keine geschlossene Formel zur Bestimmung der Anzahl aller möglichen SM-Konfigurationen in einem AMLI-System n_{AMLI}. Auf Basis des Binomialkoeffizienten wird ein empirisch ermittelter Ausdruck vorgestellt, um eine Aussage über n_{AMLI} zu treffen. Für diesen wird erneut die Definition des Binomialkoeffizienten von Berger herangezogen [15].

$$n_{\mathrm{AMLI}} = \binom{2\,n_{\mathrm{c,tot}} - 1}{n_{\mathrm{c,tot}}} = \frac{(2\,n_{\mathrm{c,tot}} - 1)!}{(n_{\mathrm{c,tot}} - 1)! \cdot n_{\mathrm{c,tot}}!} \tag{4.20}$$

Da in diesem Zusammenhang ebenso Auswahlmöglichkeiten erlaubt sind, bei denen die $n_{\mathrm{c,tot}}$ gezogenen Elemente dieselbe Anzahl an Lithium-Ionen-Zellen je Energiespeichereinheit besitzen, muss

[6] Hinweis: Wie auch bei den SMLI-Systemen wird für die Submodule der Teilsymmetrie angenommen, dass diese in einem gebalancten Zustand vorliegen.

der Wert von n_{AMLI} in Gleichung (4.20) um die inhärenten rein symmetrischen SM-Konfigurationen reduziert werden. Gemäß der eingeführten Definition eines AMLI trifft dies jedoch nicht auf Konfigurationen zu, die lediglich eine Teilsymmetrie aufweisen. Die Definition des Binomialkoeffizienten in Gleichung (A.1) berücksichtigt darüber hinaus alle möglichen Auswahlarten, im vorliegenden Fall alle SM-Konfigurationen, unabhängig von der gezogenen Reihenfolge der zu wählenden Elemente. Folglich beinhaltet Gleichung (4.20) zahlreiche Konfigurationsduplikate, bei denen die Verteilung der Lithium-Ionen-Batteriezellen identisch ist und sich nur in der Reihenfolge der Submodule unterscheidet. In einem AMLI-System mit einer exemplarischen Anzahl von $n_{\mathrm{c,tot}} = 10$ Lithium-Ionen-Batteriezellen stellen die SM-Konfigurationen [1, 2, 3, 4] und [2, 4, 1, 3] derartige Duplikate dar. Da für die Betrachtungen ausschließlich die Verteilung der Zellen selbst von Interesse ist, muss der Zusammenhang aus Gleichung (4.20) um die Anzahl aller Duplikate verringert werden. Vergleicht man die resultierenden Ergebnisse für n_{AMLI} mit denen von n_{SMLI} aus Gleichung (4.15), ist die Zahl der potentiellen asymmetrischen Modulkonfigurationen trotz der Vernachlässigung der Duplikate signifikant höher als im symmetrischen Fall. Unabhängig von der Zahl der Konfigurationen, die in Gleichung (4.20) subtrahiert werden müssen, zeigt n_{AMLI} nahezu einen exponentiellen Anstieg in Abhängigkeit von $n_{\mathrm{c,tot}}$. Im Gegensatz dazu verläuft die Entwicklung von n_{SMLI} über der Gesamtzahl an Batteriezellen $n_{\mathrm{c,tot}}$ wesentlich flacher.

Anders als bei einem SMLI, bei welchem Modulkombinationen mit divergierender Polung zwar die Redundanz signifikant erhöhen, in der Regel aber keinen Einfluss auf die MLI-Ausgangsspannung besitzen, sind diese im Hinblick auf das Spannungsmuster eines AMLI von entscheidender Bedeutung. Infolge der inhärenten Divergenz der Modulspannungen kann der negative Spannungsbeitrag ein oder mehrerer aktivierter Module zu einer deutlichen Erhöhung der Anzahl vorhandener Spannungslevel führen. Wie Gleichung (4.12) widerspiegelt, steigt die Anzahl an Spannungslevel bei einem SMLI linear mit der Anzahl der vorhandenen Submodule $n_{\mathrm{SM,SMLI}}$ an. Auch für einen AMLI lässt sich der Einfluss der Modulanzahl auf die Anzahl der Level identifizieren. Die Modulzahl eines AMLI kann dabei in einem Bereich von $n_{\mathrm{SM,AMLI}} = \{1 \dots n_{\mathrm{c,tot}} - 1\}$ liegen. Gilt $n_{\mathrm{SM,AMLI}} = n_{\mathrm{c,tot}}$, handelt es sich unter der Berücksichtigung von Gleichung (4.19) um ein symmetrisches Design, in welchem jede Batteriezelle ihre eigene Leistungselektronik besitzt. Die exakte Anzahl an Spannungslevel ist neben der Modulzahl $n_{\mathrm{SM,AMLI}}$ sowie der Implementierung von Pol- und NoPol-Kombinationen zudem von der Präsenz einer Teilsymmetrie der Module abhängig. Der Grad der Teilsymmetrie steigt dabei mit der Anzahl an Submodulen, die symmetrisch ausgelegt sind. Wie in den Erläuterungen zum SMLI gezeigt wurde, ist bei einem SMLI die Levelredundanz aufgrund der symmetrischen Gestaltung der Module vergleichsweise hoch, während die Zahl der Spannungslevel selbst $n_{\mathrm{l,SMLI}}$ verhältnismäßig geringe Werte annimmt[7]. Es lässt sich ableiten, dass mit zunehmendem Grad an Teilsymmetrie die Levelredundanz eines AMLI wächst. Unter der Annahme einer gegebenen Modulzahl in einem AMLI können mit der Menge $\mathrm{M_{MK}}$ alle existierenden Modulkombinationen $\mathbf{m}$ auf Basis der inhärenten Energiespeichereinheiten zusammengefasst werden. Der mathematische Ausdruck der Menge $\mathrm{M_{MK}}$ ist in Gleichung (4.21) gegeben.

$$\mathrm{M_{MK}} = \Big\{ \mathbf{m} = \left[m_1, \dots, m_k, \dots, m_{n_{\mathrm{SM,AMLI}}} \right] \Big| \, m_k = c_k \, n_{\mathrm{c,ESU},k} \quad \text{für} \quad c_k = \{-1;\, 0;\, 1\} \cap \exists \, m_i \, : \, m_i \neq m_j \;\; \forall \, j \in \{1 \dots n_{\mathrm{SM,AMLI}}\} \setminus i \Big\} \tag{4.21}$$

Dabei beinhaltet jede einzelne Modulkombination $\mathbf{m}$ die Information über die Anzahl der vorhandenen Batteriezellen $n_{\mathrm{c,ESU},k}$ des k-ten Moduls. Zudem wird mit jedem Element m_k in $\mathbf{m}$ dem Zustand des

[7] Hinweis: Dieser Zusammenhang trifft insbesondere ab einer bestimmten Modulzahl zu. Im gezeigten Fall aus Abbildung 4.3 gilt dies für $n_{\mathrm{SM}} > 10$ bei einer Gesamtzahl von $n_{\mathrm{c,tot}} = 108$ Batteriezellen.

k-ten Moduls SM_k mittels des in Gleichung (2.17) eingeführten Vorzeichenkoeffizienten Rechnung getragen. Jede Modulkombination $\mathbf{m}$ muss dabei mindestens ein Element m_j enthalten, das sich von allen übrigen Elementen unter der Voraussetzung eines identischen Modulkoeffizienten unterscheidet. Dieser Sachverhalt erfordert die Bedingung $n_{\mathrm{c,ESU},i} \neq n_{\mathrm{c,ESU},j}$ für $j \in \{1 \ldots n_{\mathrm{SM,AMLI}}\} \setminus i$, um die allgemeine Definition eines AMLI mit mindestens einem Submodul unterschiedlicher Zellenanzahl zu erfüllen. Jede dieser in $\mathrm{M_{MK}}$ enthaltenen Modulkombinationen erzeugt ein spezifisches Spannungslevel l_{AMLI}, das sich aus der Summe der zugehörigen Modulspannungen zusammensetzt. Alle existierenden Spannungslevel können mit der Menge L_{AMLI} zusammengefasst werden. Die zugehörige Definition findet sich in Gleichung (4.22). Dabei sei erwähnt, dass verschiedene Modulkombinationen identische Ausgangsspannungslevel l_{AMLI} erzeugen können, weshalb L_{AMLI} Redundanzen aufweisen kann[8].

$$L_{\mathrm{AMLI}} = \left\{ l_{\mathrm{AMLI}} \;\middle|\; \mathbf{m} \in \mathrm{M_{MK}} \;:\; l_{\mathrm{AMLI}} = \sum_{k=1}^{n_{\mathrm{SM,AMLI}}} c_k \, u_{\mathrm{SM},k} \right\} \tag{4.22}$$

Aufgrund der potenziellen Existenz von Redundanzen lässt sich auch an dieser Stelle keine allgemein gültige Formel zur exakten Bestimmung der Anzahl erzeugbarer Spannungslevel einer asymmetrischen SM-Konfiguration ableiten. Für den Fall, dass ein AMLI keine Teilsymmetrie aufweist und alle erzeugbaren Spannungslevel einzigartig auftreten, kann jedoch eine maximale Anzahl an Spannungslevel $n_{\mathrm{l,AMLI,max}}$ ermittelt werden [4, 32].

$$n_{\mathrm{l,AMLI,max}} = 3^{n_{\mathrm{SM,AMLI}}} \tag{4.23}$$

Dabei gilt der Zusammenhang $n_{\mathrm{l,AMLI,max}} = |\mathrm{M_{MK}}|$, wobei $\mathrm{M_{MK}}$ die Mächtigkeit der Menge $\mathrm{M_{MK}}$ darstellt und die maximale Anzahl an realisierbaren Modulkonfigurationen repräsentiert. Ist ein AMLI-System in der Lage, insgesamt $n_{\mathrm{l,AMLI,max}}$ unterschiedliche Spannungslevel zu erzeugen, entspricht die Levelredundanz einem Wert von null. Es existiert kein Spannungslevel $n_{\mathrm{l,AMLI}}$, das sich durch zwei unterschiedliche Modulkombinationen $\mathbf{m}$ erzeugen lässt. Jedes auftretende Spannungslevel ist einzigartig. Die Zahl eindeutiger Spannungslevel n_{uni} kann in diesem Fall mit $n_{\mathrm{l,AMLI,max}}$ gleichgesetzt werden. Für die Anzahl an Spannungslevel $n_{\mathrm{l,AMLI}}$ in einem AMLI-System beliebiger Konfiguration gilt unter Einbezug von $n_{\mathrm{l,AMLI,max}}$, dass

$$n_{\mathrm{l,AMLI}} \begin{cases} = n_{\mathrm{l,AMLI,max}} & \text{für} \qquad l_{\mathrm{AMLI},i} \neq l_{\mathrm{AMLI},j} \;\; \forall\, i,\, j \in \left\{1 \ldots \left|L_{\mathrm{AMLI}}\right|\right\} \\ < n_{\mathrm{l,AMLI,max}} & \text{sonst}\,. \end{cases} \tag{4.24}$$

$\left|L_{\mathrm{AMLI}}\right|$ entspricht dabei der Mächtigkeit der Menge L_{AMLI}. In Analogie zu Gleichung (4.12) ergibt sich die Anzahl an möglichen Spannungsstufen in der Ausgangsspannung eines AMLI $n_{\mathrm{step,AMLI}}$ auf Basis der Anzahl an Spannungslevel zu

$$n_{\mathrm{step,AMLI}} = n_{\mathrm{l,AMLI}} - 1\,. \tag{4.25}$$

Abhängig von der Ausprägung der Teilsymmetrie innerhalb eines AMLI-Systems kann $n_{\mathrm{l,AMLI}}$ unterschiedliche Werte aufweisen. Ist der Grad der Teilsymmetrie beispielsweise hoch, reduziert sich $n_{\mathrm{l,AMLI}}$, während sich die Redundanz gleichzeitig erhöht. Damit verringert sich in der Folge auch die Zahl erzeugbarer Spannungslevel $n_{\mathrm{l,diff}}$, die sich voneinander unterscheiden. Im Allgemeinen gilt, dass sich die maximal mögliche Anzahl an Spannungslevel aus der Levelredundanz $n_{\mathrm{red,AMLI}}$ und der Zahl

[8] Hinweis: In [152] nehmen die Autoren in Gleichung (4.22) anstelle der k-ten Modulspannung den idealen Zusammenhang $u_{\mathrm{SM},k} = u_{\mathrm{ESU},k} = m_k \, u_{\mathrm{cell}}$ an und zeigen damit eine Vereinfachung des gegebenen Ausdrucks auf.

unterschiedlicher Spannungslevel $n_{\mathrm{l,diff}}$ zusammensetzt.

$$n_{\mathrm{l,AMLI,max}} = n_{\mathrm{red,AMLI}} + n_{\mathrm{l,diff}} \,. \tag{4.26}$$

Da $n_{\mathrm{l,AMLI,max}}$ für eine gegebene Modulzahl $n_{\mathrm{SM,AMLI}}$ konstant ist, verhalten sich die beiden Variablen $n_{\mathrm{red,AMLI}}$ und $n_{\mathrm{l,diff}}$ indirekt proportional zueinander. Je höher der Redundanzanteil, desto höher ist die Zahl an Spannungslevel, die sich aus mehreren verschiedenen Modulkombinationen erzeugen lassen. Die Anzahl divergierender Spannungslevel nimmt gleichzeitig ab. Umgekehrt treten in der Regel deutlich mehr unterschiedliche Spannungswerte in der Ausgangsspannung eines AMLI auf, sofern der Anteil redundanter Level gering ist. Dieser Sachverhalt stellt sich meist bei Systemen ein, welche einen geringen oder keinen Grad an Teilsymmetrie besitzen.
Betrachtet man die maximale sowie die minimale Quantisierung in einem AMLI, stimmen diese in den meisten Fällen anders als bei einem SMLI nicht überein. Die exakten Werte ergeben sich aus der vorliegenden SM-Konfiguration.

4.3.2.3.2 Asymmetrischer Multilevel-Inverter auf Basis der Exponentialfunktion

Wie der vorhergehende Abschnitt zeigt, lassen sich bei einem AMLI aufgrund des hohen Freiheitsgrades bei der Modulgestaltung allgemein gültige, geschlossene Formeln deutlich schwerer aufstellen als dies bei einem SMLI-System der Fall ist. Existiert dagegen eine Designvorschrift, vereinfacht sich die Ableitung fester Zusammenhänge. Eine mögliche Designregel für die Implementierung eines AMLI-Systems stellt die Verteilung auf Basis der *Exponentialfunktion (ExF)* dar. Die Aufteilung aller im System befindlichen Batteriezellen auf $n_{\mathrm{SM,AMLI}}$ Submodule folgt hierbei der Exponentialfolge mit einer gegebenen Basis b. Der mathematische Ausdruck der Regelvorschrift lautet

$$n_{\mathrm{c,ESU},k} = b^{k-1} \quad \text{für} \quad k \in \{1 \ldots n_{\mathrm{SM,AMLI}}\} \tag{4.27}$$

Mit diesem Zusammenhang lässt sich die Anzahl an Batteriezellen für jedes k-te Submodul berechnen. Für ein AMLI-System, das der Vorschrift aus Gleichung (4.27) mit der Basis b folgt, wird die Nomenklatur ExFb verwendet. Ein ExF-AMLI, dessen Moduldesign strikt nach der gegebenen Designregel ausgelegt ist, besitzt ausschließlich Submodule unterschiedlicher Zellzahlen. Das System weist keine Teilsymmetrie auf. Für alle inhärenten Submodule gilt daher grundsätzlich, dass

$$n_{\mathrm{c,ESU},i} \neq n_{\mathrm{c,ESU},j} \qquad \forall\, i,\, j \in \{1 \ldots n_{\mathrm{SM,AMLI}}\} \,. \tag{4.28}$$

Auf Basis von Gleichung (4.27) ist für ein beliebiges ExF-System die Beziehung $n_{\mathrm{c,ESU},1} = 1$ erfüllt. Dies bedeutet, dass sich das kleinste Submodul aus lediglich einer Batteriezelle zusammensetzt. Die zugehörige Modulspannung gleicht damit der Spannung einer Lithium-Ionen-Batteriezelle. Da die Anzahl der Zellen in jedem weiteren Submodul einem Vielfachen von $n_{\mathrm{c,ESU},1}$ entspricht, ergibt sich die minimale Quantisierung in einem ExFb-System $u_{\mathrm{q,min,ExF}}$ unabhängig von der vorliegenden Basis b wie folgt.

$$u_{\mathrm{q,min,ExF}} = n_{\mathrm{c,ESU},1}\, u_{\mathrm{cell}} = u_{\mathrm{SM},1} \,. \tag{4.29}$$

Dabei bildet $u_{\mathrm{SM},1}$ die Spannung des ersten Submoduls SM_1 ab. Im Gegensatz zu der Beziehung in Gleichung (4.29) beeinflusst der Wert der Basis b die maximale Quantisierung $u_{\mathrm{q,max,ExF}}$. Folgende Differenzierung wird für die Berechnung von $u_{\mathrm{q,max,ExF}}$ abgeleitet.

Für $2\,n_{\mathrm{c,ESU},1} = n_{\mathrm{c,ESU},2}$:

$$u_{\mathrm{q,max,ExF}} = u_{\mathrm{cell}} \left(n_{\mathrm{c,ESU},n_{\mathrm{SM,AMLI}}} - \sum_{k=1}^{n_{\mathrm{SM,AMLI}}-1} n_{\mathrm{c,ESU},k} \right) \tag{4.30}$$

Für $2\,n_{\mathrm{c,ESU},1} < n_{\mathrm{c,ESU},2}$:

$$u_{\mathrm{q,max,ExF}} = u_{\mathrm{cell}} \left(n_{\mathrm{c,ESU},n_{\mathrm{SM,AMLI}}} - 2 \sum_{k=1}^{n_{\mathrm{SM,AMLI}}-1} n_{\mathrm{c,ESU},k} \right) \tag{4.31}$$

Die gegebene Unterscheidung erfolgt anhand des Verhältnisses der Zellanzahl zwischen den ersten beiden Submodulen, SM_1 und SM_2, und wird folglich durch den Wert der Basis b festgelegt. Bei genauer Betrachtung der beiden Zusammenhänge wird deutlich, dass die Bedingung von Gleichung (4.30) nur bei einer Basis von $b = 2$ erfüllt ist. Für ein ExF2-System lassen sich die folgenden Beziehungen formulieren, die eine allgemeine Aussage über die Anzahl einzigartiger Spannungslevel $n_{\mathrm{uni,ExF2}}$ sowie redundanter Spannungslevel $n_{\mathrm{red,ExF2}}$ liefern.

$$\begin{aligned} n_{\mathrm{uni,ExF2}} &= 2^{n_{\mathrm{SM,AMLI}}+1} - 1 \\ n_{\mathrm{red,ExF2}} &= 3^{n_{\mathrm{SM,AMLI}}} - \left(2^{n_{\mathrm{SM,AMLI}}+1} + 1\right) \end{aligned} \tag{4.32}$$

In jedem anderen AMLI-System, das nach dem Schema der Exponentialfolge ausgelegt ist und eine Basis ungleich $b = 2$ besitzt, existieren keine Redundanzen[9]. Unter der Voraussetzung, dass ein ExF-System vorliegt mit

$$2\,n_{\mathrm{c,ESU},1} < n_{\mathrm{c,ESU},2}\,, \tag{4.33}$$

entspricht die tatsächliche Anzahl erzeugbarer Spannungslevel dem maximal möglichen Wert von $n_{\mathrm{l,AMLI,max}}$ aus Gleichung (4.24).

4.3.3 Die Schaltfrequenz

Ein weiterer Stellhebel beim Betrieb von MLIs ist die Schaltfrequenz f_{sw}. Wie bereits zu Beginn dieses Kapitels dargelegt, handelt es sich hierbei um eine interne Einstellgröße, welche während des Betriebs verändert werden kann (siehe Tabelle 4.2). Die Schaltfrequenz hängt stark vom gewählten Ansteuerverfahren ab, wie anhand der Erläuterungen zu den jeweiligen Ansteuerverfahren in Abschnitt 2.1.3 deutlich wird. In Anlehnung an Specovious entspricht die Schaltfrequenz der Anzahl an Schaltoperationen eines Bauteils in einer definierten Zeiteinheit [150]. Die zugehörige Schaltperiode T_{sw}, auch als Schaltzyklus bezeichnet, ergibt sich durch den Kehrwert der Schaltfrequenz.

$$T_{\mathrm{sw}} = \frac{1}{f_{\mathrm{sw}}} \tag{4.34}$$

Ein vollständiger Schaltzyklus der Länge T_{sw} setzt sich dabei sowohl aus einem Einschaltvorgang als auch aus einem Ausschaltvorgang zusammen [150]. Folglich befindet sich das Schaltelement in jedem Durchlauf der Schaltperiode einmal im eingeschalteten Zustand (On-Zustand, Einschaltzeit t_{on}) und einmal im ausgeschalteten Zustand (Off-Zustand, Ausschaltzeit t_{off}). Abhängig von der vorliegenden Ansteuerung und der geforderten Referenzspannung am Eingang des Inverters u_{ref} variiert das Verhältnis der Ein- zur Ausschaltzeit eines Schaltelements innerhalb des Schaltzyklus. Die Summe dieser

[9] Hinweis: Es sei angemerkt, dass lediglich ganzzahlige Werte der Basis b betrachtet werden.

beiden Zeiten gleicht der Schaltperiode T_{sw}. Das sogenannte *Tastverhältnis* (engl. *duty cycle*) D_{on} setzt die Einschaltzeit in das Verhältnis zur Dauer der Schaltperiode T_{sw}.

$$D_{\mathrm{on}} = \frac{t_{\mathrm{on}}}{T_{\mathrm{sw}}} = \frac{1 - t_{\mathrm{off}}}{T_{\mathrm{sw}}} \tag{4.35}$$

Das Tastverhältnis liegt damit stets in einem Bereich von $D_{\mathrm{on}} = [0; 1]$. Je größer D_{on}, desto länger befindet sich das zugehörige Schaltelement im eingeschalteten Zustand. Der Mittelwert der Ausgangsspannung u_{out}, die von dem Schaltelement innerhalb einer Schaltperiode geschaltet wird, steigt mit zunehmendem Tastverhältnis. Abbildung 4.4 veranschaulicht beispielhaft einen vollständigen Schaltzyklus, einschließlich der Ein- und Ausschaltzeiten des Schaltelements. Das zugrundeliegende Tastverhältnis D_{on} besitzt im Beispiel einen Wert von $0,6$.

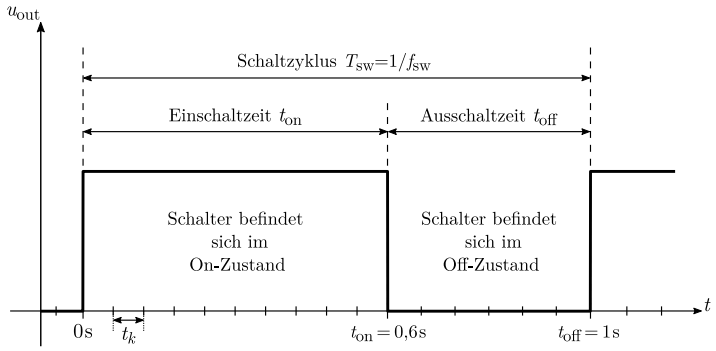


Abbildung 4.4: Visualisierung eines vollständigen Schaltzyklus, der Einschalt- sowie der Ausschaltzeit eines Schaltelements.

Die Schaltoperationen innerhalb eines Wechselrichtersystems dienen dazu, aus einer gegebenen DC-Spannung am Eingang des Inverters eine Wechselspannung zu erzeugen. Um eine möglichst ideale Nachbildung einer geforderten Referenzspannung zu gewährleisten, liegt die Schaltfrequenz in vielen Anwendungen in hohen Frequenzbereichen. Wie in Abbildung 2.1 erkennbar, wird mittels der IGBT-Schalter in der B6-Brücke aus der HV-Spannung der Batterie eine stark pulsierende Ausgangsspannung generiert. Der Frequenzmodulationsindex wurde in Abschnitt 2.1.3.2.1 anhand des SPWM-Verfahrens eingeführt. Unabhängig vom verwendeten Verfahren setzt dieser allgemein die Schaltfrequenz f_{sw} in Relation zur Referenzfrequenz.

$$m_{\mathrm{f}} = \frac{f_{\mathrm{sw}}}{f_{\mathrm{ref}}} \tag{4.36}$$

Die Schaltfrequenz der IGBTs in einem konventionellen BEV liegt dabei in der Regel im Bereich von 10 kHz bis 20 kHz wie beispielsweise von Quraan umgesetzt [127]. In diesen Fällen gilt $m_{\mathrm{f}} >> 1$. Stimmt die Schaltfrequenz mit der Referenzfrequenz überein, d.h. beträgt $m_{\mathrm{f}} = 1$, befindet sich innerhalb einer Referenzperiode lediglich ein vollständiger Schaltzyklus. Dieser Betrieb wird als *Blockbetrieb* bezeichnet. Ist dagegen $m_{\mathrm{f}} > 1$ erfüllt, erfolgen mindestens drei Schaltoperationen je Referenzperiode. Diese Bedingung gilt als Definition für einen sogenannten *Pulsbetrieb* [150]. Die Pulsbildung und die Form der Inverterausgangsspannung haben im Allgemeinen einen starken Einfluss auf den Stromverlauf der angeschlossenen elektrischen Maschine. Mit abnehmender Schaltfrequenz der Schaltelemente innerhalb eines Submoduls erhöht sich die Zeitdauer, während der der Laststrom die Möglichkeit hat, sich auf seinen Sättigungswert einzupendeln. Infolgedessen nimmt der Stromrippel im angeschlossenen Verbraucher zu. Umgekehrt lässt sich die Amplitude dieser Welligkeit durch eine erhöhte Anzahl an Schaltoperationen und damit einer höheren Schaltfrequenz reduzieren. Die Wahl der Schaltfrequenz ist damit von entscheidender Bedeutung für den resultierenden Oberwellengehalt der MLI-

Ausgangsspannung. Diese wirkt sich wiederum auf die Qualität des Laststroms in der elektrischen Maschine aus und in der Folge auf das resultierende Drehmoment [81, 150]. Neben der Schaltfrequenz beeinflusst auch das Tastverhältnis die Stromwelligkeit. Ein niedriger Wert des Tastverhältnisses führt typischerweise zu einer Verringerung des Strommittelwerts, ein hoher Wert von D_{on} zu einem Anstieg. Das Tastverhältnis stellt sich in der Regel intrinsisch durch das gewählte Ansteuerverfahren ein und korreliert stark mit dem Verhalten der Schaltfrequenz bezüglich der Parameterabhängigkeiten und der gegenseitigen Einflussnahme mit anderen Parametern. Daher werden beide Begriffe in den folgenden Kapiteln als Einheit betrachtet. Der Einflussfaktor der Schaltfrequenz bezieht daher auch das Tastverhältnis mit ein.

4.3.4 Das Ansteuerverfahren

In analoger Weise zum Einflussfaktor in Form der Topologie, finden sich im Grundlagenkapitel ausführliche Erläuterungen zu den Ansteuerverfahren von MLI-Systemen. In Abschnitt 2.1.3 wird ein Überblick über die wichtigsten Modulationsverfahren gegeben, auf den an dieser Stelle verwiesen wird. Im Unterschied zu anderen Arbeiten aus dem Stand der Technik, wird im vorliegenden Fall das Ansteuerverfahren als allgemeine interne Einstellgröße betrachtet, die einen generellen Einfluss auf das MLI-System besitzt. An den entsprechenden Stellen, an denen eine spezifische Methode angewendet wird, ist dies explizit gekennzeichnet.

4.4 Vorstellung der Bewertungskriterien

Für eine vollständige Betrachtung sind in den Einflussfaktoren auch Bewertungskriterien enthalten. Wie in Abbildung 4.1 vorgestellt, werden hierzu die Systemverluste in Form der Leit- sowie Schaltverluste, der THD-Wert sowie die Systemkosten betrachtet.

4.4.1 Die Systemverluste

Die Verluste eines Halbleiterelements setzen sich im Wesentlichen aus den Leitverlusten sowie den auftretenden Schaltverlusten zusammen [19, 20, 97, 162]. Für die Berechnung der Gesamtverluste in einem MLI-System müssen zudem die Verluste der Batteriezellen berücksichtigt werden. Dies verursacht infolge der Stromführung zusätzliche Leitverluste in einem Invertersystem. Die Gesamtenergieverluste eines Invertersystems $E_{\mathrm{inv,tot}}$ berechnen sich damit wie folgt [155].

$$E_{\mathrm{inv,tot}} = E_{\mathrm{con}} + E_{\mathrm{sw}} = n_{\mathrm{ph}}\, E_{\mathrm{inv,ph}} = n_{\mathrm{ph}}\big(E_{\mathrm{con,ph}} + E_{\mathrm{sw,ph}}\big) \tag{4.37}$$

Dabei repräsentieren E_{con} und E_{sw} die auftretenden Gesamtleit- und Gesamtschaltverluste im MLI-System. Diese setzen sich jeweils aus den Leitverlusten $E_{\mathrm{con,ph}}$ und Schaltverlusten $E_{\mathrm{sw,ph}}$ der n_{ph} Phasen eines Invertersystems zusammen. Die Summe dieser beiden Energiewerte ergibt die Verlustenergie einer Inverterphase $E_{\mathrm{inv,ph}}$. Im Folgenden werden diese beiden Hauptkomponenten der Systemverluste, die Leit- sowie die Schaltverluste, genauer erläutert.

4.4.1.1 Die Leitverluste

Da sowohl die Energiespeichereinheiten als auch die Halbleiterschalter reale Bauteile darstellen, tragen diese als Hauptfaktoren zur Entstehung der Leitverluste bei. Die Gesamtleitverluste E_{con} können damit in die beiden Anteile $E_{\mathrm{con,ESU}}$ sowie $E_{\mathrm{con,sw}}$ separiert werden. Die erstgenannten Verluste entsprechen den Leitverlusten, die durch den Stromfluss in den Energiespeichereinheiten entstehen, während

$E_{\mathrm{con,sw}}$ die Leitverluste der Halbleiterelemente repräsentieren. Die jeweilige Energiekomponente kann durch Integration der entsprechenden Leistungskomponente bestimmt werden.

$$E_{\mathrm{con}} = E_{\mathrm{con,sw}} + E_{\mathrm{con,ESU}} = \int \Big(P_{\mathrm{con,sw}}(t) + P_{\mathrm{con,ESU}}(t) \Big) \, \mathrm{d}t \ . \tag{4.38}$$

$P_{\mathrm{con,sw}}$ bildet dabei die Verlustleistung der Halbleiterelemente ab. Mit $P_{\mathrm{con,ESU}}$ wird der Verlustleistung der Energiespeichereinheit Rechnung getragen. Betrachtet man zunächst den Verlustanteil der Energiespeichereinheiten, lässt sich dieser auf Basis des in Gleichung (3.4a) eingeführten Gesamtwiderstands $R_{\mathrm{ESU},k}$ der k-ten ESU_k bestimmen. Die Gesamtverlustleistung der Energiespeichereinheiten in einem Invertersystem resultiert aus der Summe der individuellen Verlustleistungen aller inhärenten Energiespeichereinheiten des Systems.

$$P_{\mathrm{con,ESU}} = n_{\mathrm{ph}} \sum_{k=1}^{n_{\mathrm{SM}}} s_k \, R_{\mathrm{ESU},k} \, {i_{\mathrm{ESU},k}}^2 \tag{4.39}$$

$i_{\mathrm{ESU},k}$ repräsentiert den Stromfluss durch ESU_k. Dabei trägt eine Energiespeichereinheit nur zur Leistungsbilanz bei, wenn diese im aktiven Zustand vorliegt und einen Strom führt. Befindet sich ESU_k im Bypasszustand, erzeugt sie keine Leitverluste. Dieser Umstand wird durch einen Schaltkoeffizienten s_k berücksichtigt, gemäß der Definition in Gleichung (4.40) [155].

$$s_k = \begin{cases} 1 & \text{für} \quad \mathrm{ESU}_k \text{ im Lastpfad} \\ 0 & \text{für} \quad \mathrm{ESU}_k \text{ im Bypasszustand} \end{cases} \tag{4.40}$$

Neben einer einzigen Energiespeichereinheit umfasst ein Submodul $n_{\mathrm{sw,SM}}$ Halbleiterelemente. Je nach Schaltzustand und zugrundeliegender Mikrotopologie befinden sich dabei mehrere Schaltelemente im Lastpfad und tragen damit zur Verlustbilanz bei. Es muss daher jeder i-te Schalter im k-ten Submodul berücksichtigt werden, um die Gesamtverluste $P_{\mathrm{con,sw}}$ infolge der Stromleitung der Halbleiterelemente zu berechnen. Damit ergibt sich für $P_{\mathrm{con,sw}}$ die Beziehung

$$P_{\mathrm{con,sw}} = n_{\mathrm{ph}} \sum_{k=1}^{n_{\mathrm{SM}}} \sum_{i=1}^{n_{\mathrm{sw,SM}}} s_{i,k} \, R_{\mathrm{sw},i,k} \, {i_{\mathrm{sw}_{i,k}}}^2 \tag{4.41}$$

$$= n_{\mathrm{ph}} \sum_{k=1}^{n_{\mathrm{SM}}} \sum_{i=1}^{n_{\mathrm{sw,SM}}} s_{i,k} \left(R_{\mathrm{DS(on)},i,k} + R_{\mathrm{trace,sw},i,k} \right) \, {i_{\mathrm{sw}_{i,k}}}^2 \ . \tag{4.42}$$

Gemäß (3.3) verkörpert $R_{\mathrm{sw},i,k}$ den Widerstand des Schalterpfads des i-ten Schaltelements im k-ten Submodul, welcher sich aus dem jeweiligen Drain-Source-Einschaltwiderstand $R_{\mathrm{DS(on)},i,k}$ und dem parasitären Widerstand der Kupferbahn $R_{\mathrm{trace,sw},i,k}$ zusammensetzt. $i_{\mathrm{sw}_{i,k}}$ spiegelt den individuellen Strom durch den Schalter $\mathrm{sw}_{i,k}$ wider. Analog zu $P_{\mathrm{con,ESU}}$ geht in Gleichung (4.41) über einen Schaltkoeffizient $s_{i,k}$ ein, ob sich ein Schalter im leitenden Zustand befindet und damit eine Verlustleistung erzeugt oder ob dieser blockiert. Die zugehörige Funktion des Schaltkoeffzienten $s_{i,k}$ lautet

$$s_{i,k} = \begin{cases} 1 & \text{für} \quad \mathrm{sw}_{i,k} \text{ ist leitend} \\ 0 & \text{für} \quad \mathrm{sw}_{i,k} \text{ blockiert} \end{cases} \tag{4.43}$$

Sowohl in Gleichung (4.39) als auch in Gleichung (4.41) werden die individuellen Ströme durch eine Energiespeichereinheit ESU_k sowie durch den i-ten Schalter $\mathrm{sw}_{i,k}$ berücksichtigt. Unter der Voraussetzung, dass die zugrundeliegende Mikrotopologie des MLI-Systems einen reinen Serienbetrieb der Energiespeichereinheiten erlaubt und die Schaltelemente innerhalb jedes Submoduls zudem nicht par-

allel geschaltet sind, entspricht der Strom sowohl durch die Energiespeichereinheiten als auch durch die jeweiligen Schaltelemente dem Laststrom in einer Inverterphase. Es gilt der Zusammenhang aus Gleichung (4.44).

$$i_{\mathrm{ESU},k} = i_{\mathrm{sw}_{i,k}} = i_{\mathrm{load}} \tag{4.44}$$

Lassen sich mit der vorliegenden Mikrotopologie allerdings Parallelverbünde realisieren, weichen $i_{\mathrm{ESU},k}$ und $i_{\mathrm{sw}_{i,k}}$ vom Laststrom i_{load} ab. Die jeweiligen Stromwerte müssen individuell ermittelt werden [155]. Für die Systemgleichungen und die Modellierung von Parallelverbünden sei auf Anhang A.1.10 verwiesen.

4.4.1.2 Die Schaltverluste

Neben den Leitverlusten, die infolge des Drain-Source-Einschaltwiderstands $R_{\mathrm{DS(on)}}$ auftreten, verursacht der Einsatz von Halbleiterschaltern ebenso Schaltverluste. Diese entstehen aufgrund des nicht idealen Schaltverhaltens während einer Schalttransition. Wie von Graovac et al. gezeigt wird, überschneiden sich die Zeitintervalle des Stromanstiegs und des Spannungsabfalls während des Einschaltvorgangs eines MOSFET [46]. Analog dazu überlagert sich im Abschaltvorgang der Abfall des Drainstroms mit dem Anstieg der Drain-Source-Spannung. Infolge dieser zeitlichen Überlappung entstehen Schaltverluste. Generell berechnet sich die gesamte Schaltverlustleistung P_{sw} in einem Invertersystem auf Basis der Schaltfrequenz f_{sw} mit [96]

$$P_{\mathrm{sw}} = E_{\mathrm{sw}}\, f_{\mathrm{sw}}\,. \tag{4.45}$$

Chang et al. ziehen für die Berechnung der Schaltverluste das von Graovac vorgestellte Modell heran [20, 46]. Allerdings werden für die An- und Abstiegszeiten der Strom- und Spannungssignale die Angaben in den Datenblättern verwendet. Diese sind jedoch unter der Annahme einer rein ohmschen Last ermittelt und eignen sich daher weniger für Anwendungen mit ohmsch-induktiven Lasten. Hanzl et al. führen ein analytisches Modell zur Berechnung der Schaltverluste in einer Halbbrückenschaltung ein [52]. Dieses Modell zeichnet sich durch seine Präzision sowie seine einfache und intuitive Anwendungsweise im Vergleich zu Stand der Technik-Modellen aus. Dabei identifizieren die Autoren vier wesentliche Verlustkomponenten, die zur Berechnung der Schaltverluste berücksichtigt werden müssen. Hierzu zählen die Ein- sowie Ausschaltverluste des High-Side- und Low-Side-Schalters innerhalb einer Halbbrücke, die Verluste der jeweiligen Body-Diode eines MOSFET aufgrund der Stromkommutierung sowie die Diodenverluste infolge der Totzeit. Hanzl et al. stellen in ihrer Arbeit ausführlich die formulierten Gleichungen sowohl für den Schaltvorgang, bei dem der High-Side-Schalter der Halbbrücke ausschaltet und der Low-Side-Schalter einschaltet, als auch für den umgekehrten Vorgang vor. Im Fall des Ausschaltvorgangs lässt sich beispielsweise die Schaltenergie des ausschaltenden High-Side-Schalters $E_{\mathrm{off,HS}}$ wie folgt berechnen.

$$E_{\mathrm{off,HS}} = \frac{1}{2}\, i_{\mathrm{load}}\, (t_{\mathrm{rv}} + t_{\mathrm{fi}}) + \frac{1}{2}\, L_{\mathrm{loop}}\, {i_{\mathrm{load}}}^2 \left(1 + \frac{u_{\mathrm{ESU}}}{u_{\mathrm{AV}} - u_{\mathrm{ESU}} - u_{\mathrm{F}}}\right) \tag{4.46}$$

Dabei repräsentieren u_{AV} sowie u_{F} die Drain-Source-Spannung im Avalanchedurchbruch sowie die Vorwärtsspannung der Body-Diode des MOSFET. Die beiden Werte können dem Datenblatt des eingesetzten MOSFET entnommen werden. Die Schaltzeiten t_{rv} und t_{fi} charakterisieren die Anstiegszeit der Drain-Source Spannung sowie die Abfallzeit des Drainstroms, da es sich um einen Ausschaltvorgang des High-Side-Schalters handelt. Für die zugehörigen Gleichungen von t_{rv} und t_{fi} sei auf [121] verwiesen. Unter Anwendung von Gleichung (4.46) auf die Schalthandlung in einem MLI-Submodul wird für die geschaltete Spannung der Wert der ESU-Spannung u_{ESU} angenommen. In den Zusammen-

hang aus Gleichung (4.46) geht zudem der Wert einer Schleifeninduktivität L_{loop} ein. Diese entspricht dem gemessenen Induktivitätswert der Schleife, welche durch die Schalthandlung zwischen dem High-Side-Schalter, dem Low-Side-Schalter und der Energiespeichereinheit aufgespannt wird. Ergänzend zu Gleichung (4.46) finden sich in der Publikation von Hanzl et al. alle weiteren Systemgleichungen der vier genannten Verlustfaktoren für sämtliche auftretende Schaltvorgänge, die zur Berechnung der Schaltverluste beitragen. Aufgrund des Umfangs der zugrundeliegenden Gleichungen und der reinen Anwendung in dieser Arbeit wird für die übrigen Systemgleichungen auf [52] verwiesen.
Die gesamte Schaltenergie innerhalb eines Invertersystems lässt sich auf Basis der Anzahl auftretender Schaltoperationen n_{so} in jedem Abtastzeitpunkt t_k mit

$$E_{\text{sw}} = \sum_{i=1}^{n_{\text{so}}} E_{\text{sw},i} \tag{4.47}$$

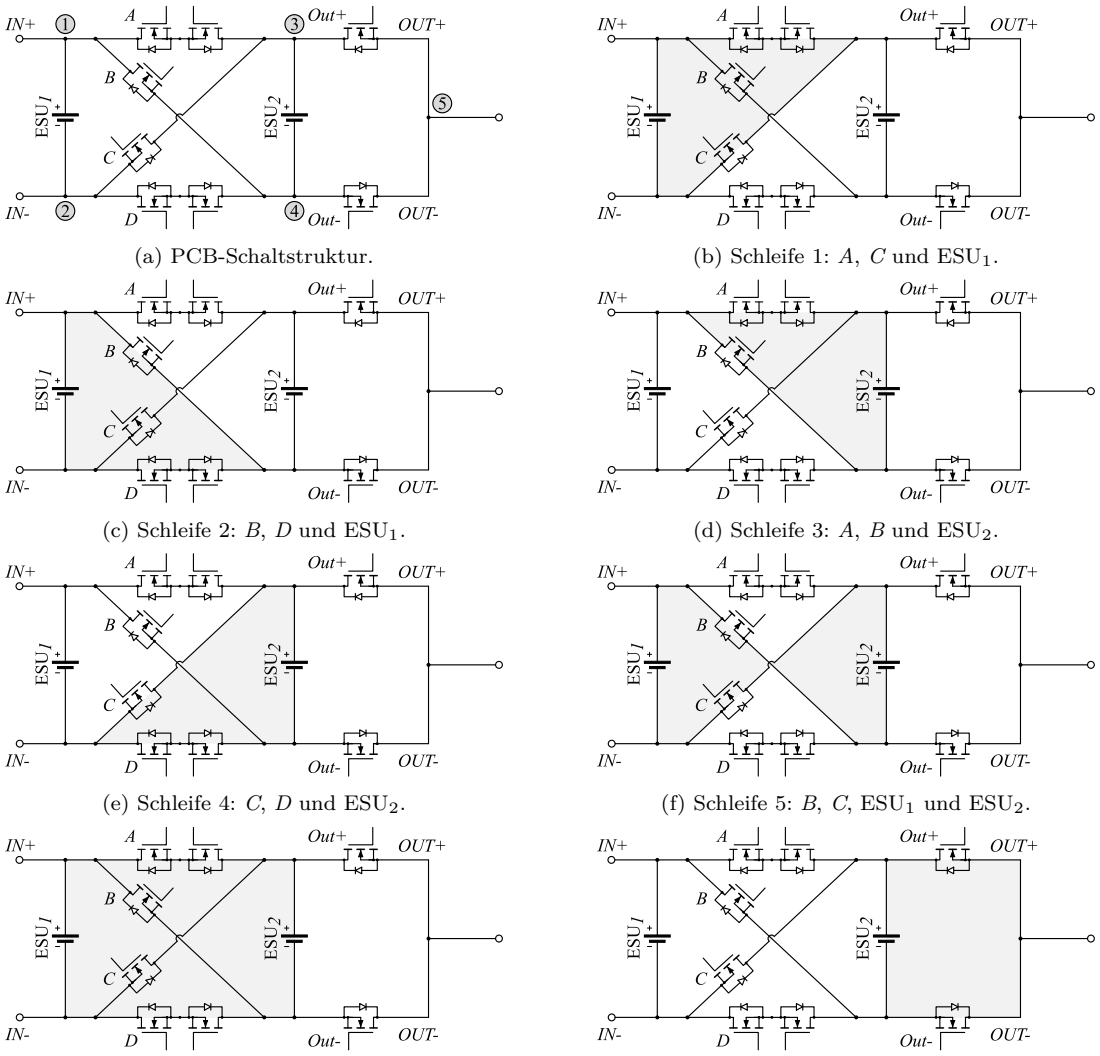
berechnen. $E_{\text{sw},i}$ charakterisiert dabei die gesamte Verlustenergie, die durch einen Schaltvorgang innerhalb einer Halbbrücke entsteht [52].
Um den Einsatz des von Hanzl et al. vorgestellten Modells auch bei andere Mikrotopologien zu ermöglichen, wird dieses erweitert [155]. Die Anwendung des weiterentwickelten Modells erfolgt im Speziellen auf die MLI-Strukturen der H-Brücke, der BM3-, der MMSPC- sowie der PECIN-Topologie. Wie in Abbildung 3.4 visualisiert, lässt sich die PECIN-Mikrotopologie in eine H-Brückenstruktur transformieren. Alle auftretenden Schalthandlungen bilden in der Folge die Schalthandlung einer Halbbrücke ab. Identischer Sachverhalt gilt ebenso für die drei anderen genannten Mikrotopologien. Auf Basis dieser durchgeführten Adaptionen kann das analytische Modell von Hanzl et al. ebenso auf diese vier Mikrotopologien angewendet werden. Aufgrund der komplexeren Schaltstruktur der PECIN-Mikrotopologie existieren im Vergleich zur Halbbrücke deutlich mehr Schleifen, die infolge der erlaubten Schalthandlungen entsprechend der Tabelle aus Abbildung 3.1b auftreten können. Es lassen sich insgesamt sieben unterschiedliche Schleifen infolge aller möglichen Schalthandlungen in der PECIN-Struktur identifizieren. Zur Verdeutlichung dieser sieben Schleifen, veranschaulicht Abbildung 4.5 skizzenhaft die durch die jeweiligen Schalthandlungen eingeschlossenen Flächen. Die Darstellung erfolgt dabei auf Basis der in Abschnitt 3.4 vorgestellten Schaltstruktur der PECIN-PCB, welche zur besseren Verständlichkeit in Abbildung 4.5a illustriert ist[10]. Als Ergänzung listet Tabelle 4.3 für jede Schleife auf, welche Komponenten der PECIN-Struktur (Schalter, ESU) aktiv an der zugrundeliegenden Schalthandlung beteiligt sind, durch die die entsprechende Schleifenfläche aufgespannt wird. Die Beschreibungen des Messaufbaus für die Ermittlung der Induktivitätswerte der in Abbildung 4.5 dargestellten Schleifen finden sich in Anhang B.3. Durch den Einsatz einer Vielzahl von Leiterplatten mit identischer Schaltstruktur, jedoch variierender Anzahl von $n_{\text{c,ESU}}$ Batteriezellen je Energiespeichereinheit, wird insbesondere der Einfluss der Submodul-Konfiguration und in der Folge der Stufenhöhe berücksichtigt. Die gemessenen Induktivitätswerte sind in Tabelle B.1 aufgeführt. Diese bilden die Grundlage für die Ermittlung der Schaltenergiewerte in der PECIN-Struktur auf Basis der Gleichungen von Hanzl et al. [52].

4.4.2 Der Total-Harmonic-Distorion-Wert

4.4.2.1 Allgemein

Ein weiterer wichtiger Faktor, der in leistungselektronischen Systemen wie einem Wechselrichter von entscheidender Bedeutung ist, ist der THD-Wert, im Deutschen auch als *Oberwellengehalt*, *Klirrfaktor*

[10] Hinweis: Wie bereits in Abschnitt 3.4 am Beispiel der eingezeichneten Pfadbegrenzungen beschrieben, erfolgt die Darstellung der Induktivitätsschleifen skizzenhaft und zielt in erster Linie auf eine Verdeutlichung ab. Die zugrundeliegenden physikalischen Zusammenhänge weichen davon ab. Der theoretische Hintergrund bleibt dabei jedoch erhalten.



(a) PCB-Schaltstruktur.

(b) Schleife 1: A, C und ESU_1.

(c) Schleife 2: B, D und ESU_1.

(d) Schleife 3: A, B und ESU_2.

(e) Schleife 4: C, D und ESU_2.

(f) Schleife 5: B, C, ESU_1 und ESU_2.

(g) Schleife 6: A, D, ESU_1 und ESU_2.

(h) *Schleife 7: Out+*, *Out-* und ESU_2.

Abbildung 4.5: Visualisierung der aufgespannten Flächen der existierenden Induktivitätsscheifen innerhalb der PECIN-Struktur zur Messung der Schleifeninduktivitäten.

Tabelle 4.3: Aktiv beteiligte Komponenten (Schalter, ESU) in der jeweiligen Schleife einer PECIN-Mikrotopologie.

Schleifenbezeichnung	***A***	***B***	***C***	***D***	**$\mathbf{ESU_1}$**	**$\mathbf{ESU_2}$**	***Out+***	***Out-***
Schleife 1	1	0	1	0	1	0	0	0
Schleife 2	0	1	0	1	1	0	0	0
Schleife 3	1	1	0	0	1	0	0	0
Schleife 4	0	0	1	1	0	1	0	0
Schleife 5	0	1	1	0	1	1	0	0
Schleife 6	1	0	0	1	1	1	0	0
Schleife 7	0	0	0	0	0	1	1	1

oder *Gesamtverzerrungsfaktor* bezeichnet. Mit diesem Wert lässt sich die Qualität eines erzeugten Signals v innerhalb des betrachteten Systems bewerten und ist, wie der Name bereits andeutet, ein Maß für die in diesem Signal enthaltene unerwünschte Verzerrung [150]. Die allgemein gültige Definition

des THD-Werts lautet auf Basis der Angaben von Diong et al. wie folgt [29].

$$\mathrm{THD}_v = \sqrt{\frac{\sum\limits_{k>2}^{\infty} v_{k,\mathrm{RMS}}^2}{v_{1,\mathrm{RMS}}^2}} \cdot 100\,\% \tag{4.48}$$

Der THD-Wert setzt demzufolge den Oberwellengehalt der Quadrate der Effektivwerte der harmonischen Komponenten eines Signals v in das Verhältnis zum Quadrat des Effektivwerts der Grundwelle $v_{1,\mathrm{RMS}}$ [23, 81, 169]. $v_{k,\mathrm{RMS}}$ bezeichnet dabei den Effektivwert der k-ten Harmonischen eines Signals v. Gemäß der Norm *IEEE Std 519-2014* werden in Gleichung (4.48) nur ganzzahlige Vielfache der Grundfrequenz berücksichtigt [70]. Wie in den Grundlagen zum SHE-Verfahren in Abschnitt 2.1.3 angeschnitten, trägt lediglich die fundamentale Harmonische zur nutzbaren Wirkleistung eines angeschlossenen Verbrauchers bei [81, 150]. Der Oberwellengehalt der harmonischen Komponenten geht beispielsweise in Form von Wärme verloren und steht einem Verbraucher nicht zur Verfügung. Für ein störungsfreies Signal und ein möglichst effizientes System ist ein minimaler THD-Wert anzustreben. Je geringer dieser ausfällt, desto höher ist die Signalqualität eines Ausgangssignals und umgekehrt. Aus diesem Grund nimmt der THD-Wert eine essenzielle Rolle beim Design und der Bewertung von Invertersystemen ein. Im Falle eines MLI wird dabei in der Regel der Verzerrungsanteil der erzeugten Spannung am MLI-Ausgang ermittelt, um eine Einschätzung über die Güte des Systems abgeben zu können. Der zugehörige THD-Wert einer Spannung wird auch mit $\mathrm{THD_u}$ bezeichnet. Im Antriebsstrang eines BEV wird die an die Leistungselektronik angeschlossene elektrische Maschine mit den n_{ph} generierten Ausgangsspannungen gespeist. In der elektrischen Maschine selbst ist dann nicht mehr nur die eingespeiste Spannung, sondern vor allem der Wechselstrom in den Wicklungen von entscheidender Bedeutung, da dieser für die Drehmomenterzeugung verantwortlich ist. Harmonische Verzerrungen und somit Welligkeiten im Stromsignal wirken sich auf das resultierende Drehmoment der elektrischen Maschine aus und können zu Momentenrippel führen. Aus diesem Grund werden oftmals nicht nur die Verzerrungen im Ausgangsspannungssignal des Wechselrichters, sondern auch der Oberwellengehalt der Phasenströme der elektrischen Maschine bewertet [77, 81]. Dabei sei jedoch erwähnt, dass sich der Verzerrungsgehalt einer MLI-Ausgangsspannung direkt auf den THD-Wert des Phasenstroms auswirkt. Je geringer der zugehörige Spannungs-THD, desto geringere Werte nimmt auch der Oberwellengehalt des Laststroms an. Die Betrachtung von $\mathrm{THD_u}$ bietet damit bereits eine geeignete Bewertungsgrundlage.
Wie anhand der Definition in Gleichung (4.48) erkennbar, sind zur Bestimmung des THD-Werts eines Signals v alle existierenden Harmonischen berücksichtigt. Entsprechend der Norm *IEEE Std 519-2014* werden jedoch üblicherweise nur die ersten 50 Harmonischen in die Berechnung einbezogen [70]. Folglich lässt sich die Beziehung in Gleichung (4.48) wie folgt umformulieren.

$$\mathrm{THD}_v = \sqrt{\frac{\sum\limits_{k>2}^{50} v_{k,\mathrm{RMS}}^2}{v_{1,\mathrm{RMS}}^2}} \cdot 100\,\% \tag{4.49}$$

Laut Kim tragen in erster Linie die niederfrequenten Harmonischen maßgeblich zum Verzerrungsgehalt eines Signals bei [81]. Mit steigender Ordnung der Harmonischen nimmt der Störgehalt in der Regel ab. Dies wird auch durch die schematische Darstellung eines Frequenzspektrums in Abbildung 2.7 veranschaulicht. Die Berücksichtigung bis zur fünfzigsten Ordnung in Gleichung (4.49) stellt damit einen praxisorientierten Kompromiss zwischen einer hinreichend genauen Ermittlung des Gesamtverzerrungsgehalts und dem Rechenaufwand des THD-Werts dar [70, 81].

4.4.2.2 Empfohlene Grenzwerte

Wie bereits erläutert, können stark verzerrte Signale zu erhöhten Verlusten, EMV- und/oder Rauschproblemen oder Instabilitäten der angeschlossenen Verbraucher wie der elektrischen Maschine im BEV führen. Insbesondere im Bereich der Energieversorgung verursachen Signale mit einem hohen Oberwellengehalt eine Verschlechterung der Signalqualität und damit Instabilitäten und Einbrücke in der Netzversorgung. Betrachtet man das BEV als gesamtheitliches System und die Möglichkeit der Netzrückspeisung, so können MLI-Ausgangsspannungen, welche einen hohen THD-Wert aufweisen, die Güte der Netzspannung gefährden. Aus diesem Grund existieren in Normen festgehaltene Richtlinien und Empfehlungen, die die Güte und Mindestanforderung an die Qualität eines Signals vorgeben. Dabei wird je nach Leistungsklasse und zugehöriger Systemspannung unterschieden. Die IEEE-Richtline *IEEE Std 519-2014* gibt je nach vorliegender Systemspannung (Nieder-, Mittel-, Hochspannungsanwendung) am sogenannten *point of common coupling (PCC)* Empfehlungen für den maximalen THD-Wert der erzeugten Phasenspannung vor [70]. Diese Vorgaben sind zur Verdeutlichung in Tabelle 4.4 aufgelistet. Neben der Empfehlung für den Gesamtverzerrungsfaktor sind auch die empfohlenen Obergrenzen der einzelnen Harmonischen aufgeführt. Die Angabe der Werte erfolgt in Prozent. Dabei sei erwähnt, dass lediglich Harmonische berücksichtigt werden, deren Frequenz einem ganzzahligen Vielfachen der Referenzfrequenz entspricht [70].

Tabelle 4.4: Auszug aus den Empfehlungen in der IEEE-Richtline *IEEE Std 519-2014* [70] (siehe Tabelle 1, Seite 18) für die maximalen Spannungsbeiträge der Harmonischen und die THD-Grenzwerte, deren Frequenz ganzzahligen Vielfachen der Grundfrequenz entsprechen. Die Werte gelten für den PCC.

Systemspannung U am PCC	**Individuelle Harmonische**	**$\mathbf{THD_{u,max}}$**
$U \leq 1\,\mathrm{kV}$	$5,0\,\%$	$8,0\,\%$
$1\,\mathrm{kV} < U \leq 69\,\mathrm{kV}$	$3,0\,\%$	$5,0\,\%$
$69\,\mathrm{kV} < U \leq 161\,\mathrm{kV}$	$1,5\,\%$	$2,5\,\%$
$161\,\mathrm{kV}$	$1,0\,\%$	$1,5\,\%$

Abkürzung (englisch): PCC = point of common coupling.

Da sich die Systemspannung in einem BEV im Bereich einiger Hundert Volt befindet, die Grenze von 1 kV in der Regel jedoch nicht überschreitet, kann für die auftretenden MLI-Phasenspannungen in einem Elektrofahrzeug der markierte Wert in Tabelle 4.4 gewählt werden. Damit ergibt sich eine Obergrenze von $\mathrm{THD_{u,max}} = 8\,\%$. In der Norm *IEEE Std 519-2014* finden sich zudem Empfehlungen zu den Verzerrungen der Stromsignale, wobei hier einige Unterschiede im Vergleich zu den Empfehlungen der Spannungssignale existieren. Ein Beispiel hierfür ist die Betrachtung des harmonischen Oberwellengehalts bezogen auf die geforderte Grundwelle (*total demand distortion*, TDD) im Falle der Stromsignale im Gegensatz zum THD für die Spannungssignale. Für ausführlichere Erläuterungen sei auf Anhang A.1.7 verwiesen. Aus Gründen der Einfachheit wird ebenso der THD-Wert des Stroms betrachtet. Basierend auf Tabelle A.1 kann hierzu ein maximaler Wert von $\mathrm{THD_{i,max}} = 5\,\%$ angenommen werden, welcher als konservative Betrachtung gilt.

4.4.2.3 Numerische Ermittlung des Total-Harmonic-Distortion-Werts

Um den THD-Wert eines beliebigen Signals v bestimmen zu können, ist die Kenntnis über die Effektivwerte der Harmonischen und damit der Spektralanteile notwendig. Um die einzelnen Anteile der Harmonischen analytisch zu ermitteln, kann, wie in Abschnitt 2.1.3 eingeführt, die Fourieranalyse eingesetzt werden. Die Fourierreihe lässt sich gemäß den Beschreibungen von Werner jedoch nur auf zeitkontinuierliche Signale unendlicher Länge anwenden [169]. Da die zu untersuchenden Signale in der

Regel in numerischer Form und damit sowohl zeitdiskret als auch in endlicher Länge vorliegen, wird die *diskrete Fourier-Transformation (DFT)* als das *numerische Pendant* zur Fouriertransformation herangezogen. Da der zugrundeliegende Algorithmus der DFT sehr rechenaufwendig ist, wird in den meisten Fällen die *schnelle Fourier-Transformation (FFT)* eingesetzt. Diese entspricht einer Sonderform der DFT, deren Algorithmus im Vergleich zur DFT eine deutlich höhere Effizienz aufweist [169]. Für die Ermittlung des THD-Werts in dieser Arbeit wird die von Werner vorgeschlagene Implementierung angewendet. Eine präzise Beschreibung der iterativen Schritte findet sich in Abschnitt A.1.6. Um die Genauigkeit dieser Berechnungsmethode des THD-Werts im Vergleich zur analytischen Bestimmung des Oberwellengehalts zu verdeutlichen und den Einsatz dieses numerischen Ansatzes zu legitimieren, werden nachfolgend die Ergebnisse der numerischen sowie der analytischen Berechnung einander gegenüberstellt. Als Vergleichsgrundlage dient ein Rechtecksignal, welches in Abbildung A.2 visualisiert ist. Die vollständige analytische Herleitung der Fourierkoeffizienten einer Rechteckfunktion ist in Anhang A.1.5 gegeben. Die Parameter der numerischen Vorgehensweise wie beispielsweise die Abtastrate sowie die Signallänge werden derart gewählt, dass der Bruch aus Gleichung (A.19) in Anhang A.1.6 einem ganzzahligen Wert entspricht. Diese Maßnahme dient zur Vermeidung des sogenannten *Leakage-Effekts*. Für spezifischere Erläuterungen hierzu sei ebenso auf die zugehörigen Beschreibungen in Anhang A.1.6 verwiesen. In beiden Fällen, analytisch sowie numerisch, werden die jeweiligen Spektralanteile des Rechtecksignals ermittelt. Das zugehörige Frequenzspektrum wurde bereits im Grundlagenkapitel als beispielhafte Darstellung eines Frequenzspektrums herangezogen (siehe Abbildung 2.7). Auf Basis der analytisch sowie der numerisch ermittelten Spektralanteile lässt sich der zugehörige THD-Wert gemäß Gleichung (4.49) berechnen. Für beide Berechnungsmethoden wird ein übereinstimmendes Ergebnis von $\mathrm{THD} = 47,30\,\%$ erzielt. Zur Demonstration dieser Übereinstimmung sowie des Einflusses berücksichtigter Harmonischer visualisiert Abbildung 4.6 die Verläufe des analytisch und des numerisch berechneten THD-Werts über der Anzahl betrachteter Harmonischer. Dabei bildet die x-Achse die Zahl der Harmonischen ab, welche in die Berechnung des Oberwellengehalts eingehen und definiert damit die Obergrenze der Summenformel aus Gleichung (4.48). Wie erkennbar, liegen die Verläufe der analytischen Methode sowie der numerischen Vorgehensweise direkt übereinander, weshalb die numerische Implementierung als Berechnungsmethode ausreichend präzise ist. Die einzelnen Stufen in den beiden Verläufen lassen sich darauf zurückführen, dass Harmonische gerader Ordnung keinen Spektralanteil aufweisen, wie Abbildung 2.7 entnommen werden kann. Die zusätzliche Berücksichtigung des zugehörigen harmonischen Anteils führt zu keiner Änderung im Ergebnis des Oberwellengehalts. Zudem illustrieren die beiden Verläufe die hinreichend genaue Ermittlung des THD-Werts auf Basis von Gleichung (4.49), welche harmonische Komponenten bis zur 50. Ordnung berücksichtigt. Wie in Abbildung 4.6 ersichtlich, erreicht der Oberwellengehalt ab einer Ordnung von ca. 40 eine Sättigung. Die IEEE-Empfehlung *IEEE Std 519-2014* von $k = 50$ ist dabei explizit markiert [70].

4.4.3 Die Systemkosten

Dieser Unterabschnitt führt den Einflussfaktor der Systemkosten ein. Bevor das implementierte Kostenmodell vorgestellt wird, erfolgt eine Einordnung in den aktuellen Stand der Technik.

4.4.3.1 Stand der Technik

Im Gegensatz zu den zahlreichen Untersuchungen zur optimalen MLI-Topologie oder zu den verschiedenen Ansteuerverfahren gibt es vergleichsweise wenig Stand des Wissens zur Kostenanalyse von MLI-Systemen. In den meisten Forschungsarbeiten wird üblicherweise die Bauteileinsparung einer spezifischen MLI-Struktur hervorgehoben, indem sie mit anderen MLI-Topologien verglichen wird. Die

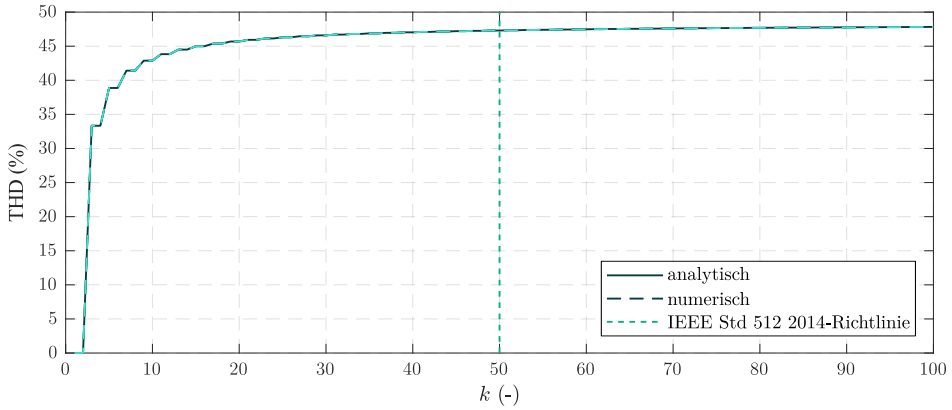


Abbildung 4.6: Einfluss der Anzahl betrachteter Harmonischer auf die Bestimmung des rein analytisch sowie numerisch berechneten THD-Werts der Rechteckfunktion aus Abbildung A.2.

Angabe konkreter Zahlenwerte hinsichtlich der Inverterkosten ist dagegen weniger häufig verbreitet. Babaei et al. stellen in einer Vielzahl ihrer Studien jeweils neuartige MLI-Strukturen vor, welche sich infolge der Reduzierung von Bauteilkomponenten im Vergleich zum Stand der Technik abheben [4–7, 9, 75, 76]. Im überwiegenden Teil der Fälle minimieren die Autoren durch eine innovative Schaltstruktur der Halbleiter innerhalb der Mikrotopologie die Anzahl der erforderlichen Hardwarekomponenten, während die Anzahl der erzeugbaren Spannungslevel gleich bleibt oder sich sogar erhöht. Beispielsweise nutzen Babaei et al. die Asymmetrie der Modulkonfiguration, um die Anzahl der Spannungsquellen zu reduzieren, ähnlich wie Dixon et al. in ihrer Publikation [5, 32]. In beiden Fällen werden jedoch keine genauen Zahlenangaben zu den Einsparungen gemacht. Identisches gilt auch für die Untersuchungen in [3, 22, 36, 41, 50, 108, 117, 124, 135, 146, 171]. Prasad et al. stellen ebenso eine asymmetrische SM-Konfiguration vor und verwenden für die Bewertung dieser Struktur und die Gegenüberstellung mit anderen Stand der Technik-Topologien eine Kostenfunktion [125]. Letztere wird von Sabyasachi et al. zuvor eingeführt [138]. Diese Kostenfunktion berücksichtigt die Anzahl der erforderlichen Energiespeichereinheiten, Kapazitäten, Leistungsdioden, Gate-Treiber und Halbleiterelemente, wobei auch der Einfluss der Spannungsfestigkeit mit einbezogen ist. Der Vergleich auf Basis der Kostenfunktion zeigt die Effektivität des vorgestellten MLI von Prasad et al., welcher den geringsten Kostenwert unter allen verglichenen Topologien erzielt. Allerdings sind auch hier keine konkreten Kostenwerte angegeben. Ein Vergleich normierter Kosten pro Einheit eines MLI-Systems findet sich bei Krishnachaitanya et al. für acht unterschiedliche AMLI-Strukturen [87]. In dieser Untersuchung werden die Anzahl der Spannungsquellen, die Wahl des Schaltermodells, die maximale Spannung des Inverters sowie die Parameter der jeweiligen leistungselektronischen Komponenten als kosteneffektive Faktoren identifiziert. Für alle acht Inverterstrukturen sind die ermittelten Kostenwerte pro Einheit aufgelistet. Darüber hinaus wird in der Veröffentlichung eine neuartige MLI-Topologie vorgestellt. Für die Bewertung dieser Neueinführung vergleichen die Autoren ihre Struktur mit der kosteneffizientesten der acht beleuchteten AMLI-Strukturen. Dabei verwenden Krishnachaitanya et al. neben den normierten Werten auch konkrete Kostenangaben, um die Einsparungen der Inverterkosten durch die Anwendung ihrer vorgestellten Struktur deutlich zu machen. Hierzu geben die Autoren einen Überblick über die entscheidenden Schritte zur Ermittlung dieser Zahlenwerte und strukturieren die relevanten, kosten-verursachenden Komponenten in vier unterschiedliche Abstraktionsebenen. In einem ersten Schritt werden die Kosten für Spannungsquellen, Halbleiterschalter und gegebenenfalls Gleichrichterkomponenten betrachtet. Anschließend folgt die Berechnung der Kosten für Kühlung, Gate-Treiber und Transformatoren. Die weiteren Schritte des vorgestellten Kostenmodells berücksichtigen die ma-

kroskopische Topologie des Systems, indem sowohl die Anzahl der Phasen als auch die Kosten für Logikbauteile einbezogen werden. Das Ergebnis dieser Kostenermittlung bilden die Kosten für ein Invertermodul ab. Das vorgestellte Modell schließt allerdings nicht den Einfluss spezieller Hardwarevorkehrungen wie einer externen Polaritätsumkehreinheit in die Betrachtungen mit ein. Auch Islam et al. liefern genaue Zahlenangaben für den Kostenvergleich verschiedener Inverterstrukturen [71]. Die Autoren beziehen dabei sowohl die Variante des FC-, des NPC- sowie des kaskadierten MLI in den Vergleich mit ein und stellen diese dem VSI gegenüber. Darüber hinaus werden für alle MLI-Varianten jeweils zwei MLI-Ausführungen auf Basis einer unterschiedlichen Anzahl an erzielbaren Spannungslevel betrachtet. Der exakt identische Vergleich sowie die übereinstimmenden Kostenergebnisse finden sich bei Minai et al. [106]. Jedoch wird in diesen Arbeiten nur eine sehr kurze Erläuterung zur Kostenermittlung geboten. Es ist kein konkretes Kostenmodell zur Berechnung der Inverterkosten angegeben. Eine umfassende Kostenanalyse eines CHB-MLI präsentieren Chang et al. in ihrer Arbeit [19]. Als Referenzsystem verwenden die Autoren einen herkömmlichen B6-Wechselrichter, der auf sechs *Silizium (Si)* IGBTs basiert und im BMW i3 zum Einsatz kommt. Die Kosten der einzelnen Halbleiterelemente werden anhand der auf dem Markt verfügbaren Preise ermittelt, wobei der maximale Einheitspreis berücksichtigt wird. Zusätzlich zu den Kosten für Schaltelemente, Treiberkreise, Schütze und anderen Hardwarekomponenten zur Gewährleistung der Kommunikation fließen in die Gegenüberstellung auch die Einsparungen bei der Batteriekapazität pro Reichweite mit ein. Ein spezifisches Kostenmodell wird jedoch nicht vorgestellt. Ein zentrales Kostenmodell zur Berechnung der Inverterkosten eines MLI für den Einsatz im BEV bieten Chang et al. [20]. Die Kostenmodellierung ermöglicht die Analyse der Inverterkosten sowohl eines CHB-MLI mit drei Submodulen pro Phasenstrang als auch von zwei Varianten eines konventionellen B6-Wechselrichters, für welchen einerseits Si IGBTs und andererseits *Siliziumcarbid (SiC)* MOSFETs in dieser Studie verwendet werden. Das gezeigte Modell berücksichtigt die Kosten für die erforderlichen Halbleiterschalter, die zugehörigen Treiber, den potenziellen Bedarf eines Zwischenkreisumrichters, Kühlkörper, Steuereinheiten sowie einen Gemeinfaktor. Letzterer variiert je nach eingesetztem Halbleitermaterial. Des Weiteren fließt in das Modell der jeweilige Topologietyp ein, wobei die Auswahl auf die Varianten der CHB-Struktur und des VSI begrenzt ist. Weiterhin schließt das Modell lediglich ein für jeden Topologietyp gewähltes Halbleiterelement ein. Das Modell bietet nicht die Möglichkeit, aus einer Vielzahl von Halbleiterelementen auszuwählen, und berücksichtigt folglich nicht den Einfluss einer variierenden Konfiguration der Submodule. Wie Chang et al. selbst beschreiben, besteht das Potential einer weiteren Kostenreduzierung der Invertersysteme durch eine optimierte Schalterwahl.

4.4.3.2 Implementiertes Kostenmodell

Die Ermittlung der Gesamtkosten eines Invertersystems gestaltet sich aufgrund der Komplexität der Systeme in der Regel nicht trivial. Dieser Sachverhalt resultiert unter anderem aus der Vielzahl der benötigten Komponenten. Zur Durchführung einer Kostenanalyse und insbesondere eines Vergleichs verschiedener Systeme empfiehlt es sich daher, nur die Kosten der Bauteile zu betrachten, welche sich infolge des spezifischen Designs in den verschiedenen Systemen unterscheiden. Die restlichen Komponenten werden als identisch angenommen und in der Analyse nicht berücksichtigt, wie von Chang et al. umgesetzt [19, 20]. Aus Gründen der Einfachheit decken die Begriffe *Systemkosten* oder *Inverterkosten* im Folgenden ausschließlich den Kostenbetrag der betrachteten Komponenten ab.

Abbildung 4.7 veranschaulicht den allgemeinen Aufbau des implementierten Kostenmodells [155]. Aufgrund des identischen Anwendungsgebietes eines BEV und der fundierten Basis orientiert sich die grundsätzliche Struktur an dem Modell, das von Chang et al. eingeführt wird [20]. Durch geeignete Erweiterung und Modifikation der jeweiligen Modellkomponenten ermöglicht die Modellstruktur

aus Abbildung 4.7 im Gegensatz zu der Umsetzung der genannten Autoren die zusätzliche Anwendung auf MLI-Systeme beliebiger Modulkonfiguration. Darüber hinaus lässt sich das hier vorgestellte Modell für die Kostenbestimmung jeder beliebigen Mikrotopologie verwenden und erlaubt damit eine breiten Einsatzbereich. Diese Anpassungen sind besonders wichtig für die Bewertung der Parameterabhängigkeiten zwischen verschiedenen Einflussfaktoren und den Inverterkosten. Ein weiterer Unterschied zu der Modellstruktur von Chang et al. besteht in einer zugrundeliegenden Schalterdatenbank und somit einer signifikant höheren Anzahl an vorhandenen Halbleiterelementen, aus denen je nach vorliegender SM-Konfiguration ein geeigneter Halbleiterschalter ausgewählt werden kann. Um die Vergleichbarkeit mit einem Referenzsystem zu gewährleisten, eignet sich das Modell in Abbildung 4.7 auch zur Bestimmung der Systemkosten konventioneller B6-Wechselrichter, sowohl für den Einsatz von Si IGBTs als auch SiC MOSFETs. Es sei erwähnt, dass anders als bei Chang et al. keine Betrachtung der Kühlkosten erfolgt. Zu Beginn dieses Kapitels wurde bereits erläutert, dass die Temperatur nicht in den Untersuchungen berücksichtigt wird. Die Gründe hierfür wurden genannt. Wie aus der Publikation von Chang et al. zudem hervorgeht, liegen die Kühlkosten der untersuchten Systeme sehr nah beieinander. Zudem machen die Kühlkosten in allen Invertersystemen weniger als 3 % der Gesamtkosten aus und werden daher als vernachlässigbar angesehen. Darüber hinaus wird angenommen, dass ein ähnlich aufgebautes System in der Lage ist, die entstehenden Wärmeverluste gleichermaßen abzuführen. Es sei ebenso angemerkt, dass die Kosten für die Inverterplatinen selbst nicht in die Kostenanalyse einbezogen werden. Dieses Vorgehen resultiert aus der Tatsache, dass die Ausgestaltung der Platinen stark variieren kann. Eine geeignete Vergleichbarkeit ist damit erschwert. Beispielsweise besteht im Falle von MLI-Systemen die Möglichkeit, die jeweiligen PCBs entsprechend der Anzahl an $n_{\mathrm{c,ESU},k}$ Batteriezellen je Energiespeichereinheit auszulegen. Die Platinen können damit je nach vorliegender Konfiguration erheblich in ihrer Größe zueinander abweichen. Gleichzeitig können die Platinen auch so gestaltet werden, dass unabhängig von der Modulgröße nicht nur $n_{\mathrm{c,ESU},k}$ Batteriezellen der Platine des k-ten Submoduls zugeordnet werden, sondern jede Leiterplatte eine festgelegte Anzahl an zugehörigen Batteriezellen und Schaltelementen aufweist. In der Folge besitzt eine derartige Modulplatine unabhängig von der zugrundeliegenden SM-Konfiguration eine definierte Anzahl an Batteriezellen, wie beispielsweise von Terbrack et al. realisiert [161]. Im gezeigten Fall beträgt die Anzahl an Batteriezellen je Submodul eins. Jede Batteriezelle besitzt ihre eigene Leistungselektronik. Die zugehörigen Hardwarekomponenten sind dabei für alle acht Batteriezellen auf einer einzigen Modulplatine angeordnet. Wie diese Umsetzung verdeutlicht, können Modulplatinen weitgehend unabhängig von der zugrundeliegenden SM-Konfiguration ausgeführt werden, weshalb dieser Kostenfaktor im nachfolgend erläuternden Kostenmodell keine Betrachtung findet.

Ausgangspunkt des in Abbildung 4.7 gezeigten Kostenmodells bilden sowohl die SM-Konfiguration als auch die zugrundeliegende mikroskopische und makroskopische Invertertopologie. Dabei bestimmt die SM-Konfiguration insbesondere die Anzahl der Submodule n_{SM} sowie die Modulspannung $u_{\mathrm{SM},k}$ des k-ten Moduls. Auf Basis dieser Definitionen können alle ausschlaggebenden Kostenfaktoren ermittelt werden. Neben den Schalterkosten werden in dem Modell die Kosten für die Treiber, die Versorgung sowie die Steuereinheiten berücksichtigt. Darüber hinaus werden je nach Invertertopologie auch eine externe Polaritätsumkehreinheit sowie ein Zwischenkreiskondensator eingesetzt. Da dieser Zusatz von der jeweiligen Struktur abhängt, tragen diese Komponenten ebenso zur Kostendifferenz bei und müssen berücksichtigt werden. Im Folgenden werden die einzelnen Kostenfaktoren kurz separat beleuchtet und die jeweils verwendeten Bauelemente vorgestellt.

i. Schalterkosten

Für die Ermittlung der Gesamtschalterkosten ist sowohl die Kenntnis über die Anzahl der Submodule einer Inverterphase n_{SM}, die jeweilige Modulspannung $u_{\mathrm{SM},k}$ sowie die Anzahl der Schalter in jedem k-ten Modul $n_{\mathrm{sw,SM}}$ notwendig. Diese Werte ergeben sich je nach vorliegender SM-Konfiguration

sowie der gewählten Mikrotopologie[11]. Da die Anzahl der Schalter innerhalb eines MLI-Systems je nach Modulkonfiguration stark variieren kann, stellen die zugehörigen Schalterkosten einen wesentlichen Unterscheidungsfaktor für MLI-Systeme mit unterschiedlichen Modulkonfigurationen dar. Die Mikrotopologie definiert darüber hinaus die Spannungsfestigkeit $u_{\mathrm{stv},i,k}$, die der i-te Schalter innerhalb des k-ten Moduls aufweisen muss. Wie in den Beschreibungen zu den Mikrotopologien erläutert wurde, kann sich die Spannungsfestigkeit der Schalter eines Submoduls je nach Mikrotopologie unterscheiden. Es muss daher für jeden Schalter die maximale Spannung ermittelt werden, der dieser im Betrieb standhalten muss. Um für jeden Schalter $\mathrm{sw}_{i,k}$ die passenden Halbleitermodule auszuwählen, muss die Bedingung gemäß Gleichung (2.34) erfüllt sein. Dies bedeutet, dass die Durchbruchspannung $u_{(\mathrm{BR})\mathrm{DSS},i,k}$ des i-ten Schalters im k-ten Submodul unter Berücksichtigung des Designfaktors stets auf die $u_{\mathrm{stv}_{i,k}}$ des jeweiligen Schalters $\mathrm{sw}_{i,k}$ ausgelegt sein muss. Neben dieser notwendigen Bedingung beeinflussen weitere Faktoren die Auswahl der Halbleiterelemente. Jeder Halbleiterschalter weist zahlreiche Spezifikationen auf, wie beispielsweise den Drain-Source-Einschaltwiderstand oder die Gehäusegröße. Die Auswahl kann je nach Anwendung optimiert werden. Im vorliegenden Kontext spiegelt der Begriff *optimal* einen geringen Durchlasswiderstand -im Falle eines MOSFET den $R_{\mathrm{DS(on)}}$-, einen hohen Drainstrom sowie minimale Schalterkosten C_{sw} wider. Ein niedriger Wert für $R_{\mathrm{DS(on)}}$ führt zu geringeren Leitverlusten während des leitenden Zustands eines Schalters. Um eine Grundlage für die Wahl eines optimalen Halbleiterelements zu schaffen, wird im Rahmen der Implementierung des Kostenmodells aus Abbildung 4.7 eine Schalterdatenbank angelegt. Hierzu erfolgt eine sorgfältige Auswahl von aktuell auf dem Markt verfügbaren Halbleiterelementen. Dabei liegt das Augenmerk bei der Auswahl auf einem möglichst niedrigen Einschaltwiderstand $R_{\mathrm{DS(on)}}$, geringen Schalterkosten C_{sw} und einer geringen Gehäusefläche d_{A} des Bauteils. Es sei an dieser Stelle erwähnt, dass sich aufgrund der schwankenden wirtschaftlichen Lage die Stückkosten und damit auch die Chargenkosten im Laufe der Zeit ändern. In der Regel spiegeln sich diese Schwankungen jedoch in allen Halbleiterelementen in ähnlicher Weise wider. Damit können sich zwar die absoluten Preise ändern, die Verhältnisse der jeweiligen Inverterkosten bleiben davon jedoch weitestgehend unberührt. Des Weiteren werden bei allen Halbleiterelementen die Kosten für die maximale Abnahmemenge berücksichtigt, was durch die Serienfertigung im Automobilbereich legitimiert wird. Die Auswahl der Schalter deckt einen breiten Bereich der Durchbruchspannung ab, so dass für jedes Moduldesign eine Vielzahl von Halbleiterelementen verfügbar ist.

Ist ein Schalter $\mathrm{sw}_{i,k}$ ausgewählt, ergeben sich die individuellen Schalterkosten $C_{\mathrm{sw},i,k}$. In den Spezifikationen eines Halbleiterelements ist auch der maximale Drainstrom angegeben, sodass für jeden ausgewählten Schalter die maximale Stromtragfähigkeit bekannt ist. Je höher die Stromtragfähigkeit $I_{\mathrm{D}_{i,k}}$ eines Schalters $\mathrm{sw}_{i,k}$ ausfällt, desto höhere Ströme kann dieser im Betrieb aushalten. Besitzt ein Schalter einen geringeren maximalen Drainstrom $I_{\mathrm{D}_{i,k}}$ als der maximale Laststrom i_{load} in der geplanten Anwendung, müssen $n_{\mathrm{sw,par},i,k}$ dieses Halbleiterelements zueinander parallel geschaltet werden, um die erforderliche Stromtragfähigkeit zu gewährleisten. $n_{\mathrm{sw,par},i,k}$ ergibt sich damit aus der Beziehung

$$n_{\mathrm{sw,par},i,k} = \left\lceil \frac{i_{\mathrm{load}}}{I_{\mathrm{D}_{i,k}}} \right\rceil . \tag{4.50}$$

Der dadurch entstehende zusätzliche Hardwareaufwand führt wiederum zu höheren Schalterkosten, wie in Abbildung 4.7 im Rahmen der Schalterkosten berücksichtigt.

[11] Hinweis: Wie in den Grundlagen eingeführt, ist die Mikrotopologie der Submodule in einem CMLI in der Regel identisch. Die Zahl der Schaltelemente $n_{\mathrm{sw,SM}}$ stimmt unabhängig von der Submodul-Konfiguration in der Folge für alle inhärenten Submodule überein.

Abbildung 4.7: Struktur des implementierten Kostenmodells zur Bestimmung der Inverterkosten eines VSI oder MLI-Systems beliebiger SM-Konfiguration und Mikrotopologie.

Abbildung 4.8 veranschaulicht in diesem Zusammenhang ergänzend die Kostenentwicklung aller Halbleiterelemente, die in der Schalterdatenbank für das Kostenmodell hinterlegt sind. Dabei ist der Faktor $n_{\mathrm{sw,par},i,k}$ bereits sowohl in den Schalterkosten $C_{\mathrm{sw},i,k}$ eines Schalters $\mathrm{sw}_{i,k}$ als auch in dem resultierenden Einschaltwiderstand $R_{\mathrm{DS(on)},i,k}$ der parallel geschalteten Halbleiter wie folgt eingerechnet.

$$R_{\mathrm{DS(on)},i,k} = \frac{R_{\mathrm{DS(on)}}}{n_{\mathrm{sw,par},i,k}} \tag{4.51a}$$

$$C_{\mathrm{sw},i,k} = C_{\mathrm{sw}}\, n_{\mathrm{sw,par},i,k} \tag{4.51b}$$

$$d_{\mathrm{A},i,k} = d_{\mathrm{A}}\, n_{\mathrm{sw,par},i,k} \tag{4.51c}$$

Die farbliche Markierung der Datenpunkte spiegelt dabei die zugehörige untere Grenze der Modulspannung u_{SM} wider, ab welcher das Halbleiterelement eingesetzt werden kann. Wie erkennbar, deckt die Auswahl der Schaltelemente einen breiten Spannungsbereich ab. In der Regel nehmen die Einschaltwiderstände mit wachsender Durchbruchspannung zu [170]. Ähnlicher Zusammenhang gilt für die individuellen Schalterkosten $C_{\mathrm{sw},i,k}$. Beide Parameter werden durch die zusätzliche Beachtung von $n_{\mathrm{sw,par},i,k}$ beeinflusst. Während $C_{\mathrm{sw},i,k}$ mit steigendem $n_{\mathrm{sw,par},i,k}$ anwächst, sinkt $R_{\mathrm{DS(on)},i,k}$ und die Gesamtleitverluste reduzieren sich aufgrund der Stromverteilung auf die $n_{\mathrm{sw,par},i,k}$ parallel geschalteten Halbleiter. Neben den genannten Faktoren spielt zudem die Siliziumfläche des Schaltelements

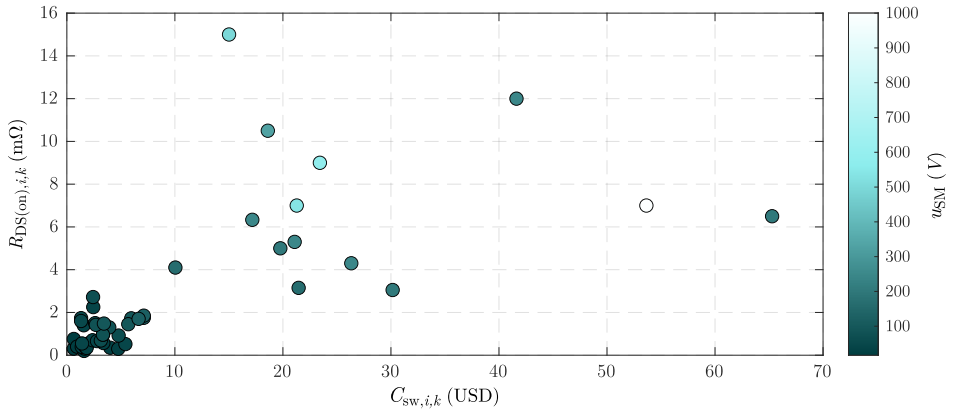


Abbildung 4.8: Entwicklung $R_{\mathrm{DS(on)},i,k}$ über den Schalterkosten $C_{\mathrm{sw},i,k}$ bei steigender $u_{\mathrm{stv}_{i,k}}$ der Schalter infolge steigender Modulspannungen.

eine essenzielle Rolle. In der Regel strebt man danach, diese Fläche möglichst klein zu halten, um den benötigten Platzbedarf zu minimieren. Ein optimaler Schalter erfüllt damit das multikriterielle Ziel aus minimalem Einschaltwiderstand, einer hohen Stromtragfähigkeit, welche sich auf die Kostenbilanz auswirkt, minimalen Schalterkosten sowie einer geringen Siliziumfläche. In Datenblättern von Halbleiterschaltern wird üblicherweise nur die Größe des Gehäuses angegeben. Informationen zur Siliziumfläche sind hingegen selten zu finden. Da dies für alle Halbleiterelemente gilt, kann daher besonderes Augenmerk auf eine geringe Gehäusegröße gelegt werden. Dies ist insofern legitim, da sich die Gehäusegröße unabhängig von der Siliziumfläche direkt auf den Bauraum auswirkt. Analog zum Einschaltwiderstand sowie zu den individuellen Schalterkosten beeinflusst die Anzahl parallel zu schaltender Halbleiterelemente $n_{\mathrm{sw,par},i,k}$ auch die benötigte PCB-Fläche. Eine entsprechende Berücksichtigung erfolgt gemäß Gleichung (4.51c).
Mit der Kenntnis über die individuellen Schalterkosten $C_{\mathrm{sw},i,k}$ und $n_{\mathrm{sw,par},i,k}$ können die Gesamtschal-

terkosten $C_{\mathrm{sw,tot}}$ eines Inverterphasenstrangs mithilfe folgender Beziehung ermittelt werden.

$$C_{\mathrm{sw,tot}} = \sum_{k=1}^{n_{\mathrm{SM}}} \sum_{i=1}^{n_{\mathrm{sw,SM}}} n_{\mathrm{sw,par},i,k}\, C_{\mathrm{sw},i,k} \tag{4.52}$$

Gleichung (4.52) berücksichtigt damit die Kosten aller $n_{\mathrm{sw,par},i,k}$ parallel geschalteter Halbleiterelemente für jeden erforderlichen Schalter $\mathrm{sw}_{i,k}$ im k-ten Submodul.
Anders als bei den MLI-Systemen, werden für die beiden konventionellen VSIs vorgefertigte B6-Module eingesetzt. Im Falle der Si IGBT-Variante wird das IGBT-Modul $FS770R08A6P2LB$ von *Infineon* eingesetzt, welches den Standards im Automobilbereich entspricht [155]. Für den SiC MOSFET-basierten VSI wird das B6-Modul $MSCSM70TAM05TPAG$ herangezogen.

ii. Gate-Treiber

Um die Schaltelemente eines Invertersystems geeignet ansteuern zu können, sind Gate-Treiber erforderlich. Hierzu werden passende Gate-Treiber ausgewählt, die sich mit den verwendeten Halbleiterschaltern kombinieren lassen. Abhängig von der jeweiligen Durchbruchspannung $u_{\mathrm{(BR)DSS},i,k}$ eines vorliegenden Halbleiterschalters wird zwischen zwei verschiedenen Treibern unterschieden. Ist die Betriebsspannung und damit auch die Durchbruchspannung $u_{\mathrm{(BR)DSS},i,k}$ des zugehörigen Halbleiterschalters kleiner als 200 V, kommt der Gate-Treiber $1EDN7550B$ von *Infineon* zum Einsatz. Da dieser eine integrierte Pegelanpassung besitzt, kann das Bauteil sowohl für High-Side- als auch Low-Side-Schalter eingesetzt werden. Aufgrund einer fehlenden Isolation ist dabei zudem eine zusätzliche Isolierung erforderlich. Weist die spezifische Durchbruchspannung eines gewählten Halbleiterschalters einen höheren Wert auf als 200 V, ist der genannte Treiber gemäß der zugehörigen Spezifikationen nicht mehr geeignet. Unter diesen Umständen wird das Treiberelement $1ED020I12{-}F2$ verwendet, das bereits eine integrierte Isolation aufweist. Im Falle der SiC-basierten Halbleiterschalter wird das Treibermodul $1EDI3030AS$ eingesetzt. Dieses ist ebenso isoliert. Entsprechend der Darstellungen in Abbildung 4.7 wird für jeden Schalter $\mathrm{sw}_{i,k}$ aller n_{SM} vorhandenen Module innerhalb einer Inverterphase der zugehörige Gate-Treiber ausgewählt. Stimmen die Halbleiterelemente innerhalb eines Moduls oder in mehreren Modulen überein, so lässt sich für diese der identische Treiber verwenden[12]. Die Gesamtsumme der Treiberkosten $C_{\mathrm{gd,tot}}$ ergibt sich mit

$$C_{\mathrm{gd,tot}} = \sum_{k=1}^{n_{\mathrm{SM}}} \sum_{i=1}^{n_{\mathrm{sw,SM}}} C_{\mathrm{gd},i,k}\,. \tag{4.53}$$

iii. Versorgung

Für jedes Submodul ist eine Versorgung der inhärenten Bauteile notwendig. Alle Kosten der zugehörigen Versorgungskomponenten werden mit $C_{\mathrm{sup},k}$ für jedes k-te Modul zusammengefasst. Unter Einbezug der Modulanzahl n_{SM} ergeben sich die Gesamtkosten für die Versorgung $C_{\mathrm{sup,tot}}$, gemäß der Angaben in Abbildung 4.7.

iv. Steuereinheit

Wie zu Beginn dieses Abschnitts beschrieben, wird angenommen, dass jedes Submodul eine eigene logische Steuereinheit besitzt. Dabei wird für alle Submodule der Baustein $LC4032V{-}25TN48C$ von *Lattice* verwendet. Die Gesamtkosten der Steuereinheiten (engl. *control unit*, cu) $C_{\mathrm{cu,tot}}$ berechnen sich aus den zugehörigen Kosten $C_{\mathrm{cu},k}$ des k-ten Submoduls SM_k multipliziert mit der Anzahl vorhandener Submodule n_{SM} innerhalb einer Inverterphase. Dabei sind die Kosten für die Kommunikation und den Kabelaufwand bewusst nicht in die Betrachtungen mit einbezogen. Aufgrund der erläuterten Möglichkeit, mehrere Submodule auf einer großen Modulplatine zu kombinieren, führen unterschied-

[12] Hinweis: Wie in den Erläuterungen zur PECIN-Topologie in Abschnitt 3.2 bereits erwähnt, ist für die Ansteuerung der beiden MOSFETs innerhalb eines BtB-Schalters ein einziger Gate-Treiber ausreichend.

liche SM-Konfigurationen zu einem vergleichbaren Kostenaufwand hinsichtlich der Übertragung und Kommunikation.

v. Zwischenkreiskondensator

Wie in Abbildung 2.1 dargestellt, befindet sich im konventionellen Antriebsstrang eines Elektrofahrzeugs ein Zwischenkreiskondensator. Dieser Kostenfaktor muss in die Ermittlung der Kosten des VSI einberechnet werden. Basierend auf dem identischen Anwendungsgebiet werden analog zu Chang et al. die Kosten für eine Kapazität berücksichtigt, die die Werte von 475 µF und 450 V aufweist [20]. Eine entsprechende Unterscheidung für den VSI bzw. einen MLI findet sich im Modell in Abbildung 4.7. Wie von den Autoren beschrieben, wird im Falle der MLI-Systeme auf den Einsatz derartiger Kapazitäten verzichtet. Diese Tatsache wird auf die vorherrschenden Wechselströme innerhalb der MLI-Submodule zurückgeführt. Da die Submodule kontinuierlich Wechselströmen ausgesetzt sind, ist eine Glättung der Ströme nicht erforderlich. Es besteht kein Bedarf an Kapazitäten. Die Kondensatorkosten $C_{\mathrm{DC,link}}$ müssen daher nur bei konventionellen Invertersystemen berücksichtigt werden, während sie im Falle der MLI-Systeme zu null gesetzt werden können.

vi. Externe Polaritätsumkehreinheit

Die Erläuterungen in Kapitel 3 zeigen, dass je nach Mikrotopologie eine externe Polaritätsumkehreinheit erforderlich ist, um einen gewünschten Ausgangsspannungshub zu generieren. Anders als die Halbleiterelemente einer Mikrotopologie müssen die der Polaritätsumkehreinheit wie auch im konventionellen VSI der gesamten MLI-Phasenspannung standhalten. Für die Realisierung eines H-Brückenmoduls als Polaritätsumkehreinheit wird der MOSFET $IMZA120R007M1HXKSA1$ ausgewählt, welcher in vierfacher Ausführung je MLI-Phase zum Einsatz kommt. Dieser erfüllt die notwendigen Spezifikationen und besitzt eine Durchbruchspannung von 1200 V. Neben den Halbleiterelementen sind für jede Polaritätsumkehreinheit auch Gate-Treiber sowie Versorgungs-, Isolations- und CPLD-Bauteile erforderlich. Diesen ist in Abbildung 4.7 Rechnung getragen. $C_{\mathrm{PUE,tot}}$ repräsentiert die Gesamtkosten der Polaritätsumkehreinheit.

Die gesamten Inverterkosten ergeben sich aus der Summe aller beschriebenen Kostenfaktoren, wie in Gleichung (4.54) angegeben. Der Zusammenhang berücksichtigt dabei die vorliegende Phasenzahl n_{ph} im Antriebsstrang.

$$C_{\mathrm{inv,tot}} = n_{\mathrm{ph}}\, k_{\mathrm{g}} \left(C_{\mathrm{sw,tot}} + C_{\mathrm{gd,tot}} + C_{\mathrm{sup,tot}} + C_{\mathrm{cu,tot}} + C_{\mathrm{DC,link}} + C_{\mathrm{PUE,tot}} \right) \tag{4.54}$$

Je nach Halbleitermaterial fallen unterschiedliche Gemeinkosten an. Aus diesem Grund wird ein Gemeinfaktor k_{g} berücksichtigt. Dieser entspricht im Falle von Silizium entsprechend der Angaben von Chang et al. einem Wert von 1,25. Handelt es sich bei dem Halbleitermaterial um Siliziumcarbid, gilt k_{g} =1,1 für den Gemeinfaktor[13] [18, 20, 33].

Das implementierte Kostenmodell bildet die Basis für die Ermittlung der Systemkosten verschiedener Invertersysteme.

[13] Hinweis: Es sei angemerkt, dass erwartet werden könnte, dass Siliziumcarbid-basierte Systeme aufgrund der höheren Material- und Halbleiterkosten einen größeren Gemeinfaktor aufweisen als Silizium-basierte Systeme. Der geringere Gemeinfaktor ist jedoch nicht auf die Halbleiterstückkosten zurückzuführen, sondern ergibt sich aus systemischen Kostenunterschieden, wie sie in komponentenbasierten Kostenmodellen für leistungselektronische Umrichter beschrieben werden [18, 33]. Diese Modelle berücksichtigen neben den reinen Bauteilkosten insbesondere zusätzliche Aufwände für Kühlung, passive Komponenten, Gehäuse sowie Montage und Systemintegration. Aufgrund der im Vergleich zu Silizium reduzierten Schalt- und Leitverluste können SiC-basierte Umrichter kompakter ausgelegt werden, wodurch sich geringere Anforderungen an das thermische Management und die Auslegung passiver Filterstrukturen ergeben. Dies führt insgesamt zu einem reduzierten systemischen Integrationsaufwand und damit zu einem niedrigeren modellierten Gemeinfaktor für SiC-basierte im Vergleich zu Si-basierte Systeme.

5 Parameterabhängigkeiten: Identifikation und Optimierung

Mit dem gewonnenen Wissen über die verschiedenen Einflussfaktoren eines MLI erfolgt in diesem Kapitel eine Auseinandersetzung mit den zugehörigen Wechselwirkungen. Dabei stehen die Abhängigkeiten zwischen den eingeführten Einflussfaktoren sowie deren geeignete Optimierung im Fokus. Zunächst werden in Abschnitt 5.1 die vorherrschenden Wechselwirkungen identifiziert und hinsichtlich ihres Einflussgrades differenziert. In Abschnitt 5.1.1 erfolgt anschließend eine detaillierte Analyse der Wechselwirkungen zwischen allen betrachteten Einflussfaktoren, aus der eine *Abhängigkeitsmatrix* (siehe Tabelle 5.2) abgeleitet wird. Ziel dieses Abschnitts ist die strukturierte Darstellung der vorhandenen Abhängigkeiten sowie deren systematische Einordnung. Auf dieser Grundlage werden die zentralen Korrelationen und Abhängigkeiten herausgearbeitet. Darauf aufbauend erfolgt im zweiten und wichtigsten Teil die vertiefte Untersuchung der relevanten Parameterabhängigkeiten. Aufgrund der Komplexität des Themas erfolgt in Abschnitt 5.2 bis Abschnitt 5.5 eine gesonderte Betrachtung der Korrelationen ausgewählter Parameter. Jeder dieser Unterabschnitte beinhaltet dabei zudem den aktuellen Stand des Wissens und fasst diesen strukturiert zusammen. Die Analyse stützt sich dabei auf repräsentative Beispiele von MLI-Systemen. Dabei werden allgemeine Zusammenhänge abgeleitet, wo immer dies möglich ist. Ergänzend wird an ausgewählten Stellen der Einfluss auf die in Abschnitt 2.1.4 eingeführten MLI-Spezifikationen berücksichtigt. Im Rahmen dieser Betrachtungen werden zudem Optimierungsansätze für die jeweiligen Parameterabhängigkeiten vorgestellt und deren Auswirkungen analysiert. Dabei nimmt die Anzahl der betrachteten Parameter je Unterabschnitt zu, um abschließend eine ganzheitliche Betrachtung aller relevanten Einflussfaktoren zu ermöglichen. Neben der Darstellung der jeweiligen Abhängigkeitsstrukturen werden auf Basis der erzielten Ergebnisse Empfehlungen für besonders vielversprechende MLI-Designs abgeleitet.
In allen nachfolgenden Untersuchungen wird, sofern nicht anders angegeben, für die Spannung einer Lithium-Ionen-Batteriezelle ein Wert von $3,7\,V$, gemäß der Vorgabe aus Anhang B.1, herangezogen.

5.1 Identifikation und Differenzierung der Abhängigkeiten

Aufgrund der teils sehr engen Korrelationen einiger Einflussfaktoren ist die Identifikation und insbesondere die Bewertung der Abhängigkeiten nicht trivial. In vielen Fällen unterscheidet sich die Stärke der Wechselwirkung und damit der gegenseitigen Einflussnahme. Um diesem Sachverhalt Rechnung zu tragen und um trotz der Komplexität eine bestmögliche Identifikation und Beurteilung der vorhandenen Abhängigkeiten bieten zu können, wird eine *Differenzierung* der Parameterabhängigkeiten eingeführt. Diese erlaubt eine Einstufung der Stärke der jeweiligen Abhängigkeit. Für die Bewertung dieses Abhängigkeitsgrads wird eine eigene Legende definiert, die in Abschnitt 5.1.1 Anwendung findet. Um dem Leser das Verständnis zu diesem Schema zu verdeutlichen, spiegelt Tabelle 5.1 die Definition der Legende inklusive zusätzlicher Beschreibungen wider. Es sei an dieser Stelle angemerkt, dass die Bewertung der gegenseitigen Einflussnahme sowie des Abhängigkeitsgrads subjektiv geprägt ist und je nach Motivation durchaus anders realisiert werden kann. Die Einteilung wurde nach bestem Wissen

des Autors auf Basis einer intensiven Auseinandersetzung mit dem Gebiet der MLIs vorgenommen. Die folgenden Unterabschnitte erläutern die zugrunde liegende Herleitung der Bewertung und dienen der Transparenz der getroffenen Einordnung. Die gewählte Differenzierung beschreibt dabei ausschließlich die Strukturierung des Analyseansatzes für die Untersuchung der Parameterabhängigkeiten, während die eigentliche Durchführung der Analysen hiervon unabhängig erfolgt.

Wie in Tabelle 5.1 gezeigt, wird grundsätzlich zwischen einer *direkten* und einer *indirekten* Abhängigkeit unterschieden. Liegt eine indirekte Wechselwirkung vor, findet keine unmittelbare Einflussnahme statt, wie der Begriff bereits impliziert. Eine Einwirkung kann lediglich über die Modifikation eines weiteren Parameters erfolgen. Ein Beispiel für eine indirekte Einflussnahme ist der Zusammenhang zwischen der internen Einstellgröße in Form der SM-Konfiguration und der Zustandsvariable des Ladezustands der Batteriezellen. Grundsätzlich kann über die SM-Konfiguration nicht direkt auf den Ladezustand der Batteriezellen bzw. der ESUs im MLI-System eingewirkt werden. Handelt es sich jedoch um ein asymmetrisches MLI-System, unterscheiden sich die Module im AMLI-System voneinander und es lassen sich entweder nur zum Teil oder keinerlei Parallelverbünde zwischen den einzelnen Submodulen bilden. Dieser Sachverhalt wirkt sich damit indirekt auf die Ladezustände der Batteriezellen bzw. der ESUs aus. Eine direkte Abhängigkeit sagt grundsätzlich aus, dass die Änderung eines Einflussfaktors das Verhalten eines anderen Einflussfaktors oder einer MLI-Spezifikation direkt beeinflusst. Beispielsweise wirkt sich die Formierung von PP-Verbünden und damit die PP-Konfiguration in direkter Weise auf den Ladezustand aus. Es liegt eine direkte Einflussnahme vor. Beeinflussen sich zwei Einflussfaktoren unmittelbar in direkter Weise, wird gemäß der Stärke dieser direkten Einflussnahme unterschieden. Um eine zu hohe Komplexität zu vermeiden, wird die Stärke der Wechselwirkung entweder als *gering* oder *hoch* eingestuft. Die Einflussnahme ist damit entweder gering oder stark ausgeprägt verglichen zu weiteren Wechselwirkungen im MLI-System.
In Tabelle 5.1 findet sich zudem der Begriff der *Identität*. Da in Abschnitt 5.1.1 die gegenseitige Einflussnahme der Parameter behandelt wird und im Zuge der Abhängigkeitsmatrix alle Einflussfaktoren auch auf sich selbst abgebildet werden, spiegelt das Symbol '•' diese Identität wider. Eine Bewertung der Abhängigkeit entfällt an dieser Stelle.

Tabelle 5.1: Definition der in Tabelle 5.2 verwendeten Legende für die Bewertung der Abhängigkeiten.

Symbol	**Bedeutung**	**Stärke der Abhängigkeit**	**Beschreibende Erläuterungen**
•	Identität	-	Ein Einflussfaktor wird auf sich selbst abgebildet. Die Aussage über eine Einflussnahme entfällt an dieser Stelle.
(x)	indirekt	-	Eine indirekte Abhängigkeit zwischen zwei (oder mehr) Einflussfaktoren bzw. zwischen Einflussfaktoren und einer MLI-Spezifikation liegt vor, wenn sich diese nicht unmittelbar gegenseitig beeinflussen, sondern die Einflussnahme lediglich über die Modifikation eines weiteren Einflussfaktors möglich ist.
x	direkt	gering	Die zwei Einflussfaktoren und/oder MLI-Spezifikation(en) beeinflussen sich unmittelbar gegenseitig. Diese gegenseitige Einflussnahme ist im Vergleich zu anderen Wechselwirkungen in einem MLI-System jedoch gering ausgeprägt.
x	direkt	hoch	Die zwei Einflussfaktoren und/oder MLI-Spezifikation(en) beeinflussen sich unmittelbar gegenseitig. Diese gegenseitige Einflussnahme ist im Vergleich zu anderen Wechselwirkungen in einem MLI-System stark ausgeprägt.

5.1.1 Abhängigkeiten der Einflussfaktoren

In diesem Abschnitt werden die Abhängigkeiten der Einflussfaktoren zueinander untersucht und je nach Grad der Wechselwirkung differenziert. Das Ergebnis der Analyse bildet die in Tabelle 5.2 gezeigte sogenannte *Abhängigkeitsmatrix*, welche alle identifizierten Abhängigkeiten zwischen den betrachteten Parametern illustriert. Wie bereits im Kontext der Legende eingeführt (siehe Tabelle 5.1), ist die Identität der Einflussfaktoren durch '•' gekennzeichnet. Diese werden im Folgenden nicht weiter behandelt. Die Darstellung in Form der Abhängigkeitsmatrix erlaubt es, die gegenseitige Einflussnahme zweier Einflussfaktoren zu betrachten. Dies bedeutet im Detail, dass sowohl der Einfluss eines ersten Einflussfaktors auf einen zweiten als auch die umgekehrte Einflussnahme des zweiten auf den ersten Faktor der gezeigten Tabelle entnommen werden kann. Beeinflussen sich zwei Einflussfaktoren in gleichem Maße, weisen die jeweiligen Zellen identische Markierungen auf. Wie nachfolgend deutlich wird, ist dieser Sachverhalt in den meisten Fällen nicht gegeben. Die Abhängigkeitsmatrix bietet damit eine fundierte Übersicht über identifizierte Wechselwirkungen, auf deren Basis die Untersuchung der relevanten Parameterabhängigkeiten in einem MLI-System abgeleitet werden kann.
Wie im vorhergehenden Kapitel erläutert, stellen die externen Vorgaben und Bewertungskriterien Grenzwerte und/oder Referenzwerte dar, nach denen ein MLI-System ausgelegt werden muss bzw. bewertet werden kann. Ein Beispiel hierfür ist die in Abschnitt 4.4.2 vorgestellte Empfehlung für den Spannungs-THD von 8 %. Gleichzeitig können auch die dynamischen Werte dieser Vorgaben und Bewertungskriterien im Betrieb einen Einfluss auf die verschiedenen Einflussfaktoren haben. Beispielsweise wirkt sich die aktuelle Spannungsreferenz u_{ref} auf einige Parameter aus. Es werden deshalb nicht nur die Grenz- bzw. Maximalwerte dieser Einflussfaktoren berücksichtigt, sondern auch der Einfluss aktuell vorliegender Werte in die Betrachtungen einbezogen. Dies trifft insbesondere zu, wenn keine starren Anforderungen des jeweiligen Einflussfaktors vorgegeben sind. Diesem Sachverhalt wird mit dem Zusatz *(Max.)* bei den entsprechenden Einflussfaktoren in Tabelle 5.2 Rechnung getragen.
Die nachfolgenden Erläuterungen sollen dem Leser prägnant einen Überblick über die Identifikation und Bewertung der wichtigsten Wechselwirkungen vermitteln. Auf Basis dieser Identifikation begründet sich die Vorgehensweise im zweiten Teil dieses Kapitels.

Tabelle 5.2 visualisiert die identifizierten Abhängigkeiten aller betrachteten Einflussfaktoren. Dabei sind auch Wechselwirkungen zwischen den externen Vorgaben berücksichtigt. Da diese in der Regel jedoch als gegeben angesehen werden können, wird auf entsprechende Erläuterungen verzichtet. Zudem findet sich in Abschnitt 5.2.2 als Ausgangssituation des MLI-Designs eine grundsätzliche Beschreibung der zugehörigen Wechselwirkungen, worauf an dieser Stelle verwiesen wird.
Wie in den Einführungen zu den Einflussfaktoren in Kapitel 4 bereits angedeutet, ist die Einflussnahme des MLI-Designs auf diese externen Vorgaben sehr gering. Dieser Sachverhalt spiegelt sich in Tabelle 5.2 wider. Nahezu kein Einflussfaktor besitzt eine Einflussnahme auf die externen Vorgaben. Eine Ausnahme hiervon bilden die Systemkosten, welche als limitierender Einflussfaktor auf die externen Vorgaben einwirken können. Existiert eine Budgetvorgabe, welche nicht überschritten werden darf, so kann diese die Wahl der Batterie, die Systemleistung oder den maximal zur Verfügung stehenden Bauraum beeinflussen. Da die Abhängigkeitsmatrix nicht nur die Maximalwerte des Laststroms und der Phasenspannung berücksichtigt, sondern auch die Momentanwerte, ergibt sich eine weitere Einwirkungsmöglichkeit. Über die Bildung von Parallelverbünden kann der Laststrom unter der Voraussetzung einer geeigneten Mikrotopologie auf mehrere Energiespeichereinheiten aufgeteilt werden, worin sich die entsprechende Angabe in der Matrix begründet.

Tabelle 5.2: Identifikation und Differenzierung der Abhängigkeiten zwischen den Einflussfaktoren eines MLI, eingeteilt in die vier Kategorien *externe Vorgaben*, *interne Einstellgrößen*, *Bewertungskriterien* sowie *Zustandsvariablen*.

			AUF ...																		
			EXTERNE VORGABEN						INTERNE EINSTELLGRÖßEN						BEWERTUNGSKRITERIEN				ZUSTANDSVARIABLEN		
		DESIGN-PARAMETER	(Max.) Laststrom	(Max.) Phasenspannung	Zellchemie	Nennspannung BZ	(Max.) Bauraum	Phasenzahl	Mikrotopologie	Makrotopologie	PP-Konfiguration	SM-Konfiguration	Schaltfrequenz	Ansteuerverfahren	(Max.) Leitverluste	(Max.) Schaltverluste	(Max.) THD-Wert	(Max.) Systemkosten	Stufenhöhe	Modulationsindex	Ladezustand (SoC)
EINFLUSS VON ...	EXTERNE VORGABEN	(Max.) Laststrom	•	(x)	x	(x)	**x**	(x)			(x)			(x)	**x**	**x**		(x)			**x**
		(Max.) Phasenspannung	**x**	•		**x**	(x)	(x)		**x**	x	x			(x)	**x**	x	(x)	(x)	**x**	(x)
		Zellchemie	**x**	(x)	•	**x**	(x)					(x)		(x)	(x)	(x)		**x**	(x)		(x)
		Nennspannung BZ	(x)	(x)	**x**	•	**x**			**x**	(x)	**x**	(x)	x		(x)	(x)	(x)	(x)		**x**
		(Max.) Bauraum	x	x	x	(x)	•	(x)	x	**x**	(x)	**x**			(x)	(x)	(x)	**x**	(x)		
		Phasenzahl	**x**	**x**	(x)	(x)	**x**	•		**x**	x	**x**				**x**	**x**	**x**	(x)	(x)	
	INTERNE EINSTELLGRÖßEN	Mikrotopologie							•	**x**	**x**	(x)		**x**	**x**	**x**	(x)	**x**			(x)
		Makrotopologie								•		**x**		**x**	**x**	**x**	(x)	**x**	(x)		
		PP-Konfiguration	**x**						**x**		•				**x**	**x**		(x)			(x)
		SM-Konfiguration								**x**	**x**	•	(x)	**x**	**x**	**x**	(x)	**x**	x	(x)	(x)
		Schaltfrequenz			(x)								•	(x)		**x**	**x**		(x)		(x)
		Ansteuerverfahren									**x**		**x**	•	**x**	**x**	**x**		x	**x**	(x)
	BEWERTUNGS-KRITERIEN	(Max.) Leitverluste	(x)						(x)	(x)	(x)			**x**	•	**x**		(x)			(x)
		(Max.) Schaltverluste							(x)	(x)	(x)		**x**	**x**	**x**	•	(x)	(x)	(x)		(x)
		(Max.) THD-Wert											**x**	**x**		(x)	•	(x)	(x)		
		(Max.) Systemkosten	(x)	(x)	(x)	(x)	(x)	(x)	**x**	**x**	(x)	**x**	(x)	(x)	(x)	(x)	(x)	•	(x)		(x)
	ZUSTANDS-VARIABLEN	Stufenhöhe											(x)	x		(x)	**x**		•		
		Modulationsindex											(x)	**x**	(x)	(x)	**x**			•	
		Ladezustand (SoC)				**x**					**x**		(x)	**x**	(x)	(x)	(x)	(x)	(x)		•

Abkürzungen: BZ = Batteriezelle, Max. = Maximale(r).

Bedeutung: • = Identität. (x) = Indirekt. x = Geringe direkte Einflussnahme. **x** = Hohe direkte Einflussnahme.

Betrachtet man die Einflussnahme des fließenden Stroms, so wirkt sich dieser vor allem auf die beiden Verlustkomponenten sowie den Ladezustand einer Energiespeichereinheit aus. Gemäß der Definition in den Gleichungen (4.39) und (4.41) geht der Laststrom quadratisch in die Verlustleistung ein. Umgekehrt wirkt sich eine Limitierung der Leitverluste zwar im System aus. Eine Regulierung kann in diesem Zusammenhang jedoch ausschließlich über die Modifikation zusätzlicher interner Einstellgrößen erfolgen, wie beispielsweise der angesprochenen Realisierung von Parallelverbünden. Diese führt zur Aufteilung des Laststroms auf $n_{\mathrm{ESU,pp}}$ Energiespeichereinheiten und dadurch zu einer Reduzierung der Leitverluste im MLI, wie von Terbrack et al. gezeigt [161]. Unter Einbezug von Gleichung (4.45), wirkt sich der Laststrom auch auf die Schaltverluste aus. Damit trägt der Laststrom maßgeblich zu den Verlusten im MLI-System bei. Neben dem Laststrom selbst ist auch die Mikrotopologie von hoher Relevanz für die resultierenden Leitverluste. Abhängig von der vorliegenden Schaltstruktur befinden sich unterschiedlich viele Schalter im Lastpfad, die alle zu den Leitverlusten beitragen. Zusätzlich kann mit steigender Schalterzahl auch die Zahl der Schaltoperationen zunehmen. Der Einfluss der Mikrotopologie auf die Gesamtverlustbilanz muss daher stets berücksichtigt werden. Gemäß Gleichung (4.46) äußert sich die Phasenspannung, insbesondere in Form der Diskretisierungsstufen der MLI-Ausgangsspannung, im Gegensatz zum Laststrom in der Verlustbilanz des MLI-Systems vorrangig über die Schaltverluste. Die Leitverluste stellen sich in erster Linie unabhängig von der Phasenspannung ein. Aufgrund des ohmschen Gesetzes kann jedoch ein indirekter Zusammenhang festgehalten werden. Wie aus der Einführung des Ladezustands hervorgeht, unterliegt dieser laut Gleichung (4.4) direkten Veränderungen durch den fließenden Lade- oder Entladestrom. Es lässt sich hier eine starke Wechselwirkung ableiten. Die Beschreibungen zu den Systemkosten in Abschnitt 4.4.3 verdeutlichen, dass der maximale Laststrom ein entscheidender Faktor bei der Bestimmung der erforderlichen Anzahl an Halbleiterelementen ist, die zur Gewährleistung der Stromtragfähigkeit parallel geschaltet werden müssen [149, 155]. Aufgrund dieser Einflussnahme wirkt sich die Stromvorgabe indirekt auf die Systemkosten aus. Eine ähnliche indirekte Auswirkung auf die Systemkosten zeigt sich auch bei der Systemspannung. Mit steigender Referenzspannung je Inverterphase steigt die Anzahl der erforderlichen Batteriezellen, um die Systemanforderungen zu erfüllen. Damit besteht ebenso eine Abhängigkeit zwischen der maximalen Phasenspannung und der SM-Konfiguration. Da jedoch die exakte Auslegung der Module und insbesondere deren Symmetrie von dieser Vorgabe weitgehend unbeeinflusst bleibt, ist die zugrundeliegende Abhängigkeit vergleichsweise gering. Im Gegensatz dazu hat die maximale Spannungsforderung einen maßgeblichen Einfluss auf die Makrotopologie. Neben der Phasenzahl selbst, die den wesentlichen makroskopischen Aufbau definiert, bestimmt $\hat{u}_{\mathrm{ref}}$ in Verbindung mit einer gewählten Mikrotopologie, ob der Einsatz einer externen Polaritätsumkehreinheit notwendig ist. Dieser zusätzliche Aufwand, beispielsweise in Form einer zu jeder Phase parallel geschalteten H-Brücke entsprechend Abbildung 2.4h, macht sich dabei sowohl in den Systemkosten als auch in beiden Verlustkomponenten bemerkbar. Diese makroskopische Einflussnahme unter Verwendung einer Polaritätsumkehreinheit sowie die allgemeine Anzahl vorhandener Phasen führen zu einer starken Wechselwirkung zwischen der Makrotopologie und der SM-Konfiguration.

Auch die Wahl der Batteriezelle wirkt sich erheblich auf das Systemdesign aus. Wie in Abschnitt 2.2 definiert, entspricht die Energiespeichereinheit eines Submoduls der Serienschaltung einer oder mehrerer Lithium-Ionen-Batteriezellen. Die zugehörige Nennspannung bildet damit die Diskretisierungsspannung der Energiespeichereinheiten und in der Folge der im System vorhandenen Modulspannungen. Infolgedessen besteht eine starke Wechselwirkung zwischen der eingesetzten Batteriezelle mit ihrer Nennspannung und den internen Einstellgrößen der Makrotopologie sowie insbesondere der SM-Konfiguration. Über u_{cell} wird das Design der Submodule maßgeblich beeinflusst, was sich wiederum auf die Makrotopologie auswirkt. Weiterhin ist die Ausgestaltung der Module eine entscheidende Größe im Hinblick auf die Systemkosten. Je nach Anzahl und Größe der Module können die Systemkosten

erheblich variieren. Die Wechselwirkung zwischen der Batteriezelle und dem Systemdesign ist daher stark ausgeprägt. Dabei unterliegen auch die auftretenden Schaltverluste einer starken Abhängigkeit von der jeweils vorliegenden Modulspannung, wie anhand von Gleichung (4.46) deutlich wird. Diese Einflussnahme lässt sich auch für die Leitverluste des Systems feststellen. Je nach Auslegung der Module, insbesondere im Falle einer asymmetrischen Gestaltung, können sich die Einschaltzeiten der Module erheblich unterscheiden [152]. Aufgrund der unterschiedlichen Modulspannungen, die zu einer Abweichung in den eingesetzten Halbleiterkomponenten und somit zu unterschiedlichen Schalterpfadwiderständen führen, hat die SM-Konfiguration einen bedeutenden Einfluss auf die Leitverluste im Invertersystem. Diese Erläuterungen begründen ebenso die Einflussnahme der SM-Konfiguration auf die Ansteuerung sowie die Stufenhöhe des resultierenden Spannungsmusters. Vor allem im Hinblick auf AMLIs muss die Ansteuerung dem Moduldesign angepasst werden [155]. Darüber hinaus bildet die SM-Konfiguration die Grundlage für die Realisierung von Parallelverbünden. Im Falle eines SMLI und dem Einsatz einer Mikrotopologie, welche die Parallelisierung von Energiespeichereinheiten erlaubt, lassen sich in der Regel Parallelpacks formieren. Weichen alle Submodule in ihrem Design voneinander ab und liegt damit eine rein asymmetrische Struktur vor, ist die Implementierung von Parallelverbünden unabhängig von der vorliegenden Mikrotopologie nicht möglich. Dies führt in der Konsequenz zu einer indirekten Einflussnahme der SM-Konfiguration auf den Ladezustand der ESUs. Die Wahl der Mikrotopologie gestaltet sich im Wesentlichen unbeeinflusst von der SM-Konfiguration. Dennoch ist zu beachten, dass sich je nach vorliegender SM-Konfiguration verschiedene Mikrotopologien als nachteilig erweisen können [155]. Die SM-Konfiguration stellt damit einen essenziellen Stellhebel im MLI-Design dar. Aufgrund der engen Korrelation der Batterienennspannung mit der SM-Konfiguration lassen sich etwaige indirekte Auswirkungen dieser auf entsprechende Einflussfaktoren ableiten.

Analog zu den Systemkosten kann auch der Bauraum eine Limitierung für diverse externe Vorgaben darstellen, wie beispielsweise die maximale Systemenergie und die Wahl bzw. die Anzahl der Batteriezellen. In der Folge wirken sowohl der Bauraum als auch die Systemkosten auf die Makrotopologie sowie die SM-Konfiguration ein. Insbesondere in Bezug auf das makroskopische Systemdesign kann sich eine Kosten- oder Bauraumbegrenzung in Form der Einsparung der Polaritätsumkehreinheit äußern. Die Systemkosten und der Bauraum stehen dabei in starker Korrelation zueinander. Dies gilt ebenso für die Anzahl der Phasen der eingesetzten elektrischen Maschinen und damit der erforderlichen Phasenstränge beim MLI-System. Neben der hardwareseitigen Vorgabe wirkt sich die Phasenzahl auch maßgeblich auf den THD-Wert aus, wie in Abschnitt 5.3.2.1 näher erläutert wird. Generell kann der THD-Wert vor allem durch softwareseitig einstellbare interne Einstellgrößen beeinflusst werden. Hierzu zählen vorrangig das gewählte Ansteuerverfahren, die Schaltfrequenz und die jeweils auftretenden Stufenhöhen im Ausgangsspannungsmuster. Dabei erfolgt die Modifikation der beiden letztgenannten Einflussfaktoren in der Ansteuerung selbst, weshalb diese einen maßgeblichen Einfluss auf den Oberwellengehalt einer MLI-Ausgangsspannung besitzt. Dabei muss jedoch berücksichtigt werden, dass die Stufenhöhe in erster Linie von der SM-Konfiguration abhängt. Die Einflussnahme des Ansteuerverfahrens ist nur begrenzt möglich, wie sich insbesondere in Abschnitt 5.2 zeigt. Im Allgemeinen wirken sich die Stufenhöhe und die Schaltfrequenz indirekt proportional auf den resultierenden THD-Wert aus. Auch der Amplitudenmodulationsindex trägt maßgeblich zum Ergebnis des Oberwellengehalts bei. Mit abnehmender Referenzforderung $\hat{u}_{\mathrm{ref}}$ verringert sich der Modulationsindex m_{a}, was zu einer Reduzierung der Stufenanzahl in der resultierenden Ausgangsspannung führt. Um entsprechende Anforderungen an den THD-Wert zu erfüllen, wie beispielsweise die 8 %-Forderung im Falle der Spannungssignale, kann über eine Erhöhung der Schaltfrequenz gegengesteuert werden. Unter Berücksichtigung der in Gleichung (4.45) gegebenen Definition der Schaltverluste und damit der maßgeblichen Auswirkung von f_{sw} auf P_{sw}, kann eine indirekte Einflussnahme des Amplitudenmodulationsindexes auf die Inverterverluste abgeleitet werden. Ähnliche Zusammenhänge gelten für die Stufenhöhe.

Mit steigendem Spannungswert der Stufen in einer MLI-Ausgangsspannung erhöht sich in der Regel auch der Oberwellengehalt. Dieser Effekt kann durch eine Erhöhung der Schaltfrequenz ausgeglichen werden, wodurch ähnliche Konsequenzen wie beim Amplitudenmodulationsindex auftreten. Diese Regulierung findet softwareseitig im Modulationsblock der Ansteuerung statt, weshalb diese eine starke Wechselwirkung mit den Bewertungskriterien in Form der Verluste sowie des THD-Werts aufweist. Reziprok betrachtet können zu hohe Verluste oder eine Überschreitung des geforderten minimalen THD-Werts zu einer Modifikation des Ansteuerverfahrens führen oder generell die Wahl der Ansteuermethode beeinflussen. Beispiele hierfür sind ein sogenannter graphenbasierter Ansatz [155]. Über diesen Ansatz wird die Ansteuerung der Schalter derart gesteuert, dass die Leitverluste des Systems minimiert werden. Darüber hinaus erlaubt die Anwendung der SHE-Verfahren, deren Prinzip in den Grundlagen eingeführt wird (siehe Abschnitt 2.1.3), eine gezielte Eliminierung der Oberwellen.
Die Implementierung von Parallelverbünden stellt eine softwareseitige Vorgabe der Steuersignale für die inhärenten Halbleiterschalter dar, weshalb diese auch als eine Spezialisierung der Ansteuerung angesehen werden kann. Damit existiert eine ausgeprägte Wechselwirkung zwischen dem Ansteuerverfahren und der PP-Konfiguration. Dabei kann die PP-Formation mit einem generellen Ansteuerverfahren kombiniert werden [155]. Neben dem eigentlichen Ziel der Verlustminimierung beeinflusst die PP-Formation auch den Ladezustand der Energiespeichereinheiten. Dies gilt in der Regel ebenso für jedes andere Ansteuerverfahren. Da allerdings der eigentliche Einflussfaktor durch den Laststrom repräsentiert wird, wird die Wechselwirkung als indirekt eingestuft.

5.1.2 Zusammenfassung und Ableitung der relevanten Abhängigkeitscluster

Die in Tabelle 5.1 eingeführte Differenzierung ermöglicht eine sorgfältige Bewertung der vorhandenen Wechselwirkungen. Die Hauptintention dieser Differenzierung besteht in der Gruppierung der Parameterabhängigkeiten und damit einer geeigneten Ableitung sogenannter *Cluster*. Diese spiegeln eine Einteilung der Einflussfaktoren wider, welche in den nachfolgenden Abschnitten zunächst gesondert untersucht werden. Durch die separate Betrachtung der Parameter lassen sich die jeweiligen Wechselwirkungen in geeigneter Weise fundiert analysieren und optimieren. Die Einteilung begründet sich in erster Linie auf den stark ausgeprägten Wechselwirkungen, welche in der Abhängigkeitsmatrix in Tabelle 5.2 gegeben sind. Je nach den aktuell betrachteten Abhängigkeiten werden auch die Auswirkungen auf indirekt beeinflusste Einflussfaktoren erläutert. Der Fokus liegt dabei auf der direkten Einflussnahme. Darüber hinaus erfolgt mit jedem Abschnitt eine sukzessive Erweiterung der Parameterbandbreite, sodass in die Abhängigkeitsanalyse des jeweils vorliegenden Clusters auch die Einflussfaktoren des vorhergehenden Abschnitts einfließen. Dieses Vorgehen ermöglicht damit eine gesamtheitliche Betrachtung. Die Einteilung der relevanten Einflussfaktoren erfolgt in insgesamt vier unterschiedliche Cluster. Abbildung 5.1 zeigt hierzu die grundsätzliche Gliederung und den Aufbau von Abschnitt 5.2 bis Abschnitt 5.5. Aus Gründen der Übersichtlichkeit wird die Abkürzung PA für Parameterabhängigkeiten eingeführt. Es sei angemerkt, dass die Farbgebung der einzelnen Einflussfaktoren sowie der entsprechenden Pfeile in Abbildung 5.1 bewusst gewählt wurde. Faktoren, die innerhalb eines Clusters neu untersucht werden und deren Einfluss auf weitere Größen erstmals Gegenstand der Analyse ist, sind in schwarzer Schrift hervorgehoben. Die zugehörigen Pfeile weisen dieselbe Färbung auf. Parameter, die bereits in einem vorhergehenden Cluster betrachtet wurden, erscheinen hingegen in grauer Darstellung. Der Hauptaugenmerk der jeweiligen Clusteruntersuchungen liegt dabei auf den schwarz markierten Einflussgrößen. Die zusätzlich dargestellten grauen Faktoren stellen jedoch ebenso einen Teil der Analysen dar, da auch deren Wechselwirkungen mit den fokussierten Einflussgrößen in die Betrachtungen einfließen.

In Abschnitt 5.2 werden Parameter behandelt, deren Abhängigkeiten sich hauptsächlich aus dem Hardwareaufbau des MLI-Systems begründen. Das zugehörige Cluster wird daher als *Hardwareaufbau* bezeichnet. Die auf Basis der Abhängigkeitsmatrix für dieses Cluster als relevant identifizierten Einflussfaktoren sind in der zugehörigen Grafik in Abbildung 5.1 erkennbar. Die Ausgangssituation bilden dabei der verfügbare Bauraum, die erforderliche Systemenergie sowie die Wahl der Batteriezelle mit der zugrunde liegenden Zellchemie. Diese wirken sich mitunter auf die Makrotopologie, die SM-Konfiguration und die Phasenzahl aus. Auf Basis der Abhängigkeitsmatrix bestehen in erster Linie Wechselwirkungen zu der Mikrotopologie, den dadurch auftretenden Systemkosten sowie der Stufenhöhe der MLI-Ausgangsspannung als stark beeinflusste Zustandsvariable durch die SM-Konfiguration. In einem weiteren Schritt werden in Abschnitt 5.3 Einflussfaktoren betrachtet, die eng mit dem THD-Wert verknüpft sind. Daher wird für das zweite Cluster der Begriff *THD* gewählt. Zu den fokussierten Einflussfaktoren im THD-Cluster zählen vor allem die Schaltfrequenz und der Amplitudenmodulationsindex. Da beispielsweise die Stufenhöhe und in der Folge auch die SM-Konfiguration ebenso einen maßgeblichen Einfluss auf die Parameter des zweiten Clusters besitzen und umgekehrt, werden die Einflussfaktoren aus Abschnitt 5.2 sukzessive in die Betrachtungen einbezogen. Wie Tabelle 5.2 zeigt, spielen auch die Systemverluste eine entscheidende Rolle. In Abschnitt 5.4 stehen deshalb die Schalt- und Leitverluste im Fokus der Betrachtungen. Die Bezeichnung des dritten Clusters lautet in der Folge *Verluste*. Insbesondere behandelt dieser Abschnitt die gegenseitige Einflussnahme der Verluste mit Parametern wie der Mikrotopologie, der SM-Konfiguration, der Schaltfrequenz, der Stufenhöhe sowie dem Amplitudenmodulationsindex. Mittels optimierter Design- und Vergleichsprozesse werden dabei die vielversprechendsten MLI-Designs identifiziert und Empfehlungen für die Anwendung abgegeben. Der letzte Abschnitt zu den betrachteten Clustern, Abschnitt 5.5, widmet sich der Auseinandersetzung mit der Eigenschaft der Parallelisierung von Energiespeichereinheiten sowie daraus resultierender Effekte. Dieses Cluster trägt daher die Bezeichnung *Parallelisierung*. Während zunächst die Ursache von Ungleichverteilungen des Stroms innerhalb eines Parallelverbunds beleuchtet und das sogenannte Randzellenproblem vorgestellt wird, erfolgt insbesondere eine Untersuchung der Einflussnahme der Formierung von Parallelverbünden auf andere Einflussfaktoren. Der Hauptaugenmerk in diesem Abschnitt liegt deshalb auf der PP-Konfiguration, den Leitverlusten, dem Laststrom sowie den SoC-Werten der Energiespeichereinheiten.

Es sei an dieser Stelle explizit erwähnt, dass in den einzelnen Unterkapiteln von Abschnitt 5.2 bis Abschnitt 5.5 jeweils zwei oder mehr Einflussfaktoren sowie deren wechselseitige Beziehungen untersucht werden. Die betrachteten Faktoren sind der jeweiligen Überschrift zu entnehmen. Dabei finden auch andere Einflussfaktoren Anwendung, den Fokus der Betrachtungen bilden jedoch die Parameter der Überschrift. Sofern es sich anbietet, werden darüber hinaus an ausgewählten Stellen MLI-Spezifikationen in die Analysen einbezogen.
Die Untersuchungen in den folgenden Unterabschnitten basieren überwiegend auf den Referenzen [152–156].

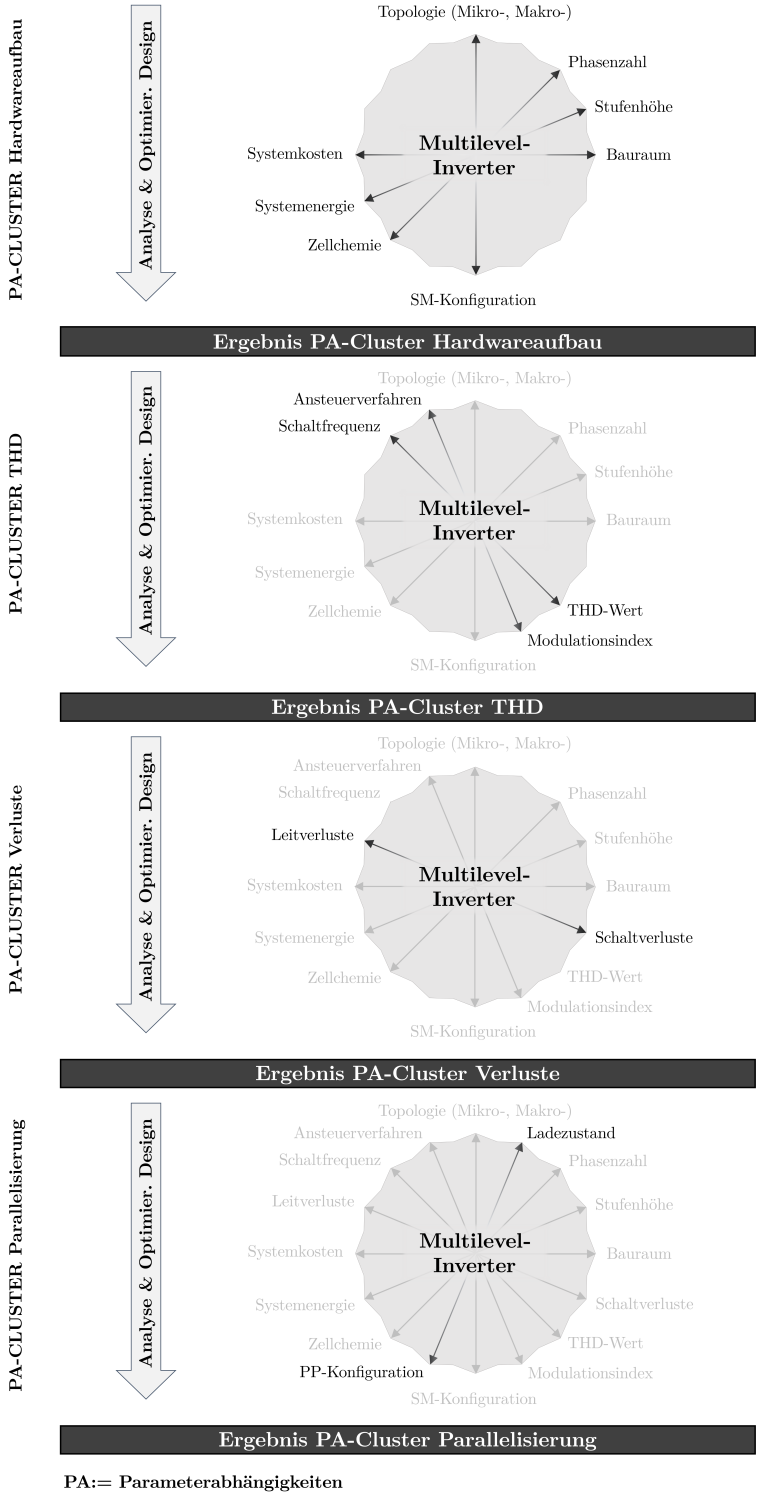
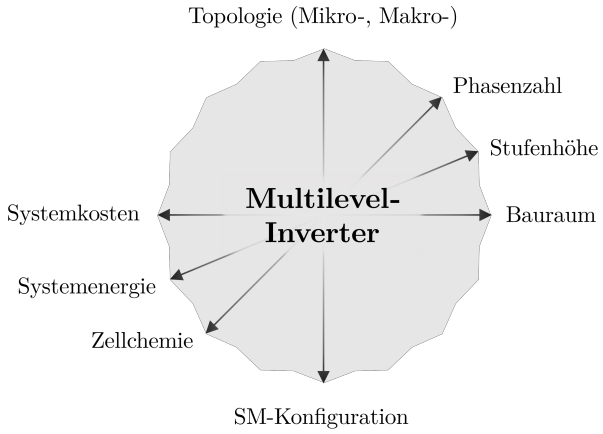


Abbildung 5.1: Übersicht über den folgenden, sukzessiven Analyse- und Optimierungsprozess der Parameterabhängigskeits-Cluster beim MLI-Design. Hinweis: Die Abkürzung ‚Optimier.' in den dargestellten Pfeilen spiegelt ‚Optimiertes' wieder.

5.2 Parameterabhängigkeiten: Cluster Hardwareaufbau



Externe Vorgaben eines Elektrofahrzeugs wie die Gesamtenergie des Systems, die Wahl der Batteriezelle sowie der verfügbare Bauraum bilden die Ausgangssituation, ein MLI-Design zu realisieren. Unter der Annahme fester Vorgaben ergeben sich weitere Einflussfaktoren wie die Phasenzahl sowie die Anzahl vorhandener Batteriezellen im System, auf Basis derer unterschiedliche Inverterkonzepte ausgearbeitet werden können. Das erste Parameterabhängigkeits-Cluster konzentriert sich zunächst unter Berücksichtigung dieser Voraussetzungen anhand eines konkreten Beispiels auf interne Einstellgrößen, die auf Hardware-Ebene implementiert werden müssen. Hierzu zählen die Topologie, sowohl aus mikroskopischer als auch aus makroskopischer Sicht, sowie die SM-Konfiguration, die die Realisierung des Moduldesigns verkörpert. Aufgrund der starken Korrelation zwischen der SM-Konfiguration und der Stufenhöhe wird diese als Zustandsvariable bereits im ersten Cluster in die Betrachtungen einbezogen. Darüber hinaus spielen die Systemkosten eine zentrale Rolle bei der MLI-Auslegung und können anders als die Systemverluste oder der THD-Wert bereits auf Basis des reinen Hardware-Designs ermittelt werden. Bevor im zweiten Teil dieses Abschnitts eine konkrete Analyse ausgewählter Abhängigkeiten und die Optimierung einiger Zusammenhänge erfolgt, wird zunächst der Stand des Wissens erläutert.

5.2.1 Stand der Technik

Der Stand der Technik zu einzelnen Einflussfaktoren, die im Hardwareaufbau-Cluster betrachtet werden, ist in den jeweils zugehörigen Abschnitten erläutert. So findet sich in Abschnitt 3.1 der aktuelle Stand des Wissens zu Mikrotopologien, in Abschnitt 4.4.3.1 zur Realisierung von Kostenmodellen sowie in Abschnitt 4.3.2.1 zu verschiedenen Varianten der Submodul-Konfiguration. Da sich die Cluster-Abschnitte mit den Abhängigkeiten der Einflussfaktoren auseinandersetzen, erfolgt an dieser Stelle eine Abhandlung über den aktuellen Stand des Wissens hinsichtlich der relevanten Wechselwirkungen. Insbesondere wird der Einfluss der SM-Konfiguration auf die Stufenhöhe sowie verschiedene MLI-Spezifikationen in Form der Anzahl an Spannungslevel, des Ausgangsspannungsmusters und der Spannungsfestigkeit der Schalter betrachtet. Ebenso werden die Abhängigkeiten zwischen der SM-Konfiguration, der Mikrotopologie und den Systemkosten berücksichtigt.

Memon et al. analysieren die Auswirkung des Moduldesigns auf die Progression der Anzahl generierbarer Spannungslevel bei wachsender Anzahl an Energiespeichereinheiten [102]. Letztere kann mit der Anzahl an Submodulen gleichgesetzt werden. Die Autoren stellen in dieser Betrachtung ein rein

symmetrisches System zwei AMLI-Systemen gegenüber, wobei in allen drei Fällen die CHB-Struktur zugrunde liegt. Die beiden asymmetrischen Konfigurationen verkörpern jeweils das sogenannte Binär- und Trinärsystem, deren Definition in den Gleichungen (4.7) und (4.8) im Stand der Technik zu den Konfigurationen gegeben ist. Der Vergleich der drei Systeme zeigt, dass n_{level} im Falle der AMLI-Systeme einen deutlich stärkeren Anstieg aufweist, wobei dieser im Falle des Trinärsystems am größten ist. Dieser Umstand resultiert aus den zugrundeliegenden Designregeln, die dem Schema der Exponentialfolge entsprechen. Die Anzahl der Spannungslevel bei einem rein symmetrischen Design zeigt dagegen einen linearen Verlauf gemäß Gleichung (4.12). Die Autoren präsentieren zudem einen Vergleich einer Vielzahl aktueller MLI-Strukturen hinsichtlich des erforderlichen Hardwareaufwands. Dabei betrachten die Autoren im Speziellen MLI-Topologien, die zur Bauteilreduktion entwickelt wurden. Für die Gegenüberstellung werden sowohl die Zahl der erforderlichen Spannungsquellen als auch die der Halbleiterelemente über dem Verlauf von n_{level} für alle betrachteten Topologien ermittelt. Die Ergebnisse demonstrieren, dass der symmetrische CHB-MLI die meisten Halbleiterelemente benötigt. Im Gegensatz dazu verwendet diese MLI-Variante jedoch die geringste Anzahl an Spannungsquellen. Unter der Voraussetzung der Generierung einer identischen Anzahl an Spannungslevel erzielt eine spezielle asymmetrische MLI-Topologie, deren Mikrotopologie der Halbbrücke entspricht, insgesamt den niedrigsten Hardwareaufwand. Diese Struktur besitzt neben einem asymmetrischen Moduldesign ein einziges Submodul, deren Energiespeichereinheit im Vergleich zu den übrigen mit umgekehrter Polarität in den Lastpfad geschaltet ist. Diese Schaltungsmaßnahme erlaubt die Erzeugung sowohl positiver als auch negativer Ausgangsspannungen und ermöglicht damit die Einsparung einer externen Polaritätsumkehreinheit. Durch die Kombination von Submodulen divergierender Modulpolarität lassen sich darüber hinaus äquidistante Spannungslevel im Ausgangsspannungsmuster hervorbringen. Zudem kann mit der vorgestellten MLI-Struktur die Spannungsfestigkeit der eingesetzten Halbleiterelemente reduziert werden. Die Autoren berücksichtigen dabei jedoch nicht den Aspekt, dass ein symmetrischer CHalfB-MLI durch den Einsatz einer externen Polaritätsumkehreinheit den erzeugbaren Spannungshub verdoppeln könnte. In ihrer Publikation untersuchen Rani et al. ebenso den Einfluss der Modulsymmetrie auf das generierbare Ausgangsspannungsmuster und im Speziellen auf die Anzahl der Spannungslevel [129]. Dabei bewerten die Autoren den Bedarf an Hardwarekomponenten für die Erzeugung von Ausgangsspannungen mit 25 unterschiedlichen Spannungslevel. Die Mikrotopologie der MLI-Systeme entspricht wie auch bei Memon et al. der CHB-Struktur. Im Falle des AMLI setzen die Autoren abweichend von der Form der H-Brücke zwei weitere Schalter in Kombination mit je vier Dioden ein. Die Gegenüberstellung zeigt, dass sich bei identischem Wert von n_{level} die Zahl der erforderlichen Komponenten mit dem asymmetrischen Design deutlich minimieren lässt. Im Detail kann der Bedarf an Halbleiterelementen im Falle des AMLI auf einen Wert von unter 25 % reduziert werden. Die Anzahl der Spannungsquellen verringert sich zudem um den Faktor drei. Rani et al. berücksichtigen in ihren Analysen allerdings nicht, dass die Kosten der Halbleiterelemente in der Regel mit steigender Modulspannung zunehmen. Dieser Aspekt ist insbesondere bei einer Gegenüberstellung der Inverterkosten von entscheidender Bedeutung und kann trotz einer geringeren Anzahl an Halbleiterelementen zu höheren Kosten des asymmetrischen Designs führen. Darüber hinaus werden in der Studie lediglich zwei konkrete SM-Konfigurationen gegenübergestellt. Die betrachtete Bandbreite der Submodul-Konfigurationen ist somit vergleichsweise gering, was die Ableitung allgemeiner Zusammenhänge einschränkt. Auch Dixon et al. greifen das Potential zur Einsparung von Systemkomponenten infolge eines asymmetrischen Moduldesigns auf [32]. Wie in Abschnitt 4.3.2.1 eingeführt, präsentieren die Autoren ein spezielles AMLI-System, das auf einer einzigen Spannungsquelle basiert. Durch einen zusätzlichen Transformator können insgesamt sechs Spannungen aus dieser alleinigen Spannungsquelle erzeugt werden. Im dargestellten System sind jeweils zwei Windungen einer Inverterphase zugeordnet. Der gesamte Aufbau ermöglicht die Bereitstellung dreier unterschiedlicher Teilspannun-

gen je Inverterphase, deren Verhältnis der Exponentialfolge bei einer Basis von $b = 3$ folgt. Gemäß den Erläuterungen in Abschnitt 4.3.2.3 weisen die zugehörigen Phasenspannungen aufgrund dieser speziellen Designvorschrift trotz des geringen Hardwareaufwands eine maximale Granularität auf. Eine Voraussetzung für diese Umsetzung stellt die Implementierung von Modulkombinationen dar, deren Modulspannungen eine divergierende Polarität aufweisen können. Diese Bedingung ist durch den Einsatz der H-Brücke als Submodul-Topologie erfüllt. Die Autoren betrachten allerdings keine weiteren Mikrotopologien oder andere SM-Konfigurationen. Auch fehlen konkrete Zahlenwerte zu den Inverterkosten sowie zu der Einsparung gegenüber reinen SMLI-Systemen. Der Aspekt des Einflusses der Submodul-Konfiguration auf die Inverterkosten wird ebenso wenig beleuchtet. Im Gegensatz zu der von Dixon et al. betrachteten MLI-Struktur ermöglicht der von Kangarlu et al. eingeführte CS-MLI nur bedingt die Anwendung von Pol-Kombinationen [75]. Wie sich anhand der Darstellung in Tabelle 3.1 erkennen lässt, ist die Anzahl an Schaltern je Submodul mit einem Wert von zwei vergleichsweise gering. Der CS-MLI ist prinzipiell in der Lage, eine identische Anzahl von Spannungsstufen wie die CHB zu erzeugen, wobei gleichzeitig die erforderliche Anzahl an Halbleiterelementen halbiert wird. Die spezielle Schaltstruktur der Spannungsquellen unterbindet jedoch die Serienschaltung zweier benachbarter Energiespeichereinheiten unterschiedlicher Polarität, wie dies beispielsweise bei der BM3- oder der PECIN-Struktur realisierbar ist. Es existieren damit Spannungslevel, die trotz der inhärenten Energiespeichereinheiten aufgrund der Schaltstruktur des CS-MLI nicht bereitgestellt werden können. Diesen Sachverhalt beschreiben auch Gupta et al. [48]. Durch die spezielle Verschaltung ist der CS-MLI weiterhin nicht in der Lage, jede inhärente Energiespeichereinheit individuell zu überbrücken. Um eine bestimmte Spannungsquelle aus dem aktuellen Lastpfad heraus zu schalten, muss mindestens eine weitere benachbarte Energiespeichereinheit überbrückt werden. Gupta et al. stellen deshalb in ihrer Publikation eine asymmetrische Implementierung des CS-MLI vor, die das Problem nicht erzeugbarer Spannungslevel trotz der Präsenz der Energiespeichereinheit behebt [48]. Die Autoren modifizieren das Topologiedesign einerseits durch ein asymmetrisches Spannungsverhältnis der Energiespeichereinheiten. Dabei folgen die Modulspannungen nicht der Exponentialfolge, sondern unterscheiden sich jeweils um denselben Spannungswert u_{cell}. Andererseits wenden Gupta et al. eine explizite Reihenfolge der einzelnen Energiespeichereinheiten an. Diese Anpassungen führen zur Erzeugung eines Ausgangsspannungsmusters mit äquidistanten Spannungsstufen. Dieser Sachverhalt verdeutlicht den entscheidenden Einfluss der SM-Konfiguration auf das Spannungsmuster sowie die Höhe der Spannungsstufen. Trotz dieser Modifikationen könnten höhere Spannungen, ein größerer Wert von n_{level} sowie eine feinere Granularität durch die Anwendung von Designprinzipien wie der Exponentialfolge erreicht werden. Diese Anpassungen werden jedoch durch die zugrundeliegende Mikrotopologie verhindert. Da die Autoren keine Änderungen an der Schalterstruktur selbst vornehmen, ist die Anwendung der Pol-Kombinationen nicht möglich. Dieser Umstand verdeutlicht, dass auch die Mikrotopologie einen Einfluss auf das resultierende Spannungsmuster eines MLI besitzt. Anhand der asymmetrischen Ausgestaltung der CS-MLI-Struktur zeigen die Autoren zudem, dass die Halbleiterelemente innerhalb eines MLI-Phasenstrangs eine unterschiedliche Spannungsfestigkeit aufweisen. Während die Schalter an den Außenseiten des Inverterstrangs nur dem Wert der Spannungsquelle des zugehörigen Moduls standhalten müssen, entspricht die STV der übrigen Halbleiterelemente der Summe der beiden angeschlossenen Spannungsquellen. Diesen Sachverhalt berücksichtigen Gupta et al. bei der Auswahl der Halbleiterelemente. Allerdings finden sich keine Angaben zu den Systemkosten oder Erläuterungen zur Auswirkung der Schalterwahl auf die entstehenden Inverterkosten. Babaei et al. präsentieren ebenso eine Erweiterung zu der vorgestellten CS-MLI-Topologie von Kangarlu et al. in Form des CCS-MLI, der sich sowohl als symmetrisches als auch als asymmetrisches Design realisieren lässt [75, 76] . Dabei ist die Möglichkeit eines individuellen Überbrückens jeder Energiespeichereinheit gegeben. In symmetrischer Ausführung weist diese eine geringere Anzahl an Komponenten auf als andere Stand der

Technik-Strukturen. Allerdings ist die zugehörige, maximale Spannungsfestigkeit vergleichsweise hoch. Die asymmetrische Version hingegen kombiniert beide Vorteile. Sie benötigt die geringste Anzahl an erforderlichen Hardwarekomponenten bei gleichzeitig minimaler STV. Die Autoren beschreiben jedoch das Problem von AMLI-Systemen, bei denen aufgrund der divergierenden Modulspannungen in den meisten Fällen der Einsatz unterschiedlicher Halbleiterelemente erforderlich ist. Dies wiederum führt zu erhöhten Systemkosten. Einen konkreten Kostenvergleich bieten Islam et al., wobei die drei Grundvarianten von MLIs in Form des NPC-, des FC- sowie des kaskadierten MLI verglichen werden [72]. Darüber hinaus wird der Einfluss der Modulanzahl beleuchtet, indem alle drei Invertertypen jeweils als 9- sowie als 21-Level-Inverter untersucht werden. Es werden damit insgesamt sechs Invertersysteme miteinander verglichen. Mithilfe der Darstellung der zugehörigen MLI-Phasenspannungen zeigen die Autoren den Einfluss der Modulzahl auf das Ausgangsspannungsmuster. Durch die Verdopplung der Modulzahl je Inverterphase wird eine deutlich präzisere Nachbildung der geforderten Referenzspannung erzielt. Dies trifft auf alle drei Topologievarianten zu. Der Kostenvergleich zeigt zudem, dass der kaskadierte MLI im Vergleich zur NPC- sowie zur FC-Struktur geringere Kosten verursacht. Dies lässt sich auf die in Abschnitt 2.1.2.1 erläuterte Reduzierung der erforderlichen Bauteilkomponenten mittels des CMLI zurückführen. Darüber hinaus demonstrieren die Autoren anhand konkreter Werte, dass ein System mit höherer Modulzahl in allen drei Fällen zu höheren Inverterkosten führt. Allerdings zeigen die Autoren keine Gegenüberstellung verschiedener kaskadierter MLI-Systeme. Zudem werden ausschließlich SMLI-Systeme betrachtet. Der Einfluss von AMLI-System wird nicht berücksichtigt.

5.2.2 Analyse und Optimierung

Bei der Auslegung eines Elektrofahrzeugs müssen verschiedene externe Vorgaben berücksichtigt werden. In der Regel existieren externe Vorgaben hinsichtlich der Reichweite, des Beschleunigungsverhaltens sowie der daraus resultierenden Systemleistung. Diese Systemanforderungen bestimmen unter anderem den notwendigen Energiebedarf des BEV, woraus sich die erforderliche Batteriekapazität, der jeweilige Laststrom sowie die Systemspannung ermitteln lassen. Die gewählte Batteriezelle limitiert den maximal auftretenden Laststrom. Die geforderte Kapazität des Systems sowie die maximale Phasenspannung definieren die Anzahl an Batteriezellen und damit die Dimensionen des Batteriesystems. Diese Systemanforderungen z.B. in Form der Systemleistung beeinflussen weiterhin die Auswahl der elektrischen Maschine, die für die Gewährleistung des notwendigen Drehmoments zuständig ist. Die elektrische Maschine bestimmt wiederum die Phasenzahl des Antriebsstrangs. Die Leistungselektronik, die für die Versorgung der Maschine zuständig ist, muss dabei so ausgelegt sein, dass die erforderliche Anzahl an Phasen bereitgestellt wird. Die Erläuterungen machen deutlich, dass auch die externen Vorgaben in einer ausgeprägten Wechselwirkung zueinander stehen, wie dies auch in Abschnitt 5.1.1 angedeutet wird. Eine exemplarische Wechselwirkung dieser Einflussfaktoren ist in der Abhängigkeitsmatrix in Tabelle 5.2 gezeigt. Die konkreten Abhängigkeiten ergeben sich jedoch aus den spezifischen Vorgaben des Fahrzeugherstellers. Dieser trifft die Entscheidung über die priorisierten Anforderungen an das System, wie beispielsweise die Einhaltung eines Kostenbudgets, ein maximaler Bauraum oder eine definierte Reichweite. Die übrigen Rahmenbedingungen lassen sich anschließend aus diesen Vorgaben ableiten.

Der Fokus der nachfolgenden Betrachtungen liegt auf den Wechselwirkungen des Systemdesigns. Um eine faire und geeignete Ausgangsbasis verschiedener Invertersysteme zu schaffen, wird von einer vorgegebenen, festen Anzahl an Batteriezellen im Batteriesystem $n_{\mathrm{c,tot}}$ ausgegangen. Damit sind die Gesamtkapazität des Systems und der erforderliche Bauraum der Batterie für alle Invertersysteme identisch. Es sei erwähnt, dass auch andere Vorgehensweisen oder Vorgaben denkbar wären. Beispielsweise könnte die Einhaltung einer bestimmten Kostengrenze festgesetzt werden, auf deren Basis

das bestmögliche MLI-System entwickelt wird. Die Festlegung der Gesamtzahl von Batteriezellen im System bietet jedoch die Freiheit, eine Vielzahl potenzieller Invertersysteme zu untersuchen und zu vergleichen. Eine etwaige Restriktion wie im Falle maximaler Systemkosten könnte Invertersysteme ausschließen, die möglicherweise in anderen Bewertungskriterien überzeugen. Vielmehr erlaubt die getroffene Herangehensweise neben dem Vergleich einer hohen Bandbreite an Invertersystemen, eine eingehende Analyse der Wechselwirkungen und die Ableitung von Empfehlungen hinsichtlich der Anwendung der Systeme.
Wie in den Grundlagen in Kapitel 2 erläutert, repräsentiert die HV-Batterie eines konventionellen BEV einen starren Zellverbund, bestehend aus n_s in Serie und n_p parallel zueinander geschalteten Batteriezellen. Das Batteriesystem stellt damit formal ein großes Batteriemodul dar. Ohne Einschränkung der Allgemeingültigkeit wird das Batteriesystem des *Audi e-tron 50 quattro* herangezogen, das sich aus insgesamt $n_\mathrm{c,tot} = 324$ prismatischen Batteriezellen zusammensetzt. Die exakte Verschaltung entspricht dabei einem 108s3p-System. Dies bedeutet, dass jeweils $n_\mathrm{p} = 3$ Batteriezellen parallel und $n_\mathrm{s} = 108$ dieser Parallelverbünde in Serie verschaltet sind[1]. Ausgangssituation für die folgenden Untersuchungen bildet damit eine Gesamtzahl von $n_\mathrm{c,tot} = 324$ Batteriezellen[2]. Die Phasenzahl einer elektrischen Maschine entspricht typischerweise einem Wert von $n_\mathrm{ph} = 3$ [145]. Der konventionelle B6-Wechselrichter aus Abbildung 2.1 stellt diese drei Phasenspannungen mittels der drei parallel geschalteten Halbbrückenzweige. In einem kaskadierten MLI sind je Inverterphase mehrere Module in einer Serienschaltung angeordnet. Folglich müssen die insgesamt $n_\mathrm{c,tot}$ im System befindlichen Batteriezellen auf die n_ph Phasenstränge aufgeteilt werden. Es stehen damit

$$n_\mathrm{c,ph} = \frac{n_\mathrm{c,tot}}{n_\mathrm{ph}} \tag{5.1}$$

Batteriezellen je MLI-Phasenstrang zur Verfügung. Für die gewählte Ausgangssituation von $n_\mathrm{c,tot} = 324$ Batteriezellen und einer gängigen Phasenzahl von $n_\mathrm{ph} = 3$ ergibt sich mit Gleichung (5.1) ein Wert von $n_\mathrm{c,ph} = 108$ verfügbaren Batteriezellen in einem MLI-Strang. Unter Einbezug der Nennspannung von $3,7\,\mathrm{V}$ der verwendeten Lithium-Ionen-Zelle, gleicht die Phasenspannung eines Inverterstrangs damit näherungsweise einem Wert von $u_\mathrm{MLI} = 400\,\mathrm{V}$. Diese Spannung stellt einen gängigen Wert der Systemspannung in einem Elektrofahrzeug dar [118]. Basierend auf $n_\mathrm{c,ph}$ ergeben sich diverse Gestaltungsmöglichkeiten für die Module in einem MLI-Phasenstrang, sowohl in Bezug auf die Anzahl der Batteriezellen pro Modul $n_\mathrm{c,ESU}$ und damit die Realisierung der Energiespeichereinheiten, als auch hinsichtlich der Modulsymmetrie. Letztere bildet die Grundlage der SM-Konfiguration.
Im Folgenden erfolgt eine ausführliche Erläuterung der Wechselwirkungen zwischen den Einflussfaktoren des ersten Clusters. Die Untersuchungen werden zur Verdeutlichung der Zusammenhänge am Beispiel eines Phasenstrangs mit $n_\mathrm{c,ph} = 108$ Batteriezellen durchgeführt. Angesichts der Annahme einer symmetrischen Gestaltung der Inverterphasen, wie sie typischerweise auch in einem BEV zu finden ist, gelten die Untersuchungen für alle Inverterstränge in identischer Weise.

5.2.2.1 Submodul-Konfiguration ↔ Stufenhöhe ↔ Multilevel-Inverter- Spezifikationen

Auf Basis einer gegebenen Anzahl an Batteriezellen wie beispielsweise $n_\mathrm{c,ph}$ lassen sich eine Vielzahl unterschiedlicher SM-Konfigurationen realisieren. Diese können sowohl symmetrisch als auch asymmetrisch ausgeführt sein. Um die Auswirkung der Submodul-Konfiguration auf andere Einflussfaktoren in geeigneter Weise zu analysieren, werden insgesamt 25 unterschiedliche SM-Konfigurationen unter-

[1] Hinweis: Die zugehörige Konfiguration findet sich in Tabelle 5.3 und wird mit $\mathrm{Config}_\mathrm{konv}$ bezeichnet.
[2] Hinweis: Die nachfolgenden Untersuchungen lassen sich ebenso für jede beliebige andere Gesamtzahl an Batteriezellen umsetzen. Dabei werden an allen geeigneten Stellen auch allgemeine Zusammenhänge abgeleitet. Die Festlegung auf einen genauen Zahlenwert bietet neben einem hohen Praxisbezug allerdings eine bessere Verdeutlichung der zugrundeliegenden Wechselwirkungen.

sucht. Die Auswahl ist dabei möglichst repräsentativ getroffen und umfasst sowohl SMLI- als auch AMLI-Systeme. Das Design der SM-Konfigurationen basiert auf einer Anzahl von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je MLI-Phase [149]. Alle 25 Konfigurationen sind in Tabelle 5.3 aufgelistet und bilden die Grundlage für die folgenden Untersuchungen. Neben der Bezeichnung der jeweiligen SM-Konfiguration sowie den zugehörigen Zellverteilungen auf die vorhandenen Submodule, ist für jede Konfiguration angegeben, ob es sich um einen SMLI oder einen AMLI handelt. Die Zellverteilung spiegelt dabei die exakte Aufteilung der Batteriezellen auf die einzelnen Module wider. Diese Angabe erlaubt es, für jedes k-te Submodul die Anzahl der inhärenten Batteriezellen $n_{\mathrm{c,ESU},k}$ abzulesen.
Betrachtet man zunächst die rein symmetrischen Konfigurationen, so entspricht die Gesamtzahl aller realisierbaren SMLI-Varianten gemäß Gleichung (4.14) dem Wert $n_{\mathrm{SMLI}} = \mathrm{div}\,(n_{\mathrm{c,ph}}) = 11$. Diese Zahl resultiert aus der Menge aller Teiler der Zellenzahl von 108. Die Modulzahl innerhalb des SMLI-Phasenstrangs kann somit die Werte $n_{\mathrm{SM,SMLI}} = \{1;\ 2;\ 3;\ 4;\ 6;\ 9;\ 12;\ 18;\ 27\,;36;\ 54;\ 108\}$ annehmen. Aus diesem Wertebereich ergeben sich die SMLI-Konfigurationen Config_1 bis Config_{11} in Tabelle 5.3. Aufgrund der Symmetrie der Module in einem SMLI lässt sich die in Gleichung (4.14) eingeführte Nomenklatur anwenden[3]. Wie sich an den Zellverteilungen erkennen lässt, nimmt die Anzahl der Submodule mit zunehmender Anzahl der Batteriezellen $n_{\mathrm{c,ESU}}$ pro Energiespeichereinheit und somit pro Modul ab[4]. Die Modulspannung skaliert dabei proportional zu $n_{\mathrm{c,ESU}}$, da gemäß Gleichung (2.27) die Spannung der Energiespeichereinheit ansteigt. Um eine geeignete Vergleichsbasis zu schaffen und ebenso das Potential von AMLI-Konfigurationen zu analysieren, finden sich in Tabelle 5.3 die asymmetrischen Konfigurationen Config_{12} bis Config_{25}. Die Zellaufteilung erfolgt ebenfalls auf der Basis von 108 Batteriezellen pro Phasenstrang, identisch zu den SMLI-Systemen. Die exakten Designregeln begründen sich dabei wie folgt. Alle asymmetrischen Varianten folgen im Wesentlichen dem Schema der Exponentialfolge, wie in Abschnitt 4.3.2.3 eingeführt. Die Zellenzahl eines Moduls, welches der Exponentialfolge entspricht, lässt sich mit Gleichung (4.27) ermitteln. Den Zellverteilungen der Konfigurationen Config_{12} bis Config_{18} sowie Config_{19} bis Config_{25} liegen jeweils die Basen $b = \{2;\ 3;\ 4;\ 5;\ 6;\ 7;\ 8\}$ zugrunde. Zur Verdeutlichung ist die zugehörige Basis zu jeder asymmetrischen SM-Konfiguration in Tabelle 5.3 ergänzend aufgelistet. Für alle betrachteten Basen stimmt die Quersumme der ExFb-Folge jedoch nicht mit dem Wert von $n_{\mathrm{c,ph}} = 108$ überein. Aus diesem Grund wird im Falle der Konfigurationen Config_{19} bis Config_{25} ein sogenanntes *Restmodul* eingeführt. Dieses beinhaltet alle übrig gebliebenen Batteriezellen, die sich zu keinem weiteren Modul entsprechend der Exponentialfolge zusammensetzen lassen, und weicht damit von dem eigentlichen ExFb-Schema ab. Die Restmodule in den Konfigurationen Config_{19} bis Config_{25} sind in Tabelle 5.3 zur besseren Veranschaulichung fett markiert. Im Gegensatz zu dieser Vorgehensweise sind diese Restzellen in den Konfigurationen Config_{12} bis Config_{18} in sogenannte *Puffermodule* aufgeteilt. Dies bedeutet im Detail, dass alle 108 Batteriezellen ausschließlich auf Module verteilt sind, deren Zellenzahl einem Wert der Exponentialfolge gemäß Gleichung (4.27) folgt. In diesem Kontext ist die identische Auslegung der Submodule in dem jeweiligen AMLI-System explizit erlaubt. Diese asymmetrischen SM-Konfigurationen weisen folglich eine Teilsymmetrie auf. Wie sich im Weiteren zeigen wird, erlauben diese Puffermodule die Anwendung verschiedener Optimierungsansätze. Die 25 verschiedenen SM-Konfigurationen in Tabelle 5.3 spiegeln zusammenfassend eine hohe Bandbreite an SM-Konfigurationen wider und bilden die Grundlage für eine fundierte Untersuchung der Wechselwirkungen zwischen dieser internen Einstellgröße und weiteren Einflussfaktoren.

[3] Hinweis: Die SM-Konfiguration 1 x [108], bestehend aus nur einem Submodul pro Inverterphase, ist in Tabelle 5.3 nicht aufgeführt. Diese Konfiguration gleicht dem konventionellen B6-Wechselrichter, da mit diesem MLI abhängig von der zugrundeliegenden Mikrotopologie maximal drei unterschiedliche Spannungswerte je Inverterphase erzeugt werden können. Dieser Konfiguration wird mittels der konventionellen Struktur Rechnung getragen.

[4] Hinweis: Bei einem SMLI ist die Zahl $n_{\mathrm{c,ESU}}$ für alle inhärenten Submodule identisch. Anstelle von $n_{\mathrm{c,ESU},k}$ reicht es daher aus, $n_{\mathrm{c,ESU}}$ zu verwenden.

Tabelle 5.3: Übersicht über die zu untersuchenden SM-Konfigurationen. Alle MLI-Systeme basieren dabei auf einer Zellenzahl von $n_{\mathrm{c,ph}} = 108$ Lithium-Ionen-Batteriezellen innerhalb eines MLI-Phasenstrangs.

SM-Konfiguration	**Zellverteilung**	**AMLI/SMLI**	**Basis** b
$\mathrm{Config}_{\mathrm{konv}}$	108s3p	Konventionell	-
Config_{1}	2 x [54]	SMLI	-
Config_{2}	3 x [36]	SMLI	-
Config_{3}	4 x [27]	SMLI	-
Config_{4}	6 x [18]	SMLI	-
Config_{5}	9 x [12]	SMLI	-
Config_{6}	12 x [9]	SMLI	-
Config_{7}	18 x [6]	SMLI	-
Config_{8}	27 x [4]	SMLI	-
Config_{9}	36 x [3]	SMLI	-
Config_{10}	54 x [2]	SMLI	-
Config_{11}	108 x [1]	SMLI	-
Config_{12}	[2 x [1] , 1 x [2] , 2 x [4] , 2 x [8] , 1 x [16] , 2 x [32]]	AMLI	2
Config_{13}	[3 x [1] , 2 x [3] , 2 x [9] , 3x [27]]	AMLI	3
Config_{14}	[4 x [1] , 2 x [4] , 2 x [16] , 1x [64]]	AMLI	4
Config_{15}	[3 x [1] , 1 x [5] , 4 x [25]]	AMLI	5
Config_{16}	[6 x [1] , 5 x [6] , 2 x [36]]	AMLI	6
Config_{17}	[3 x [1] , 8 x [7] , 1 x [49]]	AMLI	7
Config_{18}	[4 x [1] , 5 x [8] , 1 x [64]]	AMLI	8
Config_{19}	[1, 2, 4, 8, 16, 32, **45**]	AMLI	2
Config_{20}	[1, 3, 9, 27, **68**]	AMLI	3
Config_{21}	[1, 4, 16, **23**, 64]	AMLI	4
Config_{22}	[1, 5, 25, **77**]	AMLI	5
Config_{23}	[1, 6, 36, **65**]	AMLI	6
Config_{24}	[1, 7, 49, **51**]	AMLI	7
Config_{25}	[1, 8, **35**, 64]	AMLI	8

Um zunächst den Einfluss der SMLI-Konfigurationen auf die Stufenhöhe zu verdeutlichen, visualisiert Abbildung 5.2 die Entwicklung der Modulspannung u_{SM} über der Anzahl an Submodulen

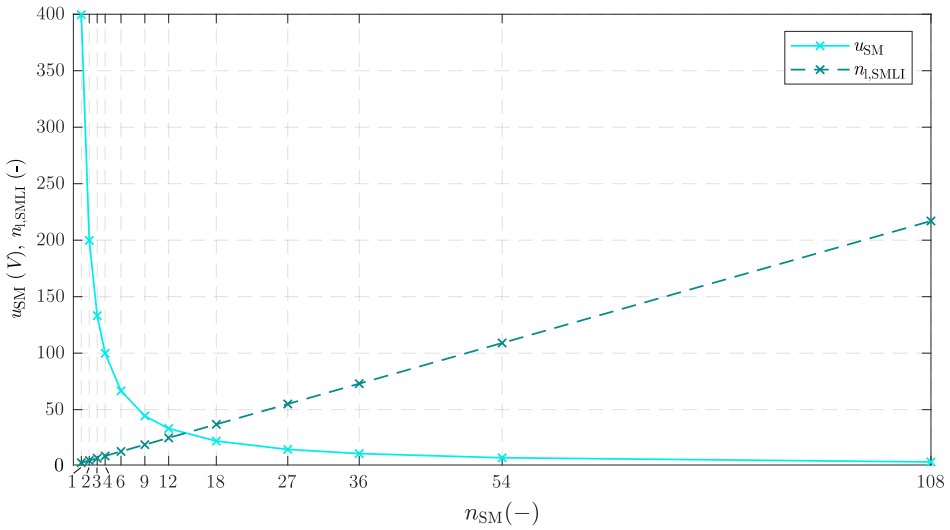
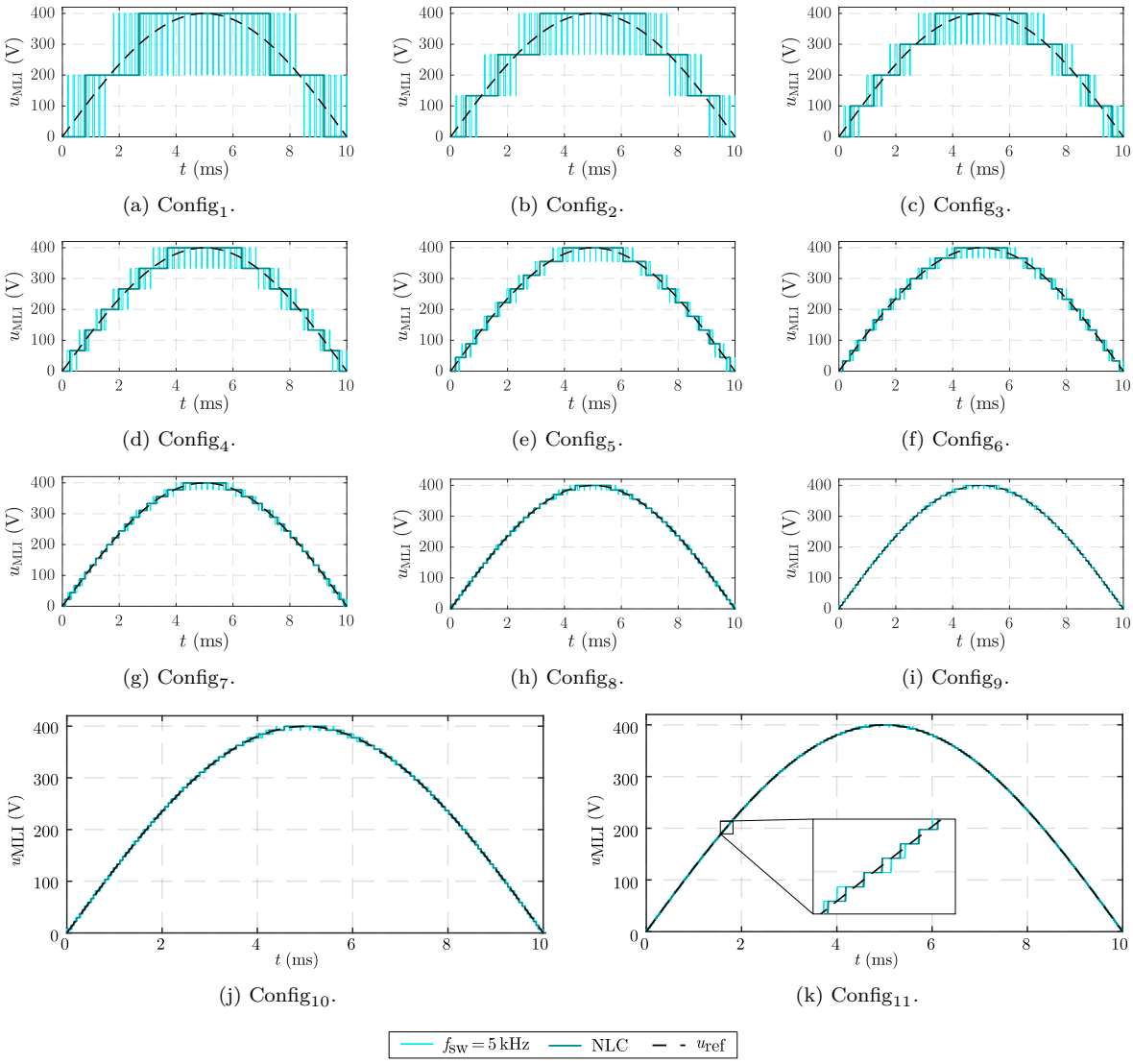


Abbildung 5.2: Entwicklung der Modulspannung u_{SM} und in der Folge der Stufenspannung sowie der Anzahl an Spannungslevel $n_{\mathrm{l,SMLI}}$ über der Anzahl an Submodulen am Beispiel von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je MLI-Phasenstrang in einem SMLI-System.

n_{SM}. Die Werte der x-Achse bilden dabei die Modulzahlen aller SMLI-Konfigurationen aus Tabelle 5.3 ab. Da es sich zunächst um rein symmetrische Konfigurationen handelt, kann die Stufenhöhe der zugehörigen MLI-Ausgangsspannung mit der Modulspannung gleichgesetzt werden. Der Verlauf von u_{SM} gleicht damit der Entwicklung der Stufenhöhe. Abbildung 5.2 illustriert zudem die Progression der Anzahl an Spannungslevel, die mit den jeweiligen SMLI-Konfigurationen erzeugt werden können. Unter Einbezug von Gleichung 4.12 steigt diese linear mit der Anzahl an Submodulen. Für das vorliegende Beispiel liegt der maximale Wert generierbarer Spannungslevel mit einem SMLI bei 217. Diese Anzahl wird mittels Config_{11} erzielt, welche sich ausschließlich aus Modulen, bestehend aus einer einzelnen Batteriezelle, zusammensetzt. Zur Verdeutlichung dieser Zusammenhänge zeigt Abbildung 5.3 ergänzend in separater Weise die zugehörigen Ausgangsspannungsmuster einer MLI-Phase, welche sich mit den elf betrachteten SMLI-Systemen bereitstellen lassen. In allen gezeigten Grafiken ist eine aktuelle Spannungsreferenz u_{ref} illustriert, auf Basis derer die MLI-Spannungen u_{MLI} erzeugt werden. Dabei ist die Referenzforderung maximal. Der Amplitudenmodulationsindex liegt folglich bei $m_{\mathrm{a}} = 1$. Aus Gründen der Übersicht ist jeweils nur eine Halbwelle der Referenzperiode mit $f_{\mathrm{ref}} = 50\,\mathrm{Hz}$



(a) Config_1. (b) Config_2. (c) Config_3.

(d) Config_4. (e) Config_5. (f) Config_6.

(g) Config_7. (h) Config_8. (i) Config_9.

(j) Config_{10}. (k) Config_{11}.

Abbildung 5.3: Darstellung einer MLI-Phasenspannung aller betrachteter SMLI-Konfigurationen aus Tabelle 5.3 bei einer gegebenen Referenzspannung von $f_{\mathrm{ref}} = 50\,\mathrm{Hz}$.

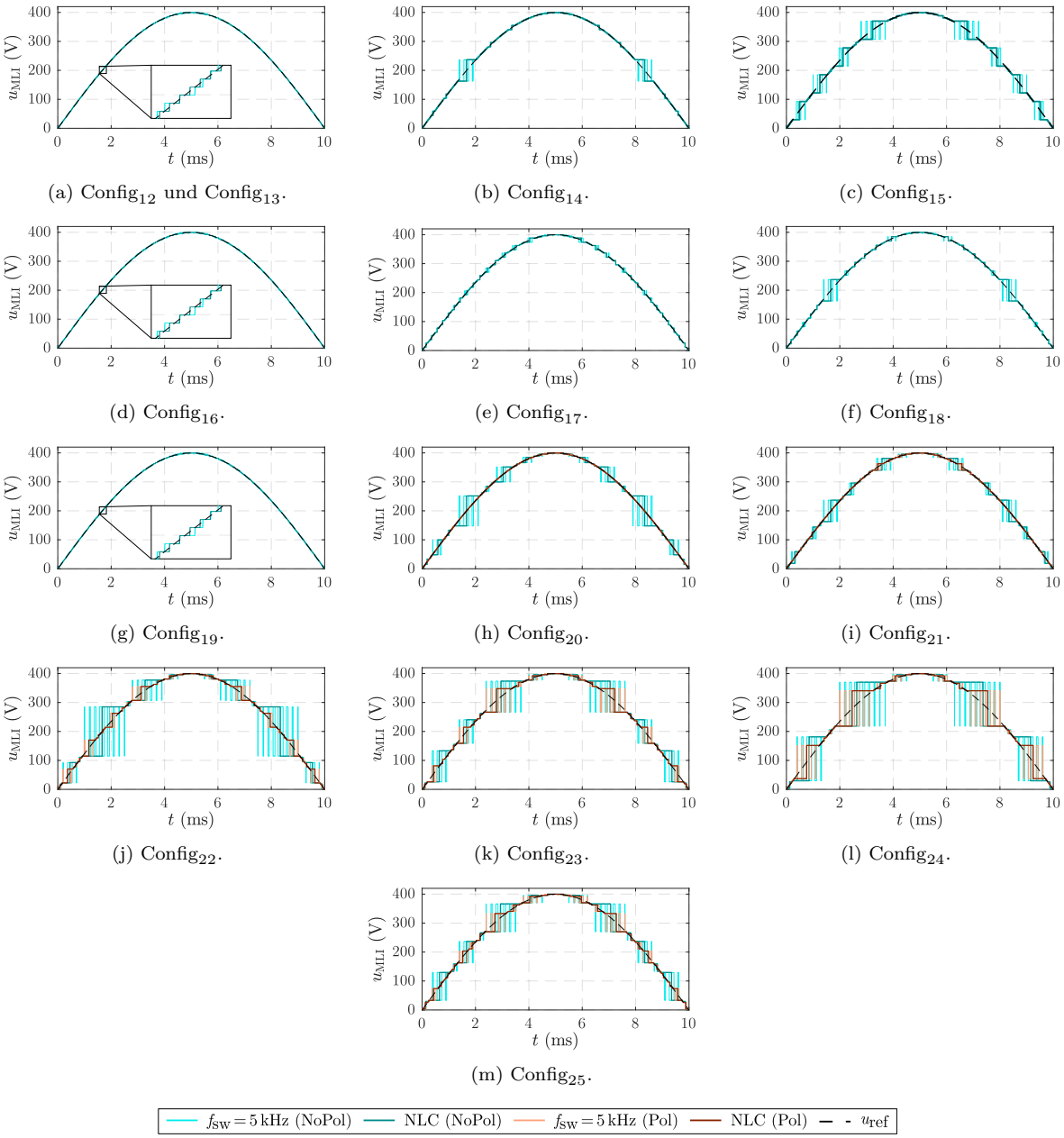
dargestellt[5]. Die Spannungen der Energiespeichereinheiten sind gemäß Gleichung (2.27) berechnet. Neben der Spannungsreferenz finden sich in allen Abbildungen der elf SMLI-Konfigurationen zwei verschiedene MLI-Spannungsmuster. Diese unterscheiden sich hinsichtlich der Schaltfrequenz f_{sw}. Dieser Umstand ist auf das zugrundeliegende Ansteuerverfahren zurückzuführen. Im ersten Fall (petrolfarben) wird das Spannungsmuster auf Basis der NLC-Methode erzeugt [103, 152]. Entsprechend den Beschreibungen in Abschnitt 2.1.3 wählt dieses Verfahren stets das zur aktuellen Referenzspannung $u_{\mathrm{ref}}(t)$ nächstgelegenste Spannungslevel aus. Darüber hinaus ist ein Spannungsmuster abgebildet, welches infolge der Anwendung der SPWM-Methode entsteht (türkis). Die gewählte Schaltfrequenz beträgt dabei $f_{\mathrm{sw}} = 5\,\mathrm{kHz}$. Wie erkennbar, beeinflusst die Schaltfrequenz ausschließlich die Häufigkeit der Schaltoperationen sowie das aktuell vorliegende Spannungslevel. Die auftretenden Spannungsstufen bleiben unverändert. Die exakte Form der Spannungsmuster beider Ansteuerverfahren und deren Vergleich ist insbesondere im Kontext der Diskussionen in Abschnitt 5.3 relevant. Da in diesem Abschnitt die Schaltfrequenz sowie das Ansteuerverfahren noch nicht in die Untersuchungen der Wechselwirkungen einbezogen werden, sind vorerst nur die Höhe der Spannungsstufen sowie die Anzahl der Spannungslevel von Bedeutung. Vergleicht man die verschiedenen Spannungsverläufe aller betrachteter SMLI-Systeme, so lässt sich in Übereinstimmung mit den Ergebnissen aus Abbildung 5.2 klar erkennen, dass die Stufenhöhe mit abnehmender Anzahl der Batteriezellen pro Energiespeichereinheit $n_{\mathrm{c,ESU}}$ ebenso sinkt. Gleichzeitig steigt die Granularität der Stufen signifikant an. Ab einer Anzahl von vier oder weniger Batteriezellen je Energiespeichereinheit erreicht die Stufenhöhe derart niedrige Werte, dass eine äußerst präzise Nachbildung der geforderten Referenzspannung möglich ist. Dies gilt insbesondere für $n_{\mathrm{c,ESU}} = 1$ im Falle der Konfiguration Config_{11} und damit der kleinstmöglichen Stufenspannung. In diesem Fall verfügt jede Batteriezelle gewissermaßen über ihre eigene Leistungselektronik. Zur Verdeutlichung sind die Grafiken der Konfigurationen Config_{10} und Config_{11} vergrößert dargestellt. Im Falle von Config_{11} ist weiterhin ein zusätzlicher Ausschnitt visualisiert, der die Granularität der Stufen demonstriert. Keine andere symmetrische SM-Konfiguration ermöglicht die Erzeugung derart geringer Stufen wie Config_{11}. Es wird ersichtlich, dass die Modulspannung die Höhe der Stufenspannung bestimmt. Des Weiteren legen die Verläufe dar, dass die Stufenhöhe ein wesentliches Merkmal des Ausgangsspannungsmusters bildet und die SM-Konfiguration einen erheblichen Einfluss auf diese ausübt. Aufgrund der engen Korrelation der Stufenhöhe mit der Anzahl der Spannungslevel, der Quantisierung sowie der Levelredundanz wirkt sich diese Beeinflussung auch auf die genannten MLI-Spezifikationen aus. Die Entwicklung der Anzahl an Spannungslevel, wie sie in Abbildung 5.2 illustriert ist, wird auch anhand der Phasenspannungen in Abbildung 5.3 deutlich. $n_{\mathrm{l,SMLI}}$ steigt proportional zur Modulanzahl und damit reziprok mit $n_{\mathrm{c,ESU}}$ an. Die ermittelten Ergebnisse zur Entwicklung der Stufenhöhe sowie der Anzahl an Spannungslevel über n_{SM} lässt sich dabei auf jedes beliebige symmetrische MLI-System anwenden. Mit steigender Modulzahl nehmen sowohl die Anzahl der Spannungslevel als auch die Granularität im Ausgangsspannungsmuster zu. Die Stufenhöhe sinkt. Sowohl die Stufenhöhe als auch die Anzahl an Spannungslevel weisen aufgrund ihrer Präsenz im Ausgangsspannungsmuster eine starke Wechselwirkung mit dem THD-Wert auf. Identisches gilt für die Levelredundanz sowie die Quantisierung. Aus diesem Grund finden sich weitere Erläuterungen zu diesen MLI-Spezifikationen und ihren Abhängigkeiten in Abschnitt 5.3. Analog zu Abbildung 5.3, visualisiert Abbildung 5.4 die Spannungsverläufe aller betrachteten AMLI-Systeme aus Tabelle 5.3. Die zugrundeliegenden Rahmenbedingungen sind dabei identisch. Aufgrund des übereinstimmenden Ausgangsspannungsmusters sind die Verläufe der beiden SM-Konfigurationen Config_{12} und Config_{13} in Abbildung 5.4a zusammengefasst. Die Implementierung von Pol-Kombinationen wirkt sich im Falle

[5] Hinweis: Die Wahl der Zahlenwerte des Amplitudenmodulationsindexes sowie der Referenzfrequenz dient alleine einer geeigneten Veranschaulichung der Entwicklung der Spannungsstufen über der Modulzahl. Der Amplitudenmodulationsindex m_{a} von eins erlaubt dabei die Darstellung aller auftretenden Spannungsstufen. Der Wert für die Schaltfrequenz f_{ref} von 50 Hz repräsentiert darüber hinaus einen häufig in der Literatur eingesetzten Referenzwert [127, 156].

von SMLI-Systemen lediglich auf die Levelredundanz aus, die Anzahl generierbarer Spannungslevel bleibt unverändert. Die Berücksichtigung von Modulkombinationen, bei denen sich die Module in ihrer Polarität unterscheiden, ist für das Ausgangsspannungsmuster symmetrischer MLI-Systeme daher irrelevant. Vielmehr können sich die Leitverluste als Folge einer größeren Anzahl aktivierter Energiespeichereinheiten erhöhen, weshalb sich die Anwendung von Modulkombinationen auf Basis divergierender Modulspannungen vorrangig bei AMLI-Systemen anbietet. Darüber hinaus nimmt der Rechenaufwand bei Einbezug der Pol-Kombinationen in die Ansteuerung der Submodule mit wachsender Modulzahl in der SM-Konfiguration erheblich zu. Um den Effekt einer Implementierung von Pol-Kombinationen dennoch zu analysieren, wird deren Einflussnahme auf die Ausgangsspannungsmuster der Konfigurationen Config_{19} bis Config_{25} untersucht. Aus diesem Grund bilden die zugehörigen Grafiken in Abbildung 5.4g bis Abbildung 5.4m zwei weitere Spannungsverläufe (orange, dunkelorange) ab. Diese Kurvenverläufe stellen das Ergebnis der erzeugten Phasenspannungen dar, wobei in diesen Fällen die Kombination von Modulen unterschiedlicher Ausgangsspannungen explizit erlaubt ist. Für die Generierung der beiden übrigen MLI-Spannungen (petrolfarben, türkis) in den jeweiligen Darstellungen werden nur Kombinationen implementiert, bei denen die Modulspannungen dieselbe Polarität aufweisen, wie dies auch für alle anderen SM-Konfigurationen aus Tabelle 5.3 der Fall ist[6]. Bei einer Untersuchung der Spannungsverläufe aus Abbildung 5.4 kann im Gegensatz zu den SMLI-Systemen zunächst keine eindeutige Aussage über die Entwicklung der Stufenhöhe entsprechend des zugrundeliegenden AMLI-Designs sowie der Modulzahl getroffen werden. Eine markante Eigenschaft der AMLI-Spannungen stellt jedoch die Divergenz der Stufenspannungen im Ausgangsspannungsmuster dar. Während bei symmetrischen MLIs alle Spannungsstufen identische Werte aufweisen, weichen diese in AMLI-Systemen in der Regel voneinander ab. Dies trifft auf den Großteil der dargestellten AMLI-Spannungen zu. Eine Ausnahme hiervon bilden die Konfigurationen Config_{12}, Config_{13}, Config_{16}, Config_{19} sowie Config_{20}. Im Falle von Config_{20} gilt dieser Sachverhalt allerdings nur für die Spannungen, die unter Berücksichtigung der Pol-Kombinationen erzeugt werden[7]. Bei Config_{12}, Config_{13} und Config_{19} handelt es sich um ExFb-Systeme, deren Basis einen Wert von $b=2$ oder $b=3$ aufweisen. Gemäß der Beschreibungen in Abschnitt 4.3.2.3 generieren ExF2- oder ExF3-Systeme stets Ausgangsspannungen maximaler Granularität. Neben einer Vielzahl an Submodulen, deren Zellenzahl alle dem Prinzip der Exponentialfolge folgen (Config_{12}, Config_{13}), kann auch die Präsenz eines Restmoduls wie im Falle von Config_{19} zu diesem Phänomen führen. Es ist keine höhere Granularität erzielbar. Eine Ausnahme bildet Config_{20} für den Fall, dass keine Pol-Kombinationen erlaubt sind. Während die Abweichung des Restmoduls von einem Wert der Exponentialfolge bei der SM-Konfiguration Config_{19} keine Auswirkung auf die Bereitstellung der maximalen Granularität im Ausgangsspannungsmusters hat, beeinträchtigt die Dimensionierung des Restmoduls bei Config_{20} mit einer Zellenanzahl von 68 die optimale Nachbildung des Spannungsmusters. Abweichend von der Exponentialfolge mit einer Zellenanzahl von $b^4 = 3^4 = 81$ ist das Modul mit lediglich 68 Zellen zu gering ausgelegt, um mit der vorliegenden Konfiguration alle erforderlichen Spannungslevel für die maximale Granularität erzeugen zu können. Ist die Anwendung von Pol-Kombinationen dagegen erlaubt, erhöht sich die Anzahl unterschiedlicher Spannungslevel signifikant. Diese Maßnahme führt dazu, dass sich die maximale Granularität im Spannungsmuster einstellt, wie in Abbildung 5.4h ersichtlich. Es lässt sich allgemein ableiten, dass durch die Anwendung von Pol-Kombinationen die Bildung hoher Stufenspannungen reduziert werden kann. Dies resultiert aus der erhöhten Anzahl erzeugbarer Spannungslevel

[6] Hinweis: Die Implementierung der Kombination von Modulen divergierender Ausgangsspannungen setzt den Einsatz einer Mikrotopologie voraus, welche in der Lage ist, sowohl positive als auch negative Ausgangsspannungen zu erzeugen. Es wird deshalb eine Mikrotopologie angenommen, die eine inhärente Polaritätsumkehr besitzt.

[7] Hinweis: Bei Betrachtung von Abbildung 5.4g fällt auf, dass lediglich die Spannungsverläufe erkennbar sind, welche bei einer reinen Berücksichtigung der NoPol-Kombinationen entstehen. Da sich sowohl für diese als auch bei der Anwendung der Pol-Kombinationen identische Spannungsverläufe ergeben, sind letztere in der Grafik nicht ersichtlich. Die jeweiligen Graphen liegen direkt aufeinander.



(a) Config_{12} und Config_{13}. (b) Config_{14}. (c) Config_{15}.

(d) Config_{16}. (e) Config_{17}. (f) Config_{18}.

(g) Config_{19}. (h) Config_{20}. (i) Config_{21}.

(j) Config_{22}. (k) Config_{23}. (l) Config_{24}.

(m) Config_{25}.

Abbildung 5.4: Darstellung einer MLI-Phasenspannung aller betrachteter AMLI-Konfigurationen aus Tabelle 5.3 bei einer gegebenen Referenzspannung von $f_{\mathrm{ref}} = 50\,\mathrm{Hz}$.

im Vergleich zur ausschließlichen Berücksichtigung von NoPol-Kombinationen. Die Implementierung der Pol-Kombinationen besitzt damit einen positiven Effekt auf das resultierende Ausgangsspannungsmuster. Dieser Sachverhalt ist speziell bei den SM-Konfigurationen Config_{20} bis Config_{25} ersichtlich. Vergleicht man die Phasenspannungen der SM-Konfigurationen Config_{20} bis Config_{25} für den Fall einer reinen Anwendung der NoPol-Kombinationen mit den Spannungen der SM-Konfigurationen Config_{12} bis Config_{18}, lassen sich besonders für die Erstgenannten vergleichsweise hohe Stufenspannungen feststellen. Bedingt durch die zugrundeliegende Designregel besitzen Config_{12} bis Config_{18} deutlich mehr Submodule je Inverterphase. Die Aufteilung der $n_{\mathrm{c,ph}}$ Batteriezellen erfolgt auf eine größere Modulzahl. In diesen Fällen weist der zugehörige MLI-Phasenstrang eine hohe Anzahl an Energiespeichereinheiten auf, die sich aus einer geringen Anzahl an Batteriezellen zusammensetzen. Im Gegensatz dazu sind die Submodule der SM-Konfigurationen Config_{20} bis Config_{25} einzigartig. Der Wert von n_{SM} liegt im

Bereich von vier bis maximal sechs. Es existiert keine Teilsymmetrie. Gemäß Gleichung (4.24) führt eine höhere Modulanzahl in der Regel zu einer höheren Anzahl an Spannungslevel. In der Folge nimmt auch die Granularität zu. Diese Tendenz der Progression der Spannungslevel mit steigender Modulzahl ist damit ähnlich zu der Entwicklung im Falle der SMLI-Systeme. Die Präsenz der Restmodule, die in den SM-Konfigurationen Config_{20} bis Config_{25} eines der größten Module verkörpern, resultiert dagegen in einer niedrigeren Modulzahl. Die Zahl unterschiedlicher Spannungslevel ist geringer, was das Auftreten höherer Stufenspannungen begünstigt. Eine Ausnahme von diesen Beobachtungen bildet beispielsweise das Ausgangsspannungsmuster der SM-Konfiguration Config_{15}. Trotz einer Modulanzahl von acht finden sich im zugehörigen Ausgangsspannungsmuster größere Stufen, als dies beispielsweise für die Verläufe der AMLI-Konfigurationen Config_{12} bis Config_{18} der Fall ist. Dieser Umstand ergibt sich in Config_{15} aus der größeren Anzahl von Submodulen mit einer höheren Zellenanzahl im Vergleich zu Modulen mit einer geringeren Anzahl von Zellen pro Energiespeichereinheit. Es lässt sich ableiten, dass neben einer hohen Modulanzahl auch die spezifische Verteilung der Batteriezellen auf die inhärenten Energiespeichereinheiten einen entscheidenden Einfluss auf das entstehende Ausgangsspannungsmuster hat. Für alle Phasenspannungen, welche bei einer reinen Berücksichtigung von NoPol-Kombinationen entstehen, stimmt die Stufenhöhe mit der Modulspannung eines Submoduls im AMLI-System überein. Diese Übereinstimmung lässt sich jedoch nicht für die Phasenspannungen ableiten, für welche die Bildung von Pol-Kombinationen erlaubt ist. Durch die Kombination von Modulen unterschiedlicher Spannungspolaritäten entstehen Spannungsdifferenzen, die von den vorhandenen Modulspannungen im AMLI abweichen. Dieser Sachverhalt verdeutlicht, dass die auftretenden Stufenhöhen in einem AMLI nicht allein durch die Modulspannungen beeinflusst werden.
Vergleicht man die ermittelten Phasenspannungen der SMLI- mit denen der AMLI-Systeme, ist vor allem die Auswirkung eines asymmetrischen Moduldesigns auf das Ausgangsspannungsmuster auffällig. Während in einem SMLI ausschließlich eine maximale Modulanzahl und damit die Ausstattung jeder einzelnen Batteriezelle mit einer eigenen Leistungselektronik zur höchsten Granularität des Stufenmusters führt, lässt sich diese in einem AMLI auf verschiedene Arten erzielen. Beispiele hierfür sind die speziellen Werte der Basis b wie $b=2$ oder $b=3$ beim Schema der Exponentialfolge oder der Erlaubnis der Anwendung von Pol-Kombinationen. Dabei ist die Modulanzahl im Vergleich zum SMLI mit der Konfiguration Config_{11}, welche im gezeigten Beispiel 108 Module aufweist, signifikant kleiner, trotz eines identisch vorliegenden Ausgangsspannungsmusters. Wie Dixon et al. beschreiben, lassen sich mit AMLI-Systemen der erforderliche Hardwareaufwand und damit die Gesamtkosten des Invertersystems reduzieren [32]. Der exakte Einfluss der SM-Konfiguration auf die Inverterkosten wird nachfolgend analysiert.

5.2.2.2 Submodul-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Mikrotopologie ↔ Systemkosten

Um auch den Einfluss der gewählten Topologie beim MLI-Design zu beleuchten und eine geeignete Vergleichsbasis zu schaffen, werden zusätzlich zu den betrachteten SM-Konfigurationen einige Mikrotopologien aus Tabelle 3.1 untersucht. Neben der in Abschnitt 3.2.1 erläuterten PECIN-Struktur werden vier weitere MLI-Mikrotopologien herangezogen, welche in Kapitel 3 im Rahmen des Stands der Technik im Detail eingeführt werden. Zur Verdeutlichung sind die gewählten Topologievarianten, die sich alle als CMLI realisieren lassen, in Tabelle 5.4 aufgelistet. Dabei sind mehrere relevante MLI-Spezifikationen nochmals explizit aufgeführt. Mit der PECIN-Mikrotopologie ist eine Struktur berücksichtigt, die ein vergleichsweise hohes Funktions-Schalter-Verhältnis besitzt. Diesem Verhältnis wird mit dem Begriff des Funktionsumfangs Rechnung getragen, wobei in die zugehörige Angabe in Tabelle 5.4 die drei MLI-Spezifikationen der Bypassfähigkeit, der inhärenten Polaritätsumkehr so-

wie der Parallelisierungsfähigkeit einfließen. Je nach Bereitstellung dieser Spezifikationen ist für jede Topologie ein Wert zwischen eins und drei angegeben. Die PECIN-Struktur verfügt über alle drei Eigenschaften. Die zusätzlich gewählten Mikrotopologien stellen darüber hinaus eine repräsentative Auswahl an MLI-Topologien dar, die sich in ihrer jeweiligen Funktionsbandbreite sowie der zugehörigen Anzahl an Schaltern je Submodul unterscheiden. Hierzu zählt die MMSPC-Struktur, die denselben Funktionsumfang wie die PECIN aufweist, jedoch bei einer Schalterzahl von acht je Submodul. Zudem werden die häufig in der Literatur untersuchten Strukturen der Halbbrücke und der H-Brücke betrachtet, deren Kaskade jeweils als CHalfB und CHB bezeichnet wird. Während der H-Brücke lediglich die Fähigkeit zum Parallelisieren fehlt, weist die Halbbrücke aufgrund der nicht vorhandenen Polaritätsumkehr das geringste Funktions-Schalter-Verhältnis auf. Auch für die BM3-Struktur mit drei Schaltern pro Submodul wird eine externe *Polaritätsumkehreinheit (PUE)* benötigt, um einen identischen Spannungshub, wie bei den übrigen Topologien abgesehen von der Halbbrücke, am Ausgang des MLI zu erzeugen. Da sich sowohl die Halbbrücke als auch die BM3-Topologie durch eine vergleichsweise geringe Schalterzahl je Submodul auszeichnen, finden beide Strukturen eine Berücksichtigung in den nachfolgenden Untersuchungen. Aus Gründen der Vergleichbarkeit wird für diese eine externe PUE in Form einer H-Brücke verwendet, wodurch sich die makroskopische Struktur aus Abbildung 2.4h ergibt. Durch das Parallelschalten der PUE zu jedem MLI-Phasenstrang ist es möglich, die Polarität jeder Phase individuell zu steuern. Die Schaltfrequenzen der Schalter in diesen Modulen liegen im Bereich der Referenzfrequenz, da sich der Schaltzustand entsprechend der Polarität der Phasenspannung ändert. Für die Kostenanalyse gemäß dem in Abschnitt 4.4.3 eingeführten Kostenmodell ist die Kenntnis über die Anzahl der Schalter pro Submodul (SSM) sowie die erforderliche Spannungsfestigkeit aller in den jeweiligen Mikrotopologien verwendeten Schaltern essenziell. Tabelle 5.4 bildet diese Informationen ergänzend ab. Insbesondere im Falle der STV ist es von entscheidender Bedeutung, ob diese für alle Schalter in einer Mikrotopologie übereinstimmt. Der Wert der STV wirkt sich direkt auf die Mindestanforderung an die Durchbruchspannung $u_{\mathrm{(BR)DSS}}$ gemäß Gleichung (2.34) aus. Variationen in den maximalen Spannungsfestigkeiten können dazu führen, dass für ein Submodul abhängig von der Spannung der inhärenten Energiespeichereinheit unterschiedliche Halbleiterelemente verwendet werden müssen. Dieser Sachverhalt trifft auf die PECIN-Topologie sowie die BM3-Struktur zu und folgt aus der speziellen Platzierung der Diagonalschalter (B und C, siehe Tabelle 3.1 und Abbildung 3.1a). Die Diagonalschalter müssen im Vergleich zu den anderen Halbleiterelementen der doppelten ESU-Spannung standhalten und dementsprechend ausgelegt sein. Bei den übrigen Mikrotopologien sind alle Halbleiter eines Submoduls derselben Spannungsbelastung ausgesetzt. Es können stets identische Schalter gewählt werden. Zur Verdeutlichung der Auswirkung des Moduldesigns auf die Spannungsfestigkeit illustriert Abbildung 5.5 die Werte der erforderlichen STV für alle SM-Konfigurationen aus Tabelle 5.3. Für jede der 25 betrachteten Konfigurationen sind alle vorhandenen Modulgrößen berücksichtigt. Identisch ausgelegte Module sind dabei nur einmal dar-

Tabelle 5.4: Untersuchte Invertertopologien mit ergänzenden Informationen zu relevanten MLI-Spezifikationen sowie zum Funktionsumfang.

Invertertopologie	**B6-Brücke**	**CHalfB**	**CHB**	**BM3**	**MMSPC**	**PECIN**
SSM	6	2	4	3	8	6
Externe PUE	Nein	Ja	Nein	Ja	Nein	Nein
Abweichung in der STV je SM	Nein	Nein	Nein	Ja	Nein	Ja
Maximale STV	u_{DC}	u_{ESU}	u_{ESU}	$2\,u_{\mathrm{ESU}}$	u_{ESU}	$2\,u_{\mathrm{ESU}}$
Funktionsumfang (x/3F)	1	1	2	2	3	3

Abkürzungen: SSM = Schalter je Submodul, 3F := Bypassfähigkeit, inhärente Polaritätsumkehr, Parallelisierungsfähigkeit.

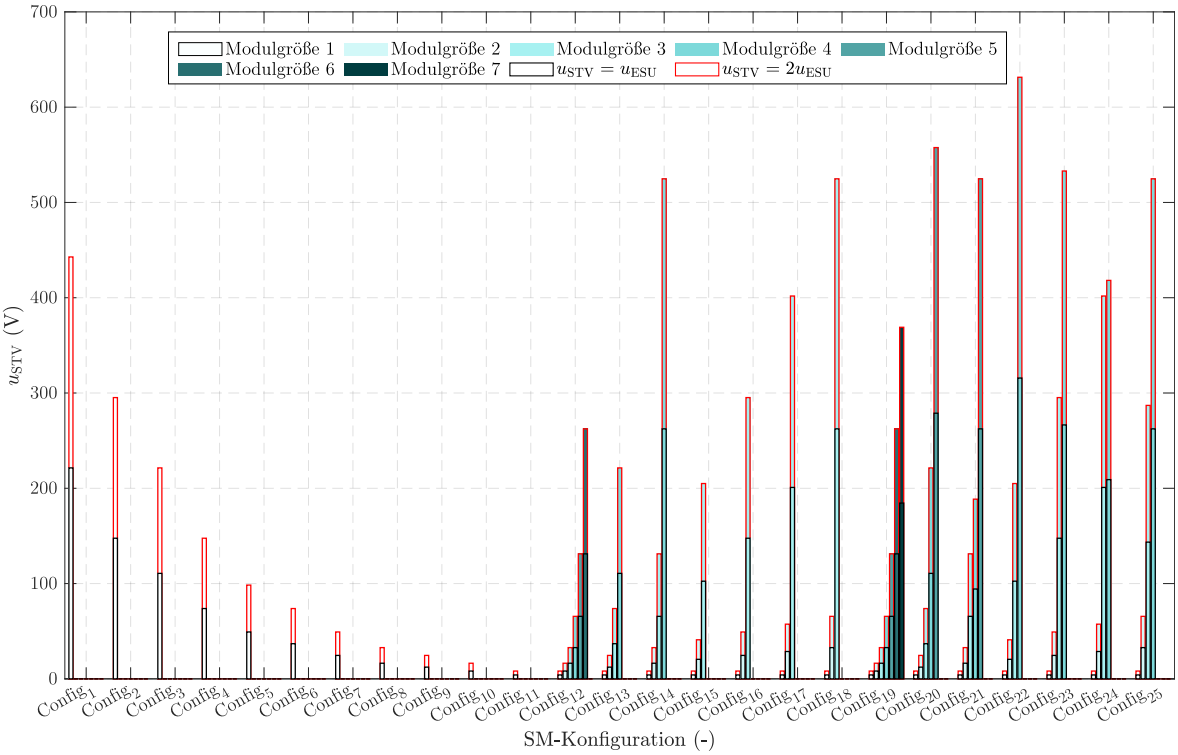


Abbildung 5.5: Darstellung der Spannungsfestigkeiten für alle betrachteten SM-Konfigurationen unter Berücksichtigung der Variation der STV entsprechend der vorliegenden Mikrotopologie.

gestellt. Um auch den Einfluss der Mikrotopologie einzubeziehen, sind gemäß den Zusammenhängen aus Tabelle 5.4 zwei Werte der Spannungsfestigkeit abgebildet; $u_{\mathrm{stv}} = u_{\mathrm{ESU}}$ (schwarze Umrandung) sowie $u_{\mathrm{stv}} = 2\,u_{\mathrm{ESU}}$ (rote Umrandung). Letztere ergibt sich, wie erläutert, bei den Diagonalschaltern. Wie erkennbar, sind vor allem bei den AMLI-Strukturen Halbleiterschalter mit hohen Durchbruchspannungen notwendig. Dieser Umstand resultiert aus den vergleichsweise hohen Modulspannungen, die sich sowohl durch die Designregel der Exponentialfolge als auch infolge der Präsenz der Restmodule ergeben. Bei hohen Modulspannungen ist auch die Divergenz zwischen den Spannungsfestigkeiten der inhärenten Schalter eines Submoduls im Falle der PECIN- und der BM3-Struktur besonders ausgeprägt.

Für die Untersuchung der Wechselwirkungen zwischen der SM-Konfiguration und der MLI-Topologie sowie deren Auswirkungen auf die Systemkosten werden die Mikrotopologien aus Tabelle 5.4 mit den Moduldesigns aus Tabelle 5.3 kombiniert. Es entstehen insgesamt 125 unterschiedliche MLI-Systeme, die eine angemessene Analyse der Wechselwirkungen ermöglichen. Zudem stellen diese Systeme eine geeignete Vergleichsbasis für die Identifikation der bestmöglichen Invertervariante dar. Ausschließlich Konfiguration $\mathrm{Config}_{\mathrm{konv}}$ in Tabelle 5.3 dient alleine dem Einsatz im konventionellen VSI. In Übereinstimmung mit Chang et al. wird dieser sowohl unter Verwendung von Si IGBTs als auch SiC MOSFETs betrachtet [20]. Diese beiden Varianten dienen bei der nachfolgenden Kostenanalyse als Referenz. Wie im Rahmen der Einführung der Systemkosten in Abschnitt 4.4.3 beschrieben, enthält das verwendete Kostenmodell eine umfangreiche Datenbank mit zahlreichen auf dem Markt verfügbaren Halbleiterschaltern. Um neben der Betrachtung der Abhängigkeiten auch das MLI-Design selbst zu optimieren, kann an dieser Stelle eine Optimierung der Schalterwahl vorgenommen werden. Ziel dieses Optimierungsansatzes ist es, auf Basis einer gegebenen Modulspannung $u_{\mathrm{SM},k}$ für jeden i-ten Schalter eines k-ten Submoduls $\mathrm{sw}_{i,k}$ des betrachteten Invertersystems das optimale Halbleiterelement auszuwählen.

Aufgrund der bestehenden Abweichung der STV im Falle der PECIN- sowie der BM3-Strukturen ist es erforderlich, für jeden auftretenden Wert der Spannungsfestigkeit eine individuelle Auswahl zu treffen. Die Selektion erfolgt unter der Berücksichtigung eines minimalen Einschaltwiderstands $R_{\mathrm{DS(on)}}$, minimaler Schalterkosten C_{sw} sowie einer minimalen Gehäusegröße d_{A}.

OPTIMIERUNG 1: Schalterwahl (Teil I)

Die optimale Wahl jedes Schalters aller untersuchten Invertersysteme erfolgt auf Basis der vorliegenden Submodul-Konfiguration sowie der Mikrotopologie. Beide internen Einstellgrößen definieren sowohl die Anzahl der Schalter je Submodul $n_{\mathrm{sw,SM}}$ als auch die zugehörige Spannungsfestigkeit $u_{\mathrm{stv},i,k}$. Aus diesen Daten kann die minimal zulässige Durchbruchspannung des Halbleiterelements unter Einbezug eines Sicherheitsfaktors gemäß Gleichung (2.34) *berechnet und alle nicht zulässigen Schalter ausselektiert werden. Aus den verbleibenden Optionen wird für jeden Schalter der vorhandenen Submodule einer SM-Konfiguration die optimale Kombination aus $R_{\mathrm{DS(on)}}$, C_{sw} sowie d_{A} und in der Folge das bestmögliche Halbleiterelement ermittelt. Da sich diese drei Zielkriterien typischerweise gegensätzlich verhalten, wird für dieses zugrundeliegende Mehrzieloptimierungsproblem die sogenannte Pareto-Optimierung herangezogen. Die exakte Definition und Herleitung dieses Optimierungsansatzes findet sich in Anhang A.1.9. Das wesentliche Prinzip dieses Verfahrens besteht darin, die optimale Lösungsmenge $\mathbf{o}^*$ eines Datenraums Ω_{PO} zu finden. Bei dem vorliegenden Problem entspricht der Datenraum Ω_{PO} den Wertepaaren aller Halbleiterelemente, welche sich aus den drei Variablen $R_{\mathrm{DS(on)}}$, C_{sw} und d_{A} zusammensetzen. Diese definieren die Zielfunktionen $\mu_{R_{\mathrm{DS(on)}}}$, $\mu_{C_{\mathrm{sw}}}$ sowie $\mu_{d_{\mathrm{A}}}$. Das Optimierungsproblem nimmt die folgende Form an.*

$$\underbrace{min}_{\mathbf{o}\,\in\,\Omega_{\mathrm{PO}}} \left\{\mu_{R_{\mathrm{DS(on)}}}(\mathbf{o}),\, \mu_{C_{\mathrm{sw}}}(\mathbf{o}),\, \mu_{d_{\mathrm{A}}}(\mathbf{o})\right\} \tag{5.2}$$

$\mathbf{o}$ repräsentiert dabei den Vektor, der die veränderbaren Systemvariablen enthält, mit denen sich die Zielfunktionen beeinflussen lassen. Im Zuge der Pareto-Optimierung wird eine sogenannte Pareto-Front ermittelt, welche alle optimalen Ergebnisdatenpunkte $\mathbf{o}^*$ widerspiegelt. Ein Datenpunkt $o_k = \left(R_{\mathrm{DS(on)}};\, C_{\mathrm{sw}};\, d_{\mathrm{A}}\right)$ ist dann Teil der Pareto-Front, wenn keine Zielfunktion aus Gleichung (5.2) *verbessert wird, ohne eine andere zu verschlechtern.*

Diese Vorgehensweise der optimalen Schalterwahl wird exemplarisch anhand der symmetrischen SM-Konfigurationen aus Tabelle 5.3 dargelegt. Grundlage der Untersuchungen bildet damit der Wertebereich $n_{\mathrm{c,ESU}} = \{1;\, 2;\, 3;\, 4;\, 6;\, 9;\, 12;\, 18;\, 27;\, 36;\, 54;\, 108\}$[8]. Für die Ermittlung der Spannungsfestigkeiten wird der maximale Spannungswert der verwendeten Batteriezelle von *SANYO Electric Co., Ltd.* herangezogen. Aus diesem sowie den Werten von $n_{\mathrm{c,ESU}}$ lassen sich die maximalen Spannungen der Energiespeichereinheiten für alle symmetrischen Konfigurationen ermitteln. Auf Basis dieser ESU-Spannungen können in der Folge die optimalen Schalter jedes Submoduls in allen SMLI-Konfiguration bestimmt werden. Aufgrund des identischen Designs der Submodule bei SMLIs kann diese Wahl für alle Submodule in gleicher Weise erfolgen. Dabei sei erwähnt, dass aus Gründen der Einfachheit ein Schalter mit einer maximalen Spannungsfestigkeit von $u_{\mathrm{stv,sw}} = u_{\mathrm{ESU}}$ angenommen wird. In den weiteren Betrachtungen bestimmt die Mikrotopologie die Spannungsfestigkeit. Im Falle der AMLI-Konfigurationen erfolgt die Auswahl für jedes Submodul individuell. Abbildung 5.6 visualisiert die zugehörigen Datenpunkte aller Halbleiterelemente der Schalterdatenbank, aufgetragen über dem Ein-

[8] Hinweis: Mit dem Wert von $n_{\mathrm{c,ESU}} = 108$ wird ein MLI-System berücksichtigt, das lediglich ein Submodul je Inverterstrang aufweist. Es entspricht damit nahezu dem konventionellen System $\mathrm{Config}_{\mathrm{konv}}$ gemäß Tabelle 5.3. Aus Demonstrationszwecken ist diese Konfiguration ebenso berücksichtigt, ohne Einschränkungen der Allgemeinheit.

schaltwiderstand $R_{\mathrm{DS(on)}}$, den Schalterkosten C_{sw} sowie der Gehäusefläche d_{A}. Die jeweiligen Grafiken in Abbildung 5.6a bis Abbildung 5.6h unterscheiden sich dabei hinsichtlich der zugrundeliegenden Anzahl an Batteriezellen je Submodul $n_{\mathrm{c,ESU}}$ und damit der Ausgangssituation in Form der Modulspannung. Je nach vorliegender u_{SM} eines Submoduls ändert sich die Spannungsfestigkeit der inhärenten Schalter. Auf Basis von Gleichung (2.34) werden entsprechend $n_{\mathrm{c,ESU}}$ verschiedene Schaltelemente ausgeschlossen. Es erfolgt eine Anpassung der Pareto-Front. Dies führt, abhängig von der Anzahl der Batteriezellen je Energiespeichereinheit, zu unterschiedlichen Wertebereichen, wie anhand der Grafiken in Abbildung 5.6 ersichtlich. Gleichzeitig können sich auch übereinstimmende Datensätze infolge ähnlicher Werte von u_{SM} ergeben. Aus Gründen der Übersicht sind in Abbildung 5.6 identische Datenmengen verschiedener Werte von $n_{\mathrm{c,ESU}}$ in einer Grafik zusammengefasst. In jedem der dargestellten 3D-Plots sind die Datenpunkte der Pareto-Front rot umrandet, welche sich mittels der Anwendung des Optimierungsansatzes 1 erzielen lassen. Wie erkennbar, stellen diese die dominanten Punkte der Datenmengen dar.
Die Pareto-Front besteht in der Regel aus mehr als einem dominanten Datenpunkt, wie dies auch im gezeigten Beispiel der Fall ist. Um ein einziges optimales Ergebnis zu erhalten und im vorliegenden Fall den bestmöglichen Schalter auszuwählen, ist deshalb ein zusätzlicher Optimierungsschritt notwendig. Die Auswahl des Ergebniswerts hängt stark von der jeweiligen Anwendung und den geforderten Kriterien ab.

OPTIMIERUNG: 2: Schalterwahl (Teil II)

Im zweiten Schritt der optimalen Schalterwahl wird aufgrund der vorhandenen Pareto-Front und einer verbleibenden Menge an optimalen Datenpunkten eine Gesamtoptimierungsfunktion f_{opt} herangezogen. Diese Funktion setzt die einzelnen Zielfunktionen der Pareto-Optimierung weiterhin in Beziehung zueinander, wie es Di Tullio et al. beschreiben [28]. Die Prioritäten der individuellen Zielfunktionen können über sogenannte Gewichtungsfaktoren festgelegt werden. Gemäß den Zielfunktionen entsprechen diese Gewichte im Zuge der optimalen Schalterwahl $\omega_{R_{\mathrm{DS(on)}}}$, $\omega_{C_{\mathrm{sw}}}$ sowie $\omega_{d_{\mathrm{A}}}$. Die für das vorliegende Optimierungsproblem definierte Gesamtoptimierungsfunktion besitzt die Form

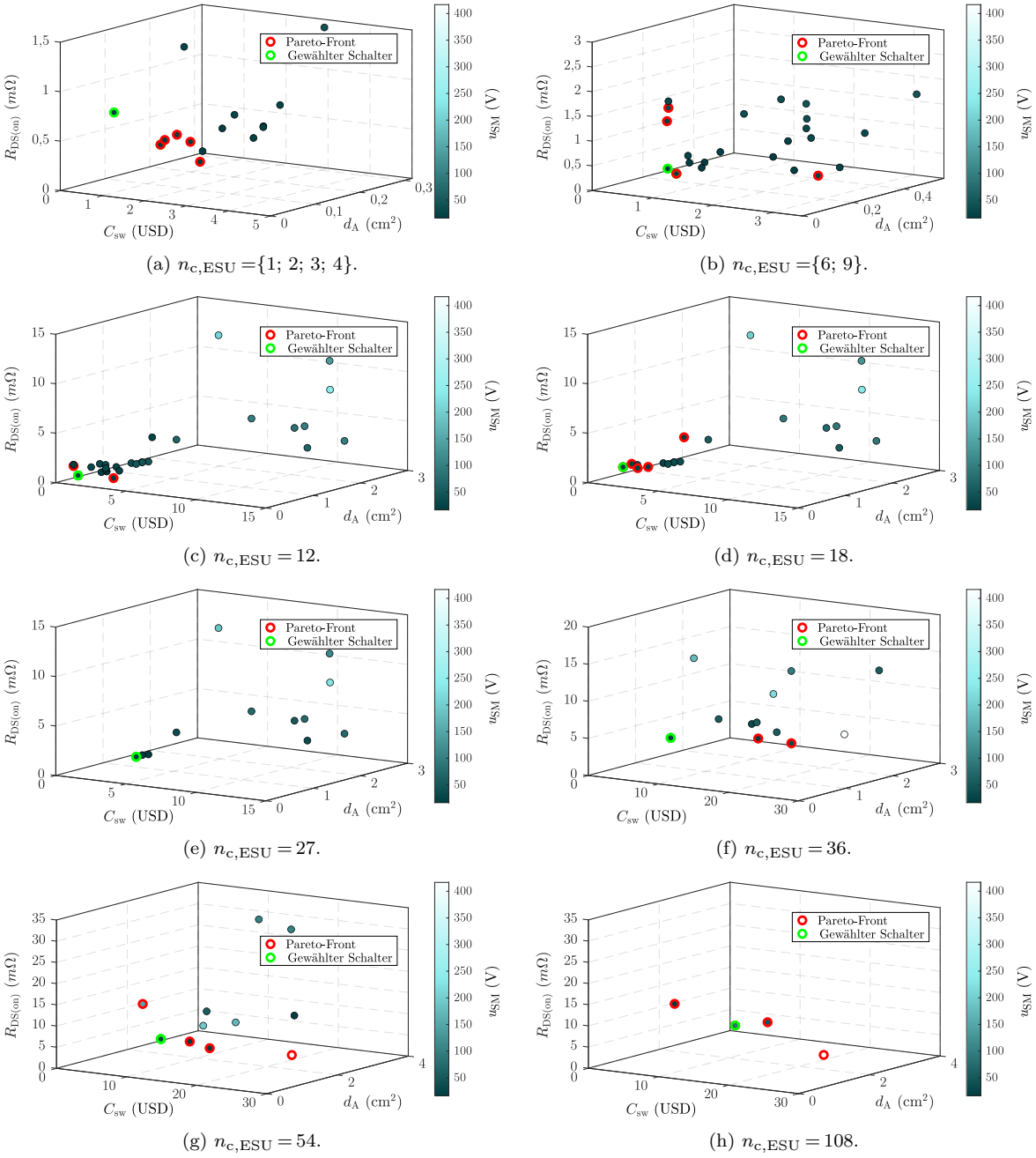
$$f_{\mathrm{opt}} = \omega_{R_{\mathrm{DS(on)}}} \frac{\left[\mu_{R_{\mathrm{DS(on)}}}(\mathbf{o}^*)\right] - \max\left[\mu_{R_{\mathrm{DS(on)}}}(\mathbf{o}^*)\right]}{\max\left[\mu_{R_{\mathrm{DS(on)}}}(\mathbf{o}^*)\right]} + \omega_{C_{\mathrm{sw}}} \frac{[\mu_{C_{\mathrm{sw}}}(\mathbf{o}^*)] - \max[\mu_{C_{\mathrm{sw}}}(\mathbf{o}^*)]}{\max[\mu_{C_{\mathrm{sw}}}(\mathbf{o}^*)]} + \omega_{d_{\mathrm{A}}} \frac{\left[\mu_{d_{\mathrm{A}}}(\mathbf{o}^*)\right] - \max\left[\mu_{d_{\mathrm{A}}}(\mathbf{o}^*)\right]}{\max\left[\mu_{d_{\mathrm{A}}}(\mathbf{o}^*)\right]}, \tag{5.3}$$

wobei $\mathbf{o}^*$ ein optimales Wertepaar der Pareto-Front repräsentiert. Im Gegensatz zu Di Tullio et al. ist die Optimierungsfunktion offener gestaltet und erfordert keine Angabe von Maximalwerten. Eine Vorgabe ist dabei möglich, Gleichung (5.3) *lässt sich aber auch ohne externe Referenzwerte anwenden. Auf der Grundlage aller dominanter Datenpunkte der Pareto-Front werden die maximalen Werte jeder Zielfunktion, wie beispielsweise der Kosten $\max\left[\mu_{C_{\mathrm{sw}}}(\mathbf{o}^*)\right]$, ermittelt. Anschließend werden die Differenzen dieser maximalen Werte zu den anderen Punkten der Pareto-Front berechnet und auf den jeweiligen Maximalwert normiert. Durch die Festlegung der Gewichte der Zielfunktionen $\omega_{R_{\mathrm{DS(on)}}}$, $\omega_{C_{\mathrm{sw}}}$ und $\omega_{d_{\mathrm{A}}}$ kann eine Priorisierung vorgenommen werden. Je größer das Gewicht, desto höher ist die Priorität. Die Lösung des Optimierungsproblems stellt das Wertepaar mit dem geringsten Wert der Gesamtoptimierungsfunktion dar.*

Die Festlegung der Gewichte $\omega_{R_{\mathrm{DS(on)}}}$, $\omega_{C_{\mathrm{sw}}}$ sowie $\omega_{d_{\mathrm{A}}}$ ist stark subjektiv geprägt und lässt sich deshalb an eine spezifische Anwendung anpassen. Für die Gewichte werden die Werte $\omega_{R_{\mathrm{DS(on)}}} = 0{,}5$, $\omega_{C_{\mathrm{sw}}} = 0{,}3$ und $\omega_{d_{\mathrm{A}}} = 0{,}2$ gewählt und in die Optimierungsfunktion aus Gleichung (5.3) eingesetzt. Da der Einschaltwiderstand gemäß Gleichung (4.41) einen signifikanten Einfluss auf die resultierenden Leitverluste des Invertersystems hat, wird diesem Kriterium die höchste Priorität eingeräumt. Am zweitwichtigsten werden die Systemkosten bewertet. Es ist wichtig zu betonen, dass die Datenpunkte der Pareto-Front bereits sehr eng beieinander liegen, wie dies anhand der Grafiken in Abbildung 5.6 ersichtlich ist, und die Definition der Gewichte daher nur einen begrenzten Einfluss hat. Dennoch kann die Gewichtswahl beispielsweise bei einer strengen Kostenbeschränkung entsprechend angepasst werden. Die Ergebnisse dieses zweiten Optimierungsschrittes in Form der optimalen Halbleiterelemente sind in allen Darstellungen aus Abbildung 5.6 grün markiert.

Auf Basis dieser optimalen Schalterwahl lässt sich ein Kostenvergleich von Invertersystemen unter Verwendung des Kostenmodells aus Abbildung 4.7 durchführen. Hierzu werden die beschriebenen 125 Kombinationen aus den 25 SM-Konfigurationen und den fünf repräsentativen Mikrotopologien herangezogen. Um sowohl den Einfluss der Topologie als auch der SM-Konfiguration in geeigneter Weise zu veranschaulichen, sind die jeweiligen Systemkosten in zwei verschiedenen Ansichten in Abbildung 5.7 dargestellt. In Abbildung 5.7a erfolgt die übergeordnete Anordnung der Systemkosten entsprechend den zugrundeliegenden Mikrotopologien. Die identischen Ergebnisse sind auch in Abbildung 5.7b visualisiert, wobei die Kosten jedoch über den 25 SM-Konfigurationen aufgetragen sind. Diese Darstellung hebt die Auswirkungen der SM-Konfiguration auf die Gesamtkosten hervor. In beiden Grafiken finden sich rote Umrandungen einer Vielzahl von Ergebnisbalken, welche sich den zugrundeliegenden Mikrotopologien in Form der BM3-Struktur sowie der PECIN-Topologie zuordnen lassen. Diese Kennzeichnung markiert alle Invertersysteme, die Submodule aufweisen, in denen unterschiedliche Halbleiterelemente zum Einsatz kommen. Dieser Umstand resultiert bei den entsprechenden Invertersystemen aus der abweichenden STV der Diagonalschalter im Vergleich zu den übrigen Schaltelementen innerhalb eines Submoduls. In all diesen speziellen Fällen erfordert die höhere maximale Spannungsfestigkeit der Diagonalschalter den Einsatz von Halbleiterbauelementen mit einer größeren Durchbruchspannung.

Zieht man zunächst den Einfluss der SM-Konfiguration in den Fokus der Betrachtungen, lässt sich nahezu unabhängig von der vorliegenden Mikrotopologie ableiten, dass die Inverterkosten in der Regel mit der Anzahl der Submodule steigen. Dieser Umstand wird besonders bei einem Vergleich der SMLI-Systeme deutlich. Eine Abweichung dieses Trends lässt sich für Konfiguration Config_1 feststellen. Bei dieser SM-Konfiguration ist die Ausgangsspannung der beiden Module eines Inverterstrangs vergleichsweise hoch. Der Unterschied in der Anzahl der Schalter je Invertersystem ist dagegen im Vergleich zu Konfigurationen wie Config_2 bis Config_4 gering. Infolgedessen können die Kosten für die eingesetzten Halbleiterelemente mit entsprechend hoher Durchbruchspannung dominieren und zu höheren Inverterkosten führen. Darüber hinaus lassen sich auch bei den beiden Mikrotopologien der BM3- sowie der PECIN-Struktur weitere Abweichungen von dieser Progression erkennen. Aufgrund der divergierenden Spannungsfestigkeiten der Schalter eines Submoduls wirkt sich der Einsatz von Halbleiterelementen höherer Durchbruchspannung für die Diagonalschalter ebenfalls negativ auf die Kostenbilanz aus. Die höchsten Systemkosten werden mit Abstand bei einem Einsatz der Konfiguration Config_{11} erzielt. In diesem Fall besteht jede Energiespeichereinheit aus lediglich einer Batteriezelle. Der zugehörige Hardwareaufwand ist vergleichsweise hoch. Je nach spezifischer Konfiguration und Topologie können die Systemkosten nahezu das Zehnfache derjenigen von Invertersystemen mit geringerer Modulzahl betragen. Stellt man die AMLI-Systeme einander gegenüber, lässt sich auch bei diesen der Trend steigender Systemkosten bei erhöhter Modulzahl erkennen. Die Ursache begründet sich, wie auch bei den symmetrischen Konfigurationen, aus dem erhöhten Hardwareaufwand. Dies wird vor al-



(a) $n_{c,ESU}$ ={1; 2; 3; 4}. (b) $n_{c,ESU}$ ={6; 9}.

(c) $n_{c,ESU}$ = 12. (d) $n_{c,ESU}$ = 18.

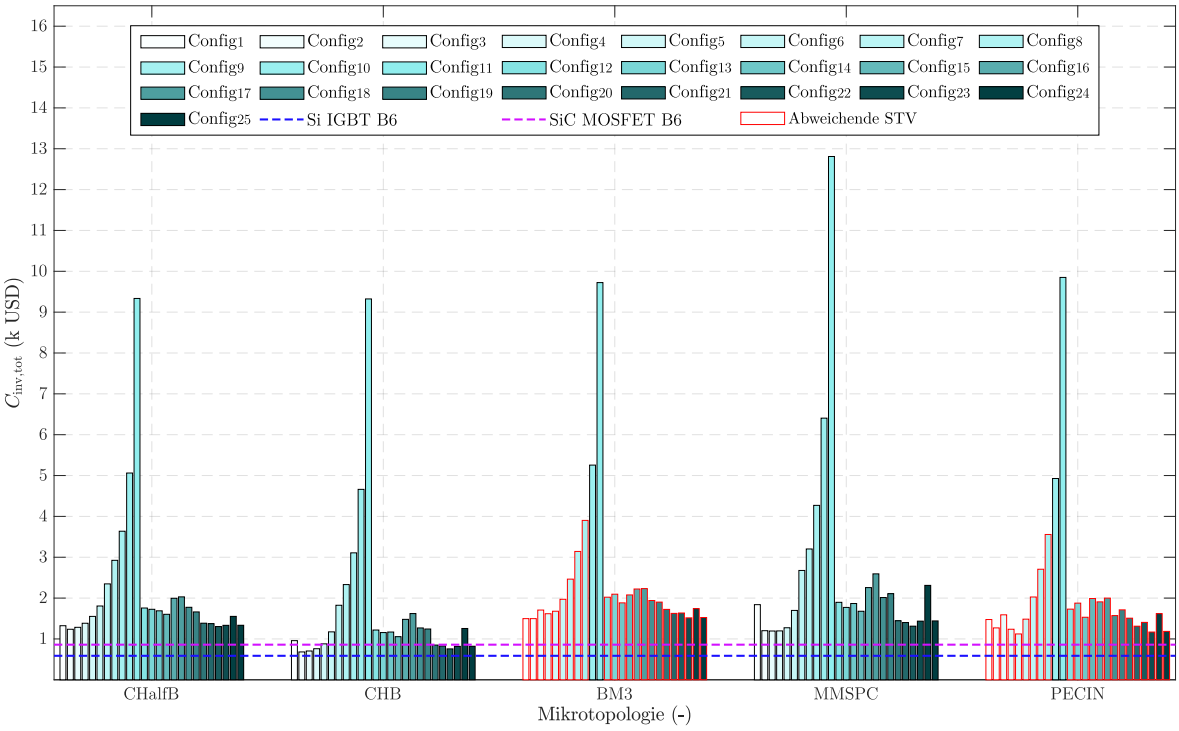
(e) $n_{c,ESU}$ = 27. (f) $n_{c,ESU}$ = 36.

(g) $n_{c,ESU}$ = 54. (h) $n_{c,ESU}$ = 108.

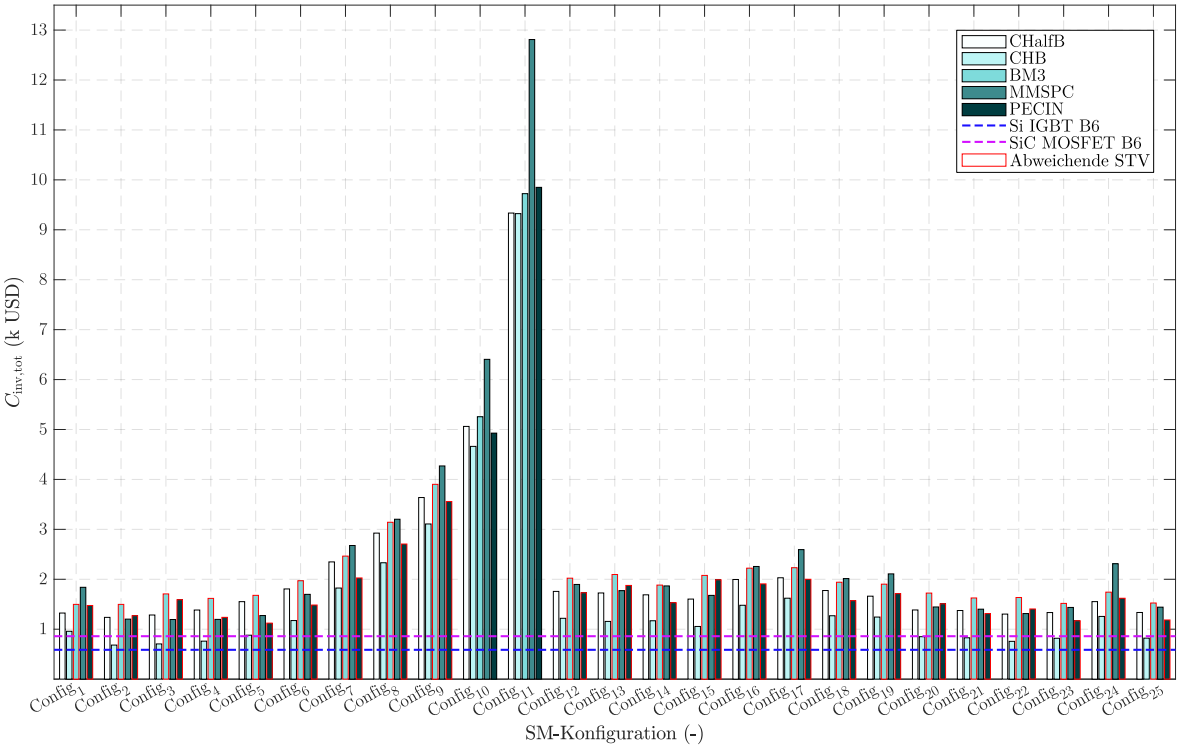
Abbildung 5.6: Darstellung der Schalterdatenpunkte über dem Einschaltwiderstand $R_{DS(on)}$, den Schalterkosten C_{sw} sowie der Gehäusefläche d_A mit der Kennzeichnung der ermittelten Pareto-Front (rote Umrandung) sowie dem gewählten optimalen Datenpunkt (grüne Umrandung) abhängig von dem jeweiligen Wert von $n_{c,ESU}$. Die Angabe der Kosten erfolgt in US Dollar.

lem bei einer Gegenüberstellung der Konfigurationen Config_{12} bis Config_{18} und Config_{19} bis Config_{25} deutlich. Durch den Einsatz eines Restmoduls fällt die Anzahl der Schalter bei den letztgenannten geringer aus. Neben der Quantität der Halbleiterschalter wirkt sich auch bei den AMLI-Systemen die Modulspannung und in der Folge die höhere erforderliche Durchbruchspannung der Halbleiterschalter aus. Insbesondere bei hohen Modulspannungen sind speziell ausgelegte Halbleiterschalter erforderlich, welche zu erhöhten Systemkosten führen können. Diese Tatsache spiegelt sich in den höheren Systemkosten einzelner AMLI-Konfigurationen wider. Vergleicht man alle SM-Konfigurationen miteinander,

so bieten asymmetrische Konfigurationen gegenüber SMLIs das Potential, Kosten einzusparen. Lediglich SMLI-Systeme mit einer hinreichend niedrigen Modulzahl, wie es beispielsweise bei den Konfigu-



(a) Systemkosten aufgetragen über den Mikrotopologien mit einer Unterteilung in SM-Konfigurationen.



(b) Systemkosten aufgetragen über den SM-Konfigurationen mit einer Unterteilung in Mikrotopologien.

Abbildung 5.7: Kostengegenüberstellung der Invertersysteme.

rationen Config_1 bis Config_6 mit weniger als zehn Modulen der Fall ist, können aus reiner Kostensicht mit den betrachteten AMLI-Systemen konkurrieren. Diese Erkenntnis lässt sich auf einen reduzierten Hardwareaufwand zurückführen und deckt sich mit den Ergebnissen von Dixon et al. [32].
Bei Betrachtung der Einflussnahme der Mikrotopologie auf die Inverterkosten, lassen sich weiterhin signifikante Unterschiede erkennen. Unabhängig von der vorliegenden SM-Konfiguration ist die CHB die kostengünstigste Variante unter den MLI-Systemen. Obwohl sowohl die Halbbrücke als auch die BM3-Mikrotopologie eine geringere Anzahl von Schaltern je Submodul aufweisen, können sie infolge des erforderlichen Einsatzes einer PUE zur Bereitstellung desselben Spannungshubs am Ausgang des Inverters nicht mit den niedrigen Kosten des CHB-MLI mithalten. Die BM3-Struktur übertrifft aufgrund des dritten Schalters pro Submodul sogar die Inverterkosten der CHalfB. Allerdings verfügt sie im Gegensatz zur Mikrotopologie der Halbbrücke über die zusätzliche Fähigkeit zur Parallelisierung und zeigt damit unter Berücksichtigung der PUE denselben Funktionsumfang wie der MMSPC- und der PECIN-Inverter. Dennoch verursacht die Verwendung der BM3-Struktur bei allen betrachteten SM-Konfigurationen, mit Ausnahme von Config_{11}, höhere Systemkosten im Vergleich zu mindestens einer dieser beiden MLI-Topologien. Neben dem Einsatz einer zusätzlichen externen PUE liegt die Ursache auch in der erläuterten Divergenz der STV-Werte. Trotz einer vergleichsweise hohen Anzahl von acht Schaltern in der MMSPC-Mikrotopologie wirken sich in vielen Fällen der Einsatz der PUE sowie die Verwendung von Halbleiterelementen mit einer größeren Durchbruchspannung negativer auf die Kostenbilanz aus. Ein Vergleich zwischen den Kosten der MMSPC- und der PECIN-Struktur zeigt, dass letztere bei den meisten SM-Konfigurationen niedrigere Kosten erreicht. Es existieren jedoch Ausnahmen in Form der Konfigurationen Config_2 bis Config_4, Config_{13}, Config_{15}, Config_{20} und Config_{22}, in denen der Einfluss der unterschiedlichen Schalterwahl pro Submodul derart ausgeprägt ist, dass sich trotz einer geringeren Schalterzahl je Modul höhere Gesamtkosten ergeben, ähnlich wie bei dem BM3-Inverter.
Insgesamt sind die Kosten bei der Submodul-Konfiguration Config_{11} besonders auffällig. Wie sich aus der schwarzen Umrandung aller Ergebnisbalken ableiten lässt, können für alle Submodule in jeder Mikrotopologie identische Halbleiterelemente eingesetzt werden. Der Einfluss einer abweichenden Spannungsfestigkeit ist damit nicht vorhanden. Vielmehr wird die Auswirkung des Kostenaufwandes infolge der hohen Anzahl an Schaltern je Submodul bei der MMSPC-Struktur deutlich. Aufgrund des hohen Werts von n_{SM} und der daraus folgenden Präsenz von insgesamt $n_{\text{ph}} \cdot n_{\text{sw,SM}} \cdot n_{\text{c,ph}} = 3 \cdot 8 \cdot 108 = 2592$ Schalter im System des MMSPC-MLI übersteigen die zugehörigen Inverterkosten bei Config_{11} die übrigen signifikant. Die hohe Anzahl an Schaltelementen wirkt sich in diesem Fall erheblich stärker auf die Kostenbilanz aus, als beispielsweise der Einsatz einer externen PUE. Vergleicht man die Kosten aller MLI-Systeme mit denen der beiden konventionellen B6-Wechselrichter, so kann nahezu keine MLI-Topologie in Bezug auf die Systemkosten mit diesen beiden Referenzsystemen mithalten. Lediglich die CHB zeigt vergleichbare Ergebnisse. Für ausgewählte Konfigurationen wie Config_2 bis Config_4, Config_{20} bis Config_{23} und Config_{25} erzielt diese MLI-Variante geringere Kosten als der SiC-basierte VSI.
Beurteilt man die Systemkosten unter Einbezug des in Tabelle 5.4 gegebenen Funktionsumfangs der einzelnen MLI-Topologien, lässt sich generell erkennen, dass sich ein hoher Funktionsumfang negativ in den Systemkosten äußert. In der Regel steigt mit der Anzahl der Funktionen, die eine Mikrotopologie aufweist, auch der zugehörige Hardwareaufwand und in der Folge die Kosten des Inverters. Der positive Effekt zusätzlicher Funktionen wird anhand einer reinen Kostenanalyse nicht ersichtlich. In den nachfolgenden Abschnitten dieses Kapitels werden sukzessiv weitere Einflussfaktoren berücksichtigt und ein gesamtheitlicher Vergleich gewährleistet. Zuvor soll diesem Umstand jedoch bereits durch eine prägnante Berücksichtigung des Funktionsumfangs Rechnung getragen werden. Abbildung 5.8 visualisiert hierzu die Auftragung der Systemkosten aller betrachteter MLI-Systeme über dem jeweiligen

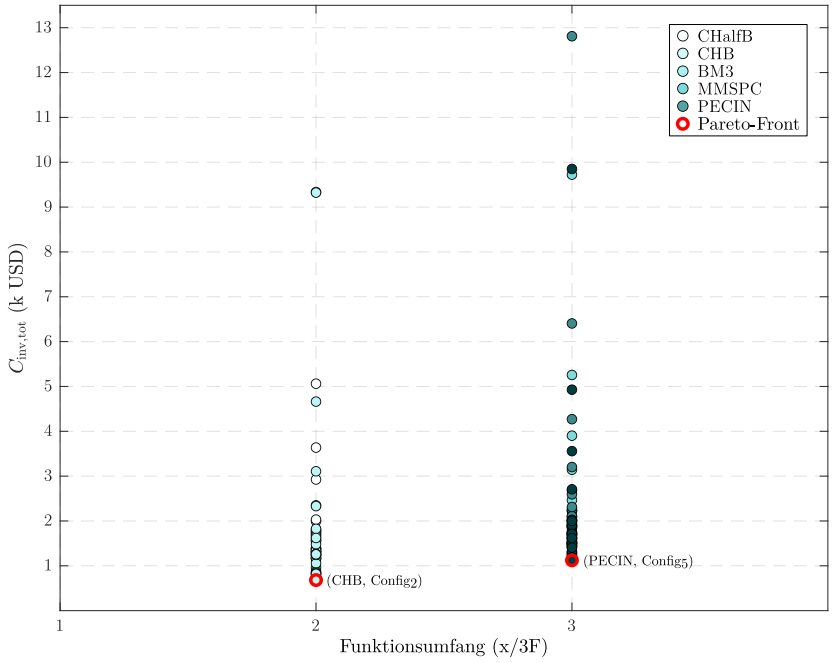


Abbildung 5.8: Kostenvergleich der Invertersysteme eingeordnet entsprechend der jeweilig eingesetzten Mikrotopologie.

Funktionsumfang, gemäß den Angaben in Tabelle 5.4. Anders als in Tabelle 5.4 ist jedoch im vorliegenden Fall die Existenz der zusätzlichen PUE für beide Mikrotopologien der Halbbrücke sowie der BM3-Struktur einbezogen. Der zugehörige Funktionsumfang bemisst infolge dieser Berücksichtigung einen Wert von zwei. Zur Verdeutlichung sind die Ergebniswerte entsprechend der zugrundeliegenden Mikrotopologien farblich markiert. Zudem sind die beiden Pareto-optimalen Punkte entsprechend der in Abbildung 5.6 eingeführten Kennzeichnung rot hervorgehoben. Aus Gründen der Übersicht sind lediglich für diese beiden Ergebnispunkte die SM-Konfiguration sowie die Mikrotopologie explizit angegeben. Wie sich den Ergebnissen entnehmen lässt, können die Invertersysteme auf Basis der Halbbrücke sowie der BM3-Struktur nicht mit den anderen Invertersystemen mithalten, welche denselben Funktionsumfang aufweisen, jedoch infolge des Einsatzes der H-Brücke als Mikrotopologie bereits intrinsisch über eine Polaritätsumkehr verfügen. In Analogie zu den Resultaten aus Abbildung 5.7 erzielt ein CHB-System die geringsten Kosten unter allen MLI-Systemen. Bezieht man allerdings den Funktionsumfang mit ein, so enthält die Pareto-Front auch ein Invertersystem, bei welcher die PECIN die Mikrotopologie bildet. Diese besitzt infolge der Parallelisierungsfähigkeit einen höheren Funktionsumfang als die CHB-Struktur.

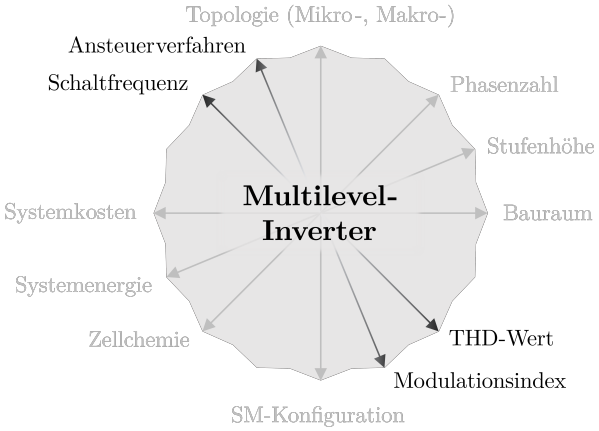
5.2.3 Zusammenfassung und Fazit des ersten Clusters

Das erste Cluster bietet einen Überblick über die Wechselwirkungen der Systemgegebenheiten und der Hardwareumsetzung. Die Untersuchung der Einflussnahme der SM-Konfiguration auf die Stufenhöhe sowie auf ausgewählte MLI-Spezifikationen verdeutlicht die starke Abhängigkeit der Stufenhöhe vom vorliegenden Moduldesign. Während bei SMLI-Systemen die Stufenhöhe mit steigender Modulzahl und damit einer schrumpfenden Anzahl an Batteriezellen je Energiespeichereinheit sinkt, nehmen sowohl die Anzahl unterschiedlicher Spannungslevel als auch die Granularität des Ausgangsspannungsmusters zu. Im Kontext von AMLI-Systemen lassen sich derartige Schlussfolgerungen nicht ohne Weiteres ableiten. Es zeigt sich allerdings auch ein grundlegender Trend einer steigenden Levelzahl mit zunehmender Anzahl an Submodulen im System. Die durchgeführten Untersuchungen veranschaulichen

zudem, dass eine geringe Modulanzahl, gepaart mit der Präsenz eines Submoduls hoher Modulspannung, zu großen Spannungsstufen im Ausgangsspannungsmuster führen kann. Ähnliche Ergebnisse ergeben sich auch für AMLI-Systeme, welche zwar eine hohe Modulanzahl besitzen, der überwiegende Teil der Module jedoch eine vergleichsweise hohe Modulspannung aufweist. Diesen hohen Spannungssprüngen lässt sich mit der Implementierung von Modulkombinationen entgegenwirken, bei denen die Polarität der Modulspannungen divergiert. Infolge der erhöhten Anzahl an Spannungslevel nehmen die maximalen Stufenspannungen in den zugehörigen Ausgangsspannungsmustern ab. Allerdings ist die Anwendung der Pol-Kombinationen mit einem erhöhten Rechenaufwand verbunden, der mit der Anzahl der Submodule im System weiter anwächst. Eine Implementierung dieser Kombinationen bietet sich daher vorrangig bei AMLI-Systemen mit einer vergleichsweise geringen Modulzahl an. Während bei SMLI-Systemen die maximale Granularität der Ausgangsspannung ausschließlich mit einer Zellenzahl von $n_{\mathrm{c,ESU}} = 1$ je Energiespeichereinheit und damit einer enorm hohen Anzahl an Submodulen erzielt werden kann, lässt sich dieser Sachverhalt mithilfe geeigneter AMLI-Konfigurationen bereits bei einer deutlich geringeren Modulanzahl erreichen. In der Folge kann der erforderliche Hardwareaufwand reduziert werden.

Neben diesen Betrachtungen liegt der Fokus des ersten Clusters auf den Auswirkungen der SM-Konfiguration sowie der Invertertopologie auf die resultierenden Systemkosten. Grundlage für die Untersuchungen bilden eine Vielzahl von Invertersystemen, die sich sowohl im Moduldesign als auch der Mikrotopologie unterscheiden. Für jedes der betrachteten Invertersysteme erfolgt eine optimierte Schalterwahl, um ergänzend zu den Analysen die vielversprechendste Variante zu identifizieren. Unter rein ökonomischen Gesichtspunkten erweist sich die CHB-Struktur im Vergleich zu anderen MLI-Strukturen als kostengünstigste Option. In Bezug auf die SM-Konfiguration zeigen AMLI-Systeme allgemein sowie SMLI-Konfigurationen mit einer vergleichsweise niedrigen Modulzahl die geringsten Kosten. Im Zuge der Untersuchungen wird jedoch ersichtlich, dass eine alleinige Betrachtung der Systemkosten keine vollends aussagekräftige Analyse ermöglicht. Es ist essenziell zu erwähnen, dass sich ein zusätzlicher Hardwareaufwand für die Erweiterung des Funktionsumfangs des MLI-Systems ausschließlich negativ in den Systemkosten äußert. Dem Vorteil einer Funktionserweiterung wird dabei nicht Rechnung getragen. Dieser Sachverhalt trifft beispielsweise auf die beiden Topologien der Halbbrücke sowie der BM3-Struktur zu. Durch den Einsatz einer PUE zur Bereitstellung des doppelten Spannungshubs, um mit den anderen Mikrotopologien in Bezug auf die Systemanforderungen konkurrieren zu können, ergeben sich trotz einer geringeren Schalterzahl je Submodul vergleichsweise hohe Inverterkosten. Die wirtschaftlich günstigste MLI-Struktur ist die CHB-Topologie. Allerdings ist diese Struktur nicht in der Lage, Energiespeichereinheiten parallel zu schalten. Die MMSPC- sowie die PECIN-Struktur erwerben sich diese Fähigkeit durch den Einsatz zusätzlicher Schalter je Submodul. Aufgrund dieser negativen Bilanzierung müssen weitere Kriterien herangezogen werden, die einen ganzheitlichen Systemvergleich gewährleisten.

5.3 Parameterabhängigkeiten: Cluster THD



Der Fokus des zweiten Clusters liegt insbesondere auf den Wechselwirkungen des THD-Werts mit anderen Einflussfaktoren wie der Phasenzahl, der Stufenhöhe, dem Amplitudenmodulationsindex, der Schaltfrequenz sowie dem Ansteuerverfahren. Wie die Betrachtungen des vorhergehenden Abschnitts zeigen, besitzen die SM-Konfigurationen wie auch die Mikrotopologie, deren Beschaffenheit die Voraussetzung für die Anwendung von Pol-Kombinationen darstellt, einen starken Einfluss auf das resultierende Ausgangsspannungsmuster eines MLI-Systems. Aus diesem Grund erfolgt ebenso eine Auseinandersetzung mit den Korrelationen zwischen der SM-Konfiguration, der Mikrotopologie, ausgewählten MLI-Spezifikationen wie der Redundanz und der Quantisierung und dem THD-Wert.

5.3.1 Stand der Technik

Wie in Abschnitt 5.2 deutlich wird, ist die SM-Konfiguration ein ausschlaggebender Faktor für die resultierenden Stufen im Ausgangsspannungsmuster eines MLI. Die exakte Form der Ausgangsspannung ist wiederum entscheidend für den resultierenden Oberwellengehalt.
In ihrer Studie validieren Quach et al. die erfolgreiche Anwendung eines sogenannten *Double-Fourier-Series*-Algorithmus für die Ermittlung des harmonischen Gehalts einer MLI-Phasenspannung [126]. Dabei wird die Implementierung ausschließlich für die Topologie des MMC vorgestellt, welche in Abbildung 2.4g gezeigt ist. Es werden zudem nur symmetrische Konfigurationen berücksichtigt. Im Zuge dieser Untersuchungen betrachten die Autoren die Einflussnahme sowohl der Anzahl an Spannungslevel und der Schaltfrequenz als auch des Amplitudenmodulationsindexes auf den resultierenden Oberwellengehalt. Die Ergebnisse demonstrieren, dass eine höhere Anzahl an Spannungslevel zur Reduzierung des THD-Werts der Phasenspannung führt. Die Erhöhung der Spannungslevel kann dabei mit der Anzahl vorhandener Submodule im System und somit einer geringeren Stufenhöhe gleichgesetzt werden. Die Betrachtung hinsichtlich der Auswirkung einer Steigerung der Schaltfrequenz f_{sw} zeigt, dass diese ebenso den Oberwellengehalt in der MLI-Ausgangsspannung minimiert. Die Autoren wenden dabei das *level-shifted PWM (LS-PWM)*-Verfahren an und vergleichen hierzu sowohl das Frequenzspektrum als auch den resultierenden THD-Wert für drei verschiedene Werte der Trägerfrequenz[9], die sich jeweils um den Faktor zwei bzw. drei unterscheiden. Gemäß den Ergebnissen ist der Einfluss

[9] Hinweis: Die Trägerfrequenz kann in diesem Fall mit der Schaltfrequenz gleichgesetzt werden.

einer steigenden Schaltfrequenz auf den Oberwellengehalt weniger stark ausgeprägt als eine Modifikation der Anzahl an Spannungslevel im Ausgangsspannungsmuster. Aufgrund einer zweideutigen Angabe in der Publikation und eines dadurch resultierenden Unterschieds um den Faktor zehn ist nicht eindeutig ersichtlich, welche Trägerfrequenzen die Basis der Untersuchungen bilden. Je nach tatsächlichem Frequenzbereich der Trägerfrequenz kann der Einfluss auf den Oberwellengehalt stark variieren. Für die Untersuchung der Auswirkung des Amplitudenmodulationsindexes m_a auf den Oberwellengehalt verwenden Quach et al. einen MMC, welcher in der Lage ist, insgesamt elf unterschiedliche Ausgangsspannungslevel zu erzeugen. Der THD-Wert sinkt dabei mit steigendem m_a. Die Autoren begründen diese Tatsache damit, dass die Amplitude der Grundwelle mit der Zunahme des Amplitudenmodulationsindexes anwächst. Diesen Sachverhalt demonstrieren auch Mandal et al., wobei die Autoren für eine spezielle MLI-Struktur die Progression des Effektivwerts der Grundwelle sowie den Oberwellengehalt der generierten Ausgangsspannung auflisten [99]. Für einen vorliegenden Amplitudenmodulationsindex von $m_\mathrm{a} = 0{,}4$ erhöht sich der THD-Wert um einen Faktor von annähernd 2,5 im Vergleich zu $m_\mathrm{a} = 1{,}0$. Die Anzahl der Spannungslevel des Ausgangssignals liegt dabei bei einem Wert von 15. Auch in der Publikation von Ruderman findet sich diese Entwicklung des THD-Werts über m_a, wobei dort als MLI-Topologie die CHB-Struktur verwendet wird [136]. Der Autor beschäftigt sich in dieser Studie intensiv mit dem Spannungs-THD eines einphasigen sowie eines dreiphasigen MLI. Dabei verdeutlichen die Ergebnisse, dass der Oberwellengehalt mit wachsendem m_a stark abnimmt. Darüber hinaus bewirkt auch die Erhöhung der Anzahl an Spannungslevel und damit der Modulzahl eine THD-Minimierung. Laut Ruderman ist vor allem die Ausweitung von n_level ein wesentlicher Faktor für die Verbesserung des Oberwellengehalts. Sofern keine spezifischen Anforderungen an das Frequenzspektrum der Ausgangsspannung vorliegen, ist der Einsatz spezieller Eliminierungsverfahren wie beispielsweise der SHE-Methode bei hinreichend hoher Anzahl an Spannungslevel aus praktischer Sicht irrelevant. Der Autor analysiert im Rahmen der Veröffentlichung ausschließlich symmetrische Moduldesigns. Im Gegensatz dazu berücksichtigen Islam et al. im Zuge eines umfangreichen Vergleichs verschiedener MLI-Topologien MLI-Designs in symmetrischer wie auch in asymmetrischer Ausführung [73]. Neben der Analyse hinsichtlich der Anzahl generierbarer Spannungslevel sowie des Hardwareaufwands in Form erforderlicher Spannungsquellen, Schalter und Gate-Treiber, werden die Strukturen ebenso anhand des erzielten Spannungs-THD gegenübergestellt. Die Autoren betrachten damit den Einfluss sowohl der Mikrotopologie als auch der SM-Konfiguration auf den Oberwellengehalt. Ziel der Untersuchungen ist es, die bestmögliche MLI-Struktur mit maximaler Anzahl an Spannungslevel bei gleichzeitig minimalem Hardwareaufwand zu ermitteln. Unter allen betrachteten SM-Konfigurationen zeigt die asymmetrische Struktur von Vijeh et al. den geringsten Oberwellengehalt [166]. Dieser minimale Wert ist auf die hohe Anzahl an Spannungslevel zurückführen, die aufgrund der speziellen Topologie dieser Struktur im Vergleich zu den anderen MLI-Systemen erreicht wird. Allerdings besitzt dieser MLI den größten Hardwareaufwand. Im Gegensatz hierzu präsentieren Khasim et al. eine neuartige AMLI-Struktur, die sowohl das größte Verhältnis aus n_level zum benötigten Hardwareaufwand als auch den geringsten THD-Wert aufweist [79]. Für den gezeigten Fall von 33 Spannungslevel beträgt das zugehörige Verhältnis aus n_level zur Schalterzahl den Wert 2,8. Die vier eingesetzten Energiespeichereinheiten liegen in einem Spannungsverhältnis von 1:2:4:9 vor. Darüber hinaus zeigen die Autoren explizit auf, wie viele Spannungslevel bei einem vorliegenden Amplitudenmodulationsindex aus der Menge aller erzeugbaren Level für die Nachbildung der Referenzspannung genutzt werden können. Mit steigendem m_a nimmt diese Zahl zu.

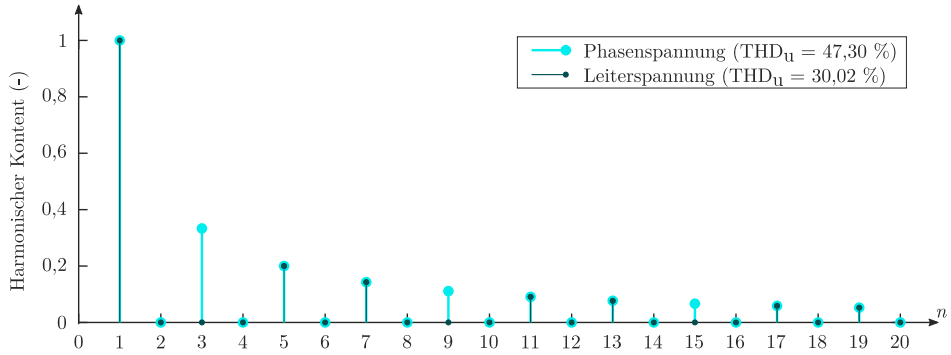
5.3.2 Analyse und Optimierung

Wie erwähnt, liegt in diesem Cluster der Fokus vorrangig auf der Analyse der Abhängigkeitsstruktur zwischen dem THD-Wert und einigen weiteren Einflussfaktoren. Da zunächst Zusammenhänge zwischen Parametern wie der Phasenzahl, der Stufenhöhe, des Amplitudenmodulationsindexes sowie der Schaltfrequenz und dem THD-Wert sehr allgemein beleuchtet werden, werden in Abschnitt 5.3.2.1 bis Abschnitt 5.3.2.3 ohne Einschränkung der Allgemeingültigkeit SMLI-Systeme als Betrachtungsgrundlage herangezogen. Diese Annahme erlaubt es, die Stufenhöhe mit der Modulspannung gemäß Gleichung (4.11) gleichzusetzen. Im Anschluss daran erfolgt eine explizite Untersuchung der Korrelation zwischen dem THD-Wert und der SM-Konfiguration auf der Basis symmetrischer und asymmetrischer Moduldesigns. Für die zugehörigen Analysen werden die betrachteten SM-Konfigurationen aus Tabelle 5.3 verwendet. In diesem Zusammenhang werden darüber hinaus MLI-Spezifikationen wie die Redundanz, die Quantisierung sowie die Einschaltzeiten der Module in die Betrachtungen einbezogen. Wie von Kim erläutert, ist bei einer Anwendung im Elektrofahrzeug neben dem Oberwellengehalt der Phasenspannung auch der THD-Wert des Wechselstroms in der elektrischen Maschine von Bedeutung [81]. Die Qualität der erzeugten MLI-Ausgangsspannung wirkt sich dabei jedoch direkt auf den Oberwellengehalt des Phasenstroms aus. Aus diesem Grund erfolgt im überwiegenden Teil die Analyse des THD-Werts einer Phasenspannung. Nur an vereinzelten Stellen wird ebenso der Oberwellengehalt des Stroms berücksichtigt.

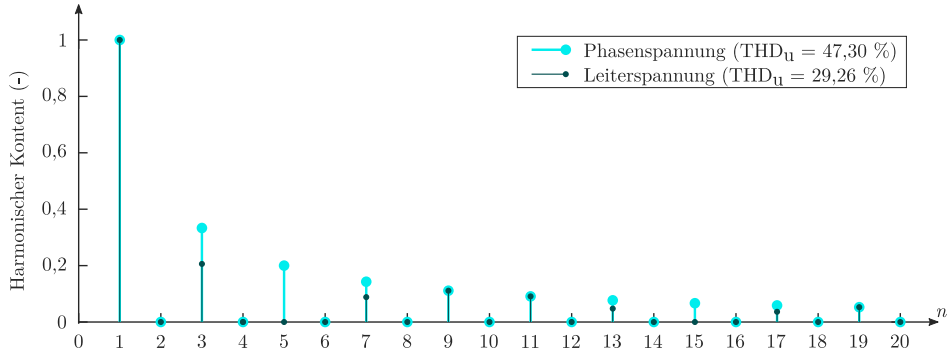
5.3.2.1 Phasenzahl ↔ Total-Harmonic-Distortion-Wert

In Abschnitt 5.2 wird die Phasenzahl auf $n_{\mathrm{ph}} = 3$ festgelegt, welche dem gängigen Wert einer elektrischen Maschine im Elektrofahrzeug entspricht. Aufgrund einer bestehenden Wechselwirkung mit dem Oberwellengehalt eines Signals wird in diesem Abschnitt, entgegen dieser Festlegung, der allgemeine Zusammenhang prägnant analysiert. Im Anschluss an diese Erläuterungen gilt erneut $n_{\mathrm{ph}} = 3$.
Im Rahmen der Beschreibungen von Ansteuerverfahren eines MLI ist in Abbildung 2.7 das Frequenzspektrum eines Rechtecksignals gezeigt, dessen Form entsprechend Gleichung (A.13) definiert ist. Aus Symmetriegründen finden sich im Frequenzspektrum ausschließlich ungerade Harmonische. Es sei angenommen, dass es sich bei dem Rechtecksignal um die Phasenspannungen u_{a} sowie u_{b} eines MLI-Systems handelt[10]. Betrachtet man in einem n_{ph}-phasigen System neben der Phasenspannung ebenso die Leiterspannung, wird deutlich, dass die Anzahl der Phasen einen Einfluss auf das Frequenzspektrum und in der Folge auf den zugehörigen THD-Wert besitzt. Für $n_{\mathrm{ph}} = 3$ nimmt die Phasenverschiebung zwischen den beiden Phasenspannungen den typischen Wert von $\varphi = 120°$ an. Dabei ergibt sich die Leiterspannung u_{ab} aus der Differenz der zwei Phasenspannungen u_{a} und u_{b} identischer Rechteckform mit $u_{\mathrm{ab}} = u_{\mathrm{a}} - u_{\mathrm{b}}$. Das resultierende Spektrum der Leiterspannung u_{ab} ist in Abbildung 5.9a gezeigt. Zur Verdeutlichung des Einflusses der Phasenzahl ist zudem das Frequenzspektrum der Phasenspannung ergänzt. Beim Vergleich der harmonischen Komponenten beider Spektren aus Abbildung 5.9a wird ersichtlich, dass im Spektrum der Leiterspannung u_{ab} neben den geraden Harmonischen auch sämtliche durch drei teilbare Harmonische fehlen. Der Betrag dieser Harmonischen ist null. Betrachtet man weiterhin die Leiterspannung u_{ab} eines Systems auf Basis einer Phasenzahl von $n_{\mathrm{ph}} = 5$, ergibt sich das Frequenzspektrum in Abbildung 5.9b. Zur Verdeutlichung ist erneut das Frequenzspektrum der Phasenspannung u_{a} dargestellt. Analog zu der Leiterspannung in einem dreiphasigen System sind bei der Leiterspannung für $n_{\mathrm{ph}} = 5$ neben den geraden auch alle Harmonischen, deren Ordnung durch fünf teilbar ist, nicht im Frequenzspektrum enthalten. Die Ursache begründet sich in beiden Fällen mit der Phasenverschiebung φ, die sich gemäß Gleichung (5.4) mit der Phasenzahl

[10] Hinweis: Die Wahl des Rechtecksignals als Phasenspannung ist bewusst getroffen. Aufgrund der charakteristischen Form des Frequenzspektrums lässt sich der Einfluss der Phasenzahl sehr gut demonstrieren.



(a) $n_{\mathrm{ph}} = 3$.



(b) $n_{\mathrm{ph}} = 5$.

Abbildung 5.9: Gegenüberstellung der Frequenzspektren einer Phasenspannung u_a und der zugehörigen Leiterspannung u_{ab} für eine definierte Phasenzahl n_{ph}.

n_{ph} eines Systems berechnen lässt.

$$\varphi = \frac{360°}{n_{\mathrm{ph}}} \tag{5.4}$$

Die Periodendauer der Oberwellen mit der Ordnung $n = n_{\mathrm{ph}}$, welche vollständig innerhalb einer Referenzperiode f_{ref} liegen, entspricht folglich einem Wert von $360° / \varphi$. Die Phasenverschiebung der n_{ph}-ten Harmonischen $\varphi_{n=n_{\mathrm{ph}}}$ zweier Phasenspannungen zueinander ergibt sich darauf aufbauend mithilfe der Beziehung

$$\varphi_{n=n_{\mathrm{ph}}} = \frac{360°/n_{\mathrm{ph}}}{n_{\mathrm{ph}}} = 360° \,. \tag{5.5}$$

In der Konsequenz befinden sich diese Harmonischen in Phase zueinander. Da die Leiterspannung u_{ab} aus der Differenz der beiden Phasenspannungen u_{a} und u_{b} resultiert, eliminieren sich die n_{ph}-ten Oberwellen und sind im zugehörigen Frequenzspektrum nicht enthalten [81]. Diese Eliminierung führt im Weiteren gemäß der THD-Berechnung aus Gleichung (4.49) zu einer Reduzierung der Verzerrungswerte, wie anhand der THD-Angaben in Abbildung 5.9a sowie Abbildung 5.9b ersichtlich wird. Der THD-Wert ist somit von der Phasenanzahl des vorliegenden Systems abhängig [12, 23, 81, 150]. Für eine allgemeine Analyse dieser Abhängigkeit visualisiert Abbildung 5.10 den Einfluss des Phasenwinkels auf den THD-Wert. Hierzu wird die Phasenzahl eines vorliegenden Systems variiert, über welche sich die Phasenverschiebung mithilfe des Zusammenhangs aus Gleichung (5.4) einstellt. Auf Basis zweier Phasenspannungen u_{a} sowie u_{b}, die um den aktuellen Wert φ zueinander phasenverschoben sind, wird die Leiterspannung $u_{\mathrm{ab}} = u_{\mathrm{a}} - u_{\mathrm{b}}$ berechnet und der zugehörige THD-Wert gemessen. Als

Ansteuerverfahren ist die NLC-Methode gewählt[11]. Die Modulspannung basiert auf einer Zellanzahl von $n_{\mathrm{c,ESU}} = 54$. Der Amplitudenmodulationsindex beträgt $m_{\mathrm{a}} = 1$. Bei Betrachtung des THD-Verlaufs

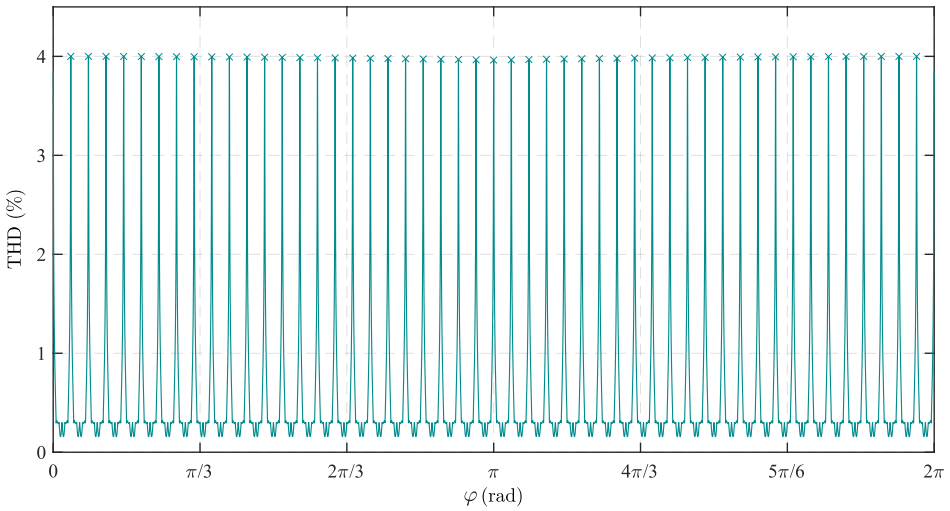


Abbildung 5.10: Entwicklung des THD-Werts über der Phasenverschiebung φ, dessen Wert sich auf Basis der vorliegenden Phasenzahl n_{ph} ergibt.

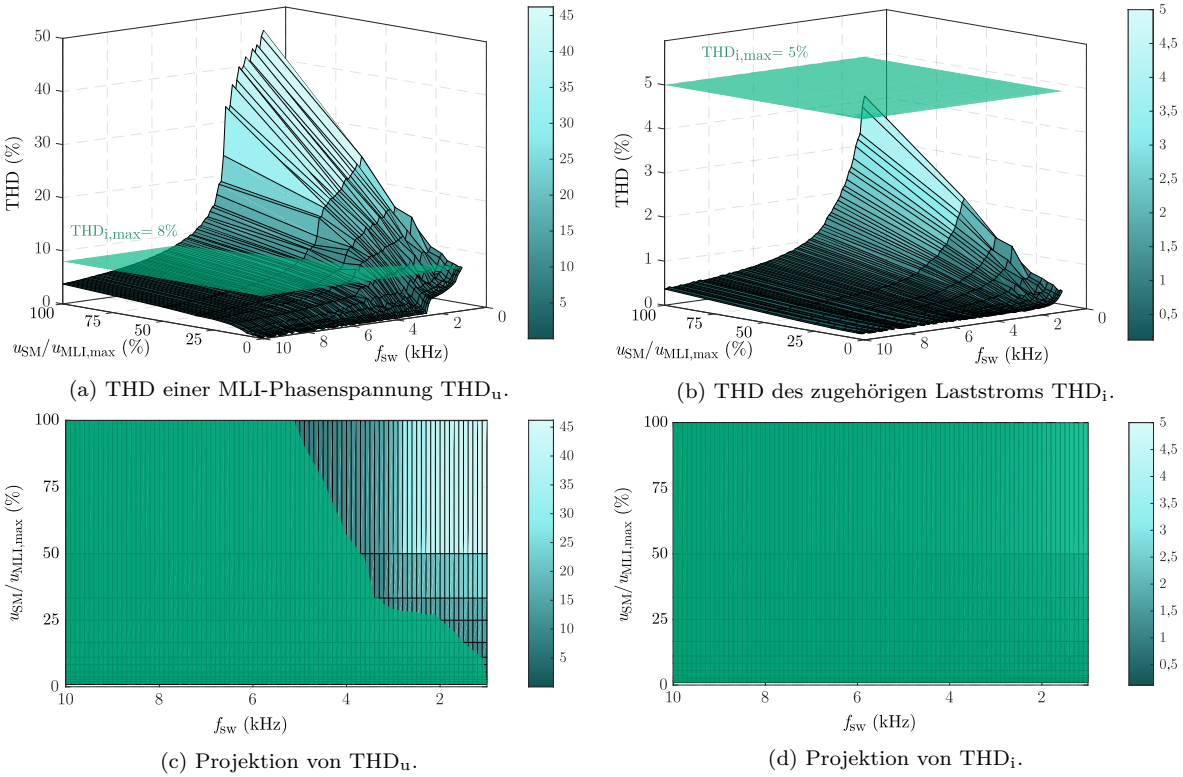
in Abbildung 5.10 lässt sich ein periodisches Muster in der Einflussnahme der Phasenverschiebung φ erkennen. In Abständen von $\frac{1}{50}\,2\,\pi$ weist der THD-Wert über die vollständige Referenzperiode hinweg ein lokales Maximum von $\mathrm{THD_u} = 4\,\%$ auf. Für alle anderen Werte der Phasenverschiebung, welche nicht dem Vielfachen von $k\,\frac{1}{50}\,2\,\pi$ mit $k \in \{1 \ldots 50\}$ entsprechen, werden geringere THD-Werte erzielt. Die Ursache für dieses Phänomen liegt im jeweiligen harmonischen Anteil der Oberwellen, welche sich aufgrund der vorliegenden Phasenzahl n_{ph} gegenseitig auslöschen. Wie zuvor beschrieben, eliminieren sich in einem n_{ph}-phasigen System die Harmonischen der n_{ph}-ten Ordnung in der Leiterspannung. Diese Harmonischen tragen folglich nicht zum Energiegehalt des Frequenzspektrums bei, ihr harmonischer Anteil fehlt. Wie in den gezeigten Frequenzspektren in Abbildung 5.9b erkennbar, sind insbesondere die harmonischen Komponenten niedrigerer Ordnung dominant und haben einen signifikanten Einfluss auf den Verzerrungsgehalt eines Signals. Liegt eine geringe Phasenzahl n_{ph}, wie beispielsweise drei, vor, wird ein dominanter Anteil im Frequenzspektrum eliminiert. Mit steigender Phasenzahl wächst die Ordnung der Harmonischen an, deren Anteile sich in u_{ab} gegenseitig auslöschen. Folglich nimmt der Betrag der eliminierten Komponente ab. Der resultierende THD-Wert steigt damit mit zunehmender Phasenzahl n_{ph} an.

5.3.2.2 Stufenhöhe ↔ Schaltfrequenz ↔ Total-Harmonic-Distortion-Wert

In einem weiteren Schritt wird der Zusammenhang zwischen der Stufenhöhe, der Schaltfrequenz und dem THD-Wert analysiert. Im vorliegenden Unterabschnitt wird zunächst von einem konstanten Wert von $m_{\mathrm{a}} = 1$ ausgegangen, da der Einfluss des Amplitudenmodulationsindexes erst in Abschnitt 5.3.2.3 behandelt wird.

Abbildung 5.11 visualisiert die Entwicklung des THD-Werts über der Modulspannung u_{SM} sowie der Schaltfrequenz f_{sw}. Die Grundlage für die Ergebnisse in Abbildung 5.11 bildet die Untersuchung der Phasenspannung am Ausgang eines MLI u_{MLI} als Resultat einer geforderten Referenz-

[11] Hinweis: Da der Fokus auf der Einflussnahme der Phasenzahl liegt, ist die Wahl des zugrundeliegende Ansteuerverfahrens beliebig. Dieses hat zwar einen Einfluss auf den Absolutwert des THD-Werts, wirkt sich jedoch nicht auf die Einflussnahme der Phasenzahl aus. Identischer Sachverhalt gilt für die Werte der Zellanzahl sowie den Amplitudenmodulationsindex.



(a) THD einer MLI-Phasenspannung $\mathrm{THD_u}$.

(b) THD des zugehörigen Laststroms $\mathrm{THD_i}$.

(c) Projektion von $\mathrm{THD_u}$.

(d) Projektion von $\mathrm{THD_i}$.

Abbildung 5.11: Entwicklung des THD-Werts einer Phasenspannung $\mathrm{THD_u}$ sowie des zugehörigen Laststroms $\mathrm{THD_i}$ für eine RL-Last aufgetragen über der Schaltfrequenz f_{sw} sowie der Modulspannung u_{SM}, welche auf den Wert $u_{MLI,max}$ normiert ist. Dabei sind die jeweilig zutreffenden Empfehlungen des THD-Werts für die Spannung $\mathrm{THD_{u,max}}$ sowie den Strom $\mathrm{THD_{i,max}}$ als Begrenzungsflächen ergänzend eingezeichnet.

spannung der Form $u_{ref}(t) = \hat{u}_{ref} \sin(\omega t)$. Dabei entspricht die Referenzfrequenz analog zu den bisherigen Analysen dem Wert von $f_{ref} = 50\,\mathrm{Hz}$. Es werden die SMLI-Systeme aus Tabelle 5.3 herangezogen. Die Anzahl der betrachteten Batteriezellen je Energiespeichereinheit liegt damit im Bereich von $n_{c,ESU} = \{1; 2; 3; 4; 6; 9; 12; 18; 27; 36; 54\}$. Zudem wird erneut eine Zellenzahl von $n_{c,ESU} = 108$ Batteriezellen innerhalb eines Moduls in den Untersuchungen berücksichtigt. Diese Betrachtung nimmt insbesondere Bezug auf das konventionelle System und verdeutlicht die Auswirkungen einer signifikant hohen Stufenhöhe. Die zugehörigen Modulspannungen und in der Folge die Höhe der Stufenspannungen im Ausgangsspannungsmuster werden durch die Multiplikation mit der Nennspannung von 3,7 V der verwendeten Lithium-Ionen-Batteriezelle berechnet. Um die Untersuchungen möglichst allgemein zu halten, sind die Modulspannungen auf den Wert der maximalen MLI-Spannung normiert. Diese entspricht im vorliegenden Beispiel dem Wert von $u_{MLI,max} = 400\,\mathrm{V}$.
Um ebenso den Einfluss der Schaltfrequenz zu untersuchen, ist ein Modulationsverfahren erforderlich, welches eine flexible Anpassung der Schaltfrequenz erlaubt. Hierzu wird das sogenannte SP-WM-Verfahren herangezogen, welches in Abschnitt 2.1.3 als hochfrequente Methode eingeführt wird[12]. Dieses ermöglicht eine flexible Vorgabe der Schaltfrequenz, welche der Trägerfrequenz der eingesetzten Trägersignale gleichgesetzt werden kann. Die Schaltfrequenz wird in einem Bereich von $f_{sw} = [1; 20]\,\mathrm{kHz}$ betrachtet. Für jedes Wertepaar aus Modulspannung und Schaltfrequenz $(u_{SM}; f_{sw})$ wird die entsprechende MLI-Spannung generiert und der zugehörige Spannungs-THD berechnet. Die

[12] Hinweis: Es sei an dieser Stelle darauf hingewiesen, dass grundsätzlich jedes andere hochfrequente Verfahren angewendet werden kann. Da es sich um die Analyse grundsätzlicher Zusammenhänge handelt, ist das gewählte Verfahren zweitrangig.

ermittelten THD-Werte sind in Abbildung 5.11a aufgetragen. Zusätzlich ist der vorgeschriebene Maximalwert von $\mathrm{THD}_{\mathrm{u,max}} = 8\,\%$ gemäß der IEEE-Empfehlung *IEEE Std 519-2014* als Begrenzungsebene (grün) eingezeichnet [70]. Wie anhand der Grafik erkennbar, nimmt der THD-Wert mit steigender Schaltfrequenz ab. Während ein maximaler THD-Wert von $\mathrm{THD}_{\mathrm{u}} = 46,2\,\%$ bei der kleinsten betrachteten Schaltfrequenz von $f_{\mathrm{sw}} = 1\,\mathrm{kHz}$ und einer maximalen Zellenzahl von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je Energiespeichereinheit in der Inverterphase erzielt wird, kann dieser über die Erhöhung der Schaltfrequenz und/oder die Verringerung der Stufenhöhe deutlich reduziert werden. Insbesondere im Bereich der Schaltfrequenz von 2 bis 3 kHz ist ein starker Abfall im Verlauf des THD-Werts erkennbar, welcher ab einem Wert von $f_{\mathrm{sw}} = 4\,\mathrm{kHz}$ langsam in eine Sättigung übergeht. Abbildung 5.11a visualisiert darüber hinaus das variierende Potential einer Einflussnahme der Stufenhöhe auf den THD-Wert, abhängig von der vorliegenden Schaltfrequenz. Im Bereich niedriger Schaltfrequenzen ($f_{\mathrm{sw}} \leq 4\,\mathrm{kHz}$) bestimmt der Wert der Stufenhöhe maßgeblich den sich einstellenden Oberwellengehalt des Ausgangssignals. Je geringer f_{sw} gewählt ist, desto weniger Schaltoperationen erfolgen innerhalb einer Referenzperiode. Die Nachbildung der Referenzspannung ist weniger präzise. Durch Verringerung der Modulspannung bei gleichbleibender Schaltfrequenz kann die Granularität der erzeugten Ausgangsspannung erhöht werden, da die Anzahl der Spannungslevel zunimmt. Infolgedessen verringert sich der THD-Wert, wie sich der Grafik entnehmen lässt. Die Stufenhöhe besitzt damit einen wesentlichen Einfluss auf den resultierenden THD-Wert, insbesondere wenn im aktuellen Betriebspunkt oder über den gesamten Betrieb hinweg eine geringe Schaltfrequenz vorliegt. Ist die Schaltfrequenz dagegen ausreichend hoch, verliert diese Einflussnahme an Bedeutung. Dieser Sachverhalt wird besonders deutlich bei Schaltfrequenzen $f_{\mathrm{sw}} > 4\,\mathrm{kHz}$. In diesem Bereich bewirken lediglich Modulspannungen mit einem Wert kleiner als 25 % der maximalen Inverterspannung eine erkennbare Änderung des THD-Werts. Im vorliegenden Fall entspricht dies einer Zellenzahl von $n_{\mathrm{c,ESU}}$ kleiner als 27. Anpassungen in höheren Bereichen der Modulspannungen und somit in den erzeugbaren Stufenspannungen führen lediglich zu marginalen Änderungen oder haben gar keinen Einfluss auf den resultierenden Oberwellengehalt. Da sich der Trend des THD-Werts für Schaltfrequenzen größer als 10 kHz kaum noch ändert, ist nur der Bereich bis 10 kHz dargestellt. Um die Einhaltung der Empfehlungsvorgabe von $\mathrm{THD}_{\mathrm{u,max}} = 8\,\%$ zu verdeutlichen, illustriert Abbildung 5.11c ergänzend zu Abbildung 5.11a die zugehörige Projektion der Spannungs-THD-Werte zusammen mit der Begrenzungsfläche. Wie in beiden Grafiken ersichtlich ist, können MLI-Systeme mit einer vergleichsweise großen Stufenspannung und einer zu kleinen Schaltfrequenz die Empfehlung von 8 % nicht einhalten. Die exakte Begrenzungslinie zwischen dem THD-Verlauf und der dargestellten Fläche von $\mathrm{THD}_{\mathrm{u,max}} = 8\,\%$ ist Abbildung 5.11c entnehmbar. Dabei stellt diese näherungsweise eine hyperbolische Kurve dar[13]. Besitzt ein System die SM-Konfiguration basierend auf einer Zellenanzahl von $n_{\mathrm{c,ESU}} = 1$ je Energiespeichereinheit und erzielt damit die höchste Granularität in der Ausgangsspannung, ist die Empfehlung von $\mathrm{THD}_{\mathrm{u}} \leq 8\,\%$ unabhängig vom Wert der Schaltfrequenz erfüllt. Identischer Sachverhalt gilt für Schaltfrequenzen, die einen höheren Wert als 5 kHz annehmen. Die Forderung an den Spannungs-THD ist in diesem Fall unabhängig von der Modulspannung erfüllt.

Wie zu Beginn von Abschnitt 5.3.2 eingeführt, liegt der Fokus auf der THD-Betrachtung der MLI-Ausgangsspannung. Um allerdings einen Eindruck über die Beeinflussung des Laststroms zu geben, visualisiert Abbildung 5.11b analog zu Abbildung 5.11a die Entwicklung des THD-Werts für den Laststrom $\mathrm{THD}_{\mathrm{i}}$. Zu diesem Zweck wird eine ohmsch-induktive Last verwendet, die konzeptuell an eine

[13] Hinweis: Die geraden Kanten begründen sich aus den zugrundeliegenden Werten von $n_{\mathrm{c,ESU}}$. Diese wiederum ergeben sich aus der Annahme eines symmetrischen Moduldesigns und der Verwendung der SM-Konfigurationen aus Tabelle 5.3. Diese Festlegung dient als Basis der 3D-Darstellungen aus Abbildung 5.11. Eine Erhöhung von Abtastpunkten im Falle der Modulspannungen würde zu einer Abweichung eines symmetrischen Moduldesigns führen. Da erst in Abschnitt 5.3.2.4 explizit auf den Einfluss der SM-Konfiguration eingegangen wird, wird auf eine Betrachtung zusätzlicher Modulspannungen verzichtet. Darüber hinaus sollen die Verläufe an dieser Stelle vor allem den Trend des THD-Werts infolge einer Änderung von u_{SM} bzw. f_{sw} verdeutlichen. Dieser wird als hinreichend genau bewertet.

Phase einer elektrischen Maschine angelehnt ist. Über dieser Last wird die Ausgangsspannung des MLI angelegt und der THD-Wert des Laststroms ermittelt[14]. Gemäß den Erläuterungen aus Anhang A.1.7 wird für den Strom die konservative Empfehlung von $\mathrm{THD}_{\mathrm{i,max}} = 5\,\%$ verwendet. Die gewonnenen Ergebnisse für den Strom-THD zeigen erwartungsgemäß denselben Trend wie der Verlauf von $\mathrm{THD}_{\mathrm{u}}$. Mit steigender Granularität der Ausgangsspannung sowie einer zunehmenden Schaltfrequenz reduziert sich die relative Welligkeit des Stroms und der zugehörige THD sinkt. Wie erkennbar erzielt dabei jedes Wertepaar (u_{SM}; f_{sw}) einen THD-Wert kleiner als 5 % und erfüllt damit die Empfehlung von *IEEE Std-512 2014*. Der maximal auftretende Strom-THD von $\mathrm{THD}_{\mathrm{i}} = 4,11\,\%$ ergibt sich bei $f_{\mathrm{sw}} = 1\,\mathrm{kHz}$ und einer Stufenhöhe identisch zur maximal erzeugbaren MLI-Spannung. Dieser Sachverhalt wird vor allem anhand der zugehörigen Projektion in Abbildung 5.11d deutlich, die zeigt, dass im gesamten untersuchten Wertebereich die Begrenzungsebene nicht überschritten wird.

Zusammenfassend wird in Abbildung 5.11 veranschaulicht, wie sich das Zusammenspiel aus einer vorliegenden Schaltfrequenz in Kombination mit der jeweiligen Stufenhöhe des Systems auf den resultierenden Oberwellengehalt auswirkt. Dabei wird ebenso ersichtlich, dass bei ausreichend hoher Schaltfrequenz oder ausreichend kleiner Modulspannung die IEEE-Empfehlung unabhängig des jeweils anderen Einflussfaktors erfüllt ist. In jedem Fall lässt sich die Präzision in der Nachbildung der Referenzspannung durch die Steigerung der Schaltfrequenz und/oder der Minimierung der Stufenhöhe erhöhen. Diese Maßnahmen führen wiederum zur Reduzierung des THD-Werts. In Abbildung 5.11 entspricht der Amplitudenmodulationsindex dem maximalen Wert von 1. Ist die Referenzspannung kleiner als die maximal vom MLI-System erzeugbare Spannung $u_{\mathrm{MLI,max}}$, sinkt der Amplitudenmodulationsindex. Das Verhältnis der Modulspannung eines MLI-Systems zur Referenzspannung u_{ref} ändert sich dabei. Da diese Änderung einen wesentlichen Einfluss auf den Oberwellengehalt des Ausgangssignals besitzt, wird im Folgenden der Amplitudenmodulationsindex in die Betrachtungen einbezogen.

5.3.2.3 Stufenhöhe ↔ Schaltfrequenz ↔ Amplitudenmodulationsindex ↔ Total-Harmonic-Distortion-Wert

Nachfolgend wird die Abhängigkeit des Spannungs-THD vom Amplitudenmodulationsindex in Korrelation mit der Stufenspannung analysiert. Die Untersuchung erfolgt zunächst unabhängig von der Schaltfrequenz f_{sw}. Aus diesem Grund wird das NLC-Verfahren angewendet. Abbildung 5.12 demonstriert zu diesem Zweck den Einfluss von m_{a} auf den Verzerrungsgehalt einer MLI-Ausgangsspannung u_{MLI}. Analog zu dem vorhergehenden Abschnitt werden die SMLI-Konfigurationen aus Tabelle 5.3 herangezogen und damit der identische Bereich von $n_{\mathrm{c,ESU}}$ betrachtet. Zudem wird erneut ein Wert von $n_{\mathrm{c,ESU}} = 108$ in den Untersuchungen berücksichtigt. Im Hinblick auf eine allgemeine Anwendbarkeit werden die jeweiligen Modulspannungen wie auch zuvor auf die maximale vom MLI erzeugbare Spannung normiert. Die Ergebnisse lassen sich damit generalisieren und sind einfach auf andere Spannungsbereiche übertragbar. Für die Referenzforderung gilt erneut $u_{\mathrm{ref}}(t) = \hat{u}_{\mathrm{ref}} \sin(\omega t)$ mit $f_{\mathrm{ref}} = 50\,\mathrm{Hz}$. Alle ermittelten THD-Werte für die Wertepaare aus Modulspannung und Amplitudenmodulationsindex (u_{SM}; m_{a}) sind in Abbildung 5.12 explizit markiert und die zugehörigen Entwicklungen linear interpoliert. Die hohe Abtastrate der Modulspannung im Bereich kleiner als $12,5\,\%$ der maximal generierbaren Spannung resultiert aus der Menge der Teiler der betrachteten Gesamtzahl von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je Inverterstrang. Wie in Abschnitt 4.2.2 definiert, nimmt der Amplitudenmodulationsindex in der Regel Werte zwischen 0 und 1 an. Die untersuchten Werte decken mit

[14] Hinweis: Es sei angemerkt, dass die Werte des verwendeten Lastwiderstands sowie der Lastinduktivität zwar einen Einfluss auf die Amplitude des resultierenden Laststroms besitzen, der Wert des jeweiligen Strom-THD davon jedoch unabhängig ist [152]. Dieser Sachverhalt ergibt sich aus der Tatsache, dass die Amplitude der Stromwelligkeit aufgrund der MLI-Stufenspannung proportional zur Amplitude des Laststroms skaliert, und damit auch das Verhältnis der Harmonischen. Die Werte in Abbildung 5.11b sind folglich unabhängig von den spezifischen Werten der RL-Last.

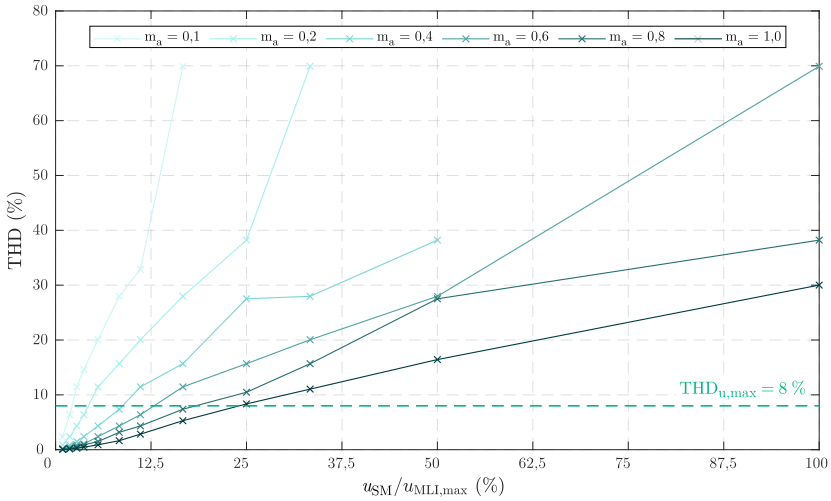


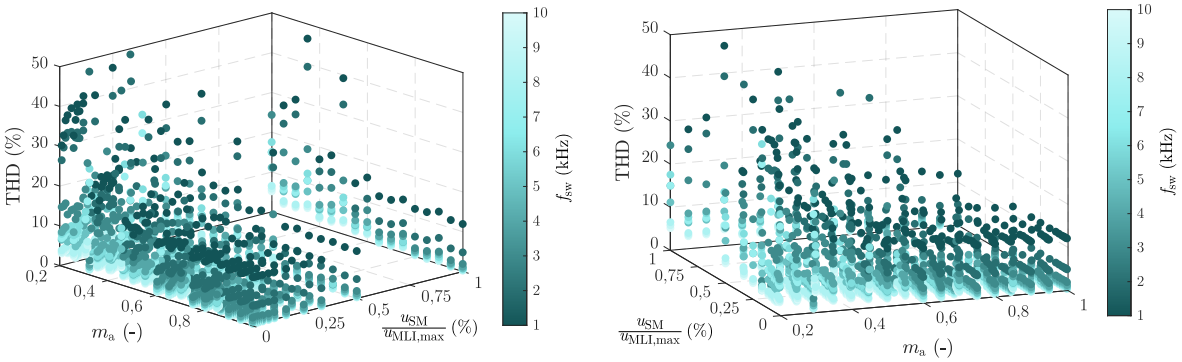
Abbildung 5.12: Entwicklung des THD-Werts über der Modulspannung u_{SM} bei Variation des Amplitudenmodulationsindexes m_{a}. Der vorgeschriebene Maximalwert des Spannungs-THD gemäß der IEEE-Norm *IEEE Std 519-2014* ist ebenso eingezeichnet (grüne gestrichelte Linie) [70].

$m_{\mathrm{a}} = \{0,1;\ 0,2;\ 0,4;\ 0,6;\ 0,8;\ 1,0\}$ diesen Bereich repräsentativ ab. Unter Berücksichtigung von Gleichung (2.3) bemisst die zugehörige Referenzamplitude für die Werte des Amplitudenmodulationsindexes $\hat{u}_{\mathrm{ref}} = m_{\mathrm{a}} \cdot 400\,V = \{40;\ 80;\ 160;\ 240;\ 320;\ 400\}$ V. Aus Gründen der Vollständigkeit ist Analogie zu Abbildung 5.11a in Abbildung 5.12 die Empfehlung von $\mathrm{THD}_{\mathrm{u,max}} = 8\,\%$ eingezeichnet[15].
Anhand der Verläufe in Abbildung 5.12 wird deutlich, dass mit steigendem Amplitudenmodulationsindex der Oberwellengehalt der MLI-Ausgangsspannung sinkt. Dieser Sachverhalt lässt sich besonders bei einem Vergleich der THD-Werte von Spannungssignalen erkennen, die auf Basis unterschiedlicher m_{a}, aber identischer Stufenhöhe erzeugt sind. Die Ursache begründet sich damit, dass der relative Anteil einer vorliegenden Stufenspannung mit steigender Amplitude der Referenzspannung abnimmt. In der Folge erhöht sich der Anteil der Grundwelle gegenüber dem harmonischen Gehalt der Oberwellen. Es ergibt sich ein geringerer $\mathrm{THD_u}$. Zudem zeigt sich beispielsweise anhand des Verlaufs von $m_{\mathrm{a}} = 0{,}4$, dass ab einer bestimmten Modulspannung keine THD-Werte mehr berechnet werden. Im Falle von $m_{\mathrm{a}} = 0{,}4$ tritt dieses Phänomen auf, sobald die Modulspannung einen Wert größer als 50 % von $u_{\mathrm{MLI,max}}$ aufweist. Identischer Sachverhalt ergibt sich ebenso für die Verläufe, welche auf Basis von $m_{\mathrm{a}} = 0,1$ sowie $m_{\mathrm{a}} = 0,2$ erzielt werden. Bei diesen Werten des Amplitudenmodulationsindexes lassen sich THD-Werte nur bis zu einer Modulspannung von $\frac{1}{6}\,u_{\mathrm{MLI,max}}$ $(m_{\mathrm{a}} = 0,1)$ bzw. $\frac{1}{3}\,u_{\mathrm{MLI,max}}$ $(m_{\mathrm{a}} = 0,2)$ ermitteln. Die Ursache liegt in der Tatsache, dass unter Verwendung der NLC-Methode bei hinreichend kleinem m_{a} in Verbindung mit einer hinreichend großen Modulspannung ausschließlich Nullspannungen zur Nachbildung der Referenzspannung generiert werden. Das nächstgelegenste Spannungslevel stellt über die gesamte Referenzperiode einen Wert von 0 V dar. Mathematisch ausgedrückt ergibt sich dieser Sachverhalt, falls die Bedingung $\hat{u}_{\mathrm{ref}} < \frac{u_{\mathrm{SM}}}{2}$ erfüllt ist[16].
Wird in die Betrachtungen ebenso die Schaltfrequenz f_{sw} einbezogen, ergeben sich die THD-Ergebnisse aus Abbildung 5.13. Es gelten dieselben Voraussetzungen wie in Abbildung 5.12, wobei der Informationsgehalt um die zusätzliche Variation der Schaltfrequenz im Bereich von 1 kHz bis 10 kHz erweitert

[15] Hinweis: Es sei an dieser Stelle angemerkt, dass sich die Werte aus Abbildung 5.12 zu den berechneten THD-Werten aus Abbildung 5.11a unterscheiden, da im vorliegenden Fall als Ansteuerverfahren die NLC-Methode herangezogen wird. Für die Bestimmungen der THD-Werte in Abbildung 5.11a bzw. allgemein in Abbildung 5.11 wurde das SPWM-Verfahren eingesetzt, wodurch sich andere Werte des Oberwellengehalts ergeben.

[16] Hinweis: Diese Bedingung basiert auf der Annahme eines symmetrischen MLI-Designs. Im Falle eines asymmetrischen MLI nimmt diese Gleichung die Form $\hat{u}_{\mathrm{ref}} < \frac{u_{\mathrm{SM,1}}}{2}$ an, wobei $u_{\mathrm{SM,1}}$ der kleinsten Modulspannung im AMLI-System entspricht.

wird. Beide Darstellungen aus Abbildung 5.13a sowie Abbildung 5.13b spiegeln dabei die identischen Resultate wider. Um die Ergebnisse jedoch besser zu veranschaulichen, wird die zugrundeliegende Perspektive variiert. Die Grafiken zeigen die Einflussnahme der Stufenhöhe, des Amplitudenmodula-



(a) Perspektive 1.

(b) Perspektive 2.

Abbildung 5.13: Entwicklung des THD-Werts über der Stufenhöhe, dem Amplitudenmodulationsindex sowie der Schaltfrequenz.

tionsindexes sowie der Schaltfrequenz auf den THD-Wert einer MLI-Phasenspannung u_{MLI}. Es lässt sich allgemein ableiten, dass mit steigender Schaltfrequenz, größerem Amplitudenmodulationsindex sowie abnehmender Stufenspannung der Verzerrungsgehalt der MLI-Ausgangsspannung sinkt.

5.3.2.4 Submodul-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Mikrotopologie ↔ Total-Harmonic-Distortion-Wert

In diesem Abschnitt erfolgt eine intensive Auseinandersetzung mit der Wechselwirkung zwischen dem THD-Wert und der SM-Konfiguration. Die in Tabelle 5.3 eingeführten SM-Konfigurationen dienen als Untersuchungsgrundlage, woraus sich allgemeine Zusammenhänge ableiten lassen. Anhand der Ergebnisse aus Abschnitt 5.2.2 wird die Abhängigkeit der Stufenhöhe vom Moduldesign deutlich. Aufgrund der engen Korrelation fließt diese interne Einstellgröße ebenso in die Untersuchung der Wechselwirkung mit ein. Der Schwerpunkt liegt dabei auf der SM-Konfiguration sowie relevanten MLI-Spezifikationen. Die Modulsymmetrie kann darüber hinaus abhängig vom jeweiligen Design eine unterschiedlich starke Auswirkung auf die Einschaltzeiten der Submodule haben. Dieser Zusammenhang wird deshalb ergänzend im Detail beleuchtet. Wie in Tabelle 5.2 gekennzeichnet, besteht keine unmittelbare Abhängigkeit zwischen der Mikrotopologie und dem THD-Wert. Da diese jedoch die Voraussetzung für den Funktionsumfang eines MLI darstellt, besteht eine indirekte Einflussnahme, weshalb die Mikrotopologie in diesem Abschnitt ebenso eine Berücksichtigung findet.

Ausgangssituation der Analysen bilden die Phasenspannungen aller 25 betrachteten Submodul-Konfigurationen, welche im Zuge der Untersuchungen des ersten Clusters in Abbildung 5.3 sowie Abbildung 5.4 dargestellt sind. Dabei werden in einem ersten Schritt nur die Verläufe berücksichtigt, welche sich bei Anwendung der NLC-Methode ergeben. Auf Basis dieser Ausgangsspannungsmuster werden die Ergebniswerte aller Einflussfaktoren und MLI-Spezifikationen ermittelt, die im vorliegenden Abschnitt beleuchtet werden. Diese sind in Tabelle 5.5 und Tabelle 5.6 aufgelistet. Aufgrund einzelner Unterschiede sowie des Umfangs sind die SM-Konfigurationen mit den zugehörigen Ergebnissen auf zwei Tabellen aufgeteilt, wobei Tabelle 5.5 die symmetrischen und Tabelle 5.6 die asymmetrischen Konfigurationen behandelt. Der zugrundeliegende Amplitudenmodulationsindex entspricht einem Wert von $m_{\mathrm{a}} = 1$. In beiden Tabellen ist neben der spezifischen Benennung sowie der jeweiligen Zellverteilung angegeben, ob bei der Spannungserzeugung Modulkombinationen ausschließlich identischer (NoPol) oder auch divergierender Modulpolarität (Pol) berücksichtigt werden. Während

bei allen SMLI-Systemen keine Pol-Kombinationen zugelassen werden, da sich daraus keine Erhöhung von $n_{\mathrm{l,SMLI}}$ erzielen lässt, ist die Vorgehensweise bei den AMLI-Strukturen identisch zu den Beschreibungen in Abschnitt 5.2.2. Aufgrund der hohen Anzahl an Submodulen, wird bei den SM-Konfigurationen Config_{12} bis Config_{18} auf die Pol-Kombinationen verzichtet. Im Gegensatz dazu ist diese Implementierung für die SM-Konfigurationen Config_{19} bis Config_{25} erlaubt. Um die Einflussnahme der Pol-Kombinationen auf den THD-Wert allerdings geeignet bewerten zu können, werden für diese AMLI-Systeme zusätzlich die Ergebnisse betrachtet, die sich einstellen, wenn ausschließlich Modulkombinationen berücksichtigt werden, bei denen die Ausgangsspannungen eine identische Polarität aufweisen. Die entsprechenden Phasenspannungen sind, wie alle anderen, in Abbildung 5.3 sowie Abbildung 5.4 zu finden. Darüber hinaus bilden die beiden Tabellen die zugehörigen THD-Werte, die Levelredundanzen ($n_{\mathrm{red,SMLI}}$; $n_{\mathrm{red,AMLI}}$) sowie die minimale und die maximale Quantisierung $\left(\frac{u_{\mathrm{q,max}}}{u_{\mathrm{MLI,max}}}, \frac{u_{\mathrm{q,max}}}{u_{\mathrm{MLI,max}}}\right)$ des zugehörigen Ausgangsspannungsmusters ab. Die Werte der Quantisierung sind dabei auf die maximal vom MLI erzeugbare Spannung $u_{\mathrm{MLI,max}}$ normiert, um allgemeine Trends in den Analysen zu verdeutlichen. Diese spiegeln insbesondere die Charakteristik der Stufenhöhen wider, da sie die Grenzwerte des Bereichs darstellen, innerhalb dessen sich alle auftretenden Stufenspannungen befinden. Weiterhin listen die Tabellen die Modulspannungen $\left(\frac{u_{\mathrm{SM}}}{u_{\mathrm{MLI,max}}}\right)$, welche ebenfalls normiert sind, sowie die Anzahl der erzeugbaren Spannungslevel auf. Bei den SMLI-Systemen entspricht letztere der Anzahl tatsächlich auftretender Spannungslevel $n_{\mathrm{l,SMLI}}$, für die AMLI-Systeme ist $n_{\mathrm{l,AMLI,max}}$ als die Anzahl maximaler erzeugbarer Spannungslevel gelistet. Angesichts der abweichenden Modulspannungen im Falle der AMLI-Systeme sind für diese asymmetrischen Konfigurationen in Tabelle 5.6 die minimalen und maximalen Werte der normierten Modulspannungen angegeben. Um zudem eine Aussage über die Belastung der einzelnen Submodule einer SM-Konfiguration treffen zu können, finden sich in beiden Tabellen Werte der Einschaltzeiten innerhalb einer Referenzperiode T_{ref}. Letztere berechnet sich aus dem Kehrwert der Referenzfrequenz. Aufgrund der Divergenz in den Einschaltzeiten sind dabei insbesondere die minimale $t_{\mathrm{on,min}}$, die maximale $t_{\mathrm{on,max}}$ sowie im Falle der SMLI-Systeme die durchschnittliche Einschaltzeit $\bar{t}_{\mathrm{on}}$ aufgeführt. Hierbei repräsentieren $t_{\mathrm{on,min}}$ sowie $t_{\mathrm{on,max}}$ im Speziellen die Zeiten der Submodule, die innerhalb der Referenzperiode am kürzesten sowie am längsten eingeschaltet sind und damit die Rahmenwerte aller Einschaltzeiten. Da die Belastung der Submodule infolge des identischen Moduldesigns in einem SMLI einfach ausgeglichen werden kann, stellt $\bar{t}_{\mathrm{on}}$ die Einschaltzeit aller Submodule in einem gebalancten Zustand dar.

Betrachtet man zunächst die Ergebnisse für die SMLI-Konfigurationen aus Tabelle 5.5, spiegeln diese im Wesentlichen die Tendenzen aus Abbildung 5.11 wider. Es lässt sich eine umso höhere Granularität im Ausgangsspannungsmuster erzielen, je kleiner die Modulspannung der symmetrischen Submodule ist. Sowohl die Anzahl der Spannungslevel als auch die Levelredundanz nehmen mit wachsendem n_{SM} ebenso zu. Insbesondere letztere steigt exorbitant mit der Anzahl der Submodule an. Besteht ein SMLI aus mehr als zehn Submodulen, liegt der Wert von $n_{\mathrm{red,SMLI}}$ bereits im Bereich mehrerer Tausend, wie anhand von Gleichung (4.16) berechnet. Diese hohen Redundanzwerte resultieren aus der Symmetrie der Module und verdeutlichen eine wesentliche Charakteristik eines SMLI. Darüber hinaus lässt sich anhand der Quantisierungswerte erkennen, dass die minimale und die maximale Quantisierung in allen Fällen übereinstimmen. Die zunehmende Granularität der Spannungsmuster mit n_{SM} äußert sich in einer Reduzierung des Oberwellengehalts. Die genaue Betrachtung der THD-Werte zeigt, dass alle symmetrischen Konfigurationen, deren Modulspannung einem Wert kleiner oder gleich $16,67\,\%$ der maximal vom MLI stellbaren Spannung $u_{\mathrm{MLI,max}}$ entspricht, die $8\,\%$-Empfehlung gemäß *IEEE Std-512 2014* erreichen. Dieser Sachverhalt trifft nicht auf die Konfigurationen Config_1 bis Config_3 zu, welche deshalb grau hinterlegt sind. Aufgrund einer Divergenz in der Anzahl an Schaltoperationen, die sich infolge einer Anwendung der NLC-Methode einstellt, ist die Schaltfrequenz bei diesen Konfigurationen vergleichsweise gering.

Tabelle 5.5: Ergebniswerte der Einflussfaktoren sowie MLI-Spezifikationen der Phasenspannungen aller betrachteten SMLI-Konfigurationen aus Tabelle 5.3 auf Basis von $n_{\mathrm{c,ph}} = 108$ und $m_{\mathrm{a}} = 1$.

SM-Konfig.	**Zellverteilung**	**NoPol/Pol**	$\frac{u_{\mathrm{SM}}}{u_{\mathrm{MLI,max}}}$	**THD**	$n_{\mathrm{red,SMLI}}$	$n_{\mathrm{l,SMLI}}$	$\frac{u_{\mathrm{q,min}}}{u_{\mathrm{MLI,max}}}$	$\frac{u_{\mathrm{q,max}}}{u_{\mathrm{MLI,max}}}$	**Einschaltzeiten je T_{ref}**			f_{sw}**(NLC)**
									$t_{\mathrm{on,min}}$	$t_{\mathrm{on,max}}$	$\bar{t}_{\mathrm{on}}$	
Config_1	2 x [54]	NoPol	50,00 %	16,43 %	7	5	50,00 %		46,01 %	83,91 %	64,96 %	0,2 kHz
Config_2	3 x [36]	NoPol	33,33 %	11,04 %	15	7	33,33 %		37,29 %	89,34 %	63,31 %	0,3 kHz
Config_3	4 x [27]	NoPol	25,00 %	8,29 %	31	9	25,00 %		32,17 %	92,02 %	62,10 %	0,4 kHz
Config_4	6 x [18]	NoPol	16,67 %	5,28 %	127	13	16,67 %		26,17 %	94,69 %	60,43 %	0,6 kHz
Config_5	9 x [12]	NoPol	11,11 %	2,84 %	1023	19	11,11 %		21,32 %	96,46 %	58,90 %	0,9 kHz
Config_6	12 x [9]	NoPol	8,33 %	1,64 %	$8,13 \cdot 10^3$	25	8,33 %		18,44 %	97,35 %	57,90 %	1,2 kHz
Config_7	18 x [6]	NoPol	5,56 %	0,90 %	$5,24 \cdot 10^5$	37	5,56 %		15,04 %	98,23 %	56,64 %	1,8 kHz
Config_8	27 x [4]	NoPol	3,70 %	0,45 %	$2,68 \cdot 10^8$	55	3,70 %		12,27 %	98,82 %	55,55 %	2,7 kHz
Config_9	36 x [3]	NoPol	2,78 %	0,28 %	$1,37 \cdot 10^{11}$	73	2,78 %		10,62 %	99,12 %	54,87 %	3,6 kHz
Config_{10}	54 x [2]	NoPol	1,85 %	0,13 %	$3,60 \cdot 10^{16}$	109	1,85 %		8,67 %	99,41 %	54,04 %	5,4 kHz
Config_{11}	108 x [1]	NoPol	0,93 %	0,04 %	$6,50 \cdot 10^{32}$	217	0,93 %		6,13 %	99,71 %	52,92 %	10,8 kHz

Tabelle 5.6: Ergebniswerte der Einflussfaktoren sowie MLI-Spezifikationen der Phasenspannungen aller betrachteten AMLI-Konfigurationen aus Tabelle 5.3 auf Basis von $n_{\mathrm{c,ph}} = 108$ und $m_{\mathrm{a}} = 1$.

SM-Konfig	**Zellverteilung gemäß Tabelle 5.3**	**NoPol/Pol**	$\frac{u_{\mathrm{SM}}}{u_{\mathrm{MLI,max}}}$		**THD**	$n_{\mathrm{red,AMLI}}$	$n_{\mathrm{l,AMLI,max}}$	$\frac{u_{\mathrm{q,min}}}{u_{\mathrm{MLI,max}}}$	$\frac{u_{\mathrm{q,max}}}{u_{\mathrm{MLI,max}}}$	**Einschaltzeiten je T_{ref}**		f_{sw}**(NLC)**
			min	**max**						$t_{\mathrm{on,min}}$	$t_{\mathrm{on,max}}$	
Config_{12}	$\left[2\,\mathrm{x}\,[1]\,,1\,\mathrm{x}\,[2]\,,2\,\mathrm{x}\,[4]\,,2\,\mathrm{x}\,[8]\,,1\,\mathrm{x}\,[16]\,,2\,\mathrm{x}\,[32]\right]$	NoPol	0,93 %	29,63 %	0,04 %	99,82 %	59049	0,93 %		48,21 % **53,21 %**	99,71 % **75,51 %**	29,2 kHz
Config_{13}	$\left[3\,\mathrm{x}\,[1]\,,2\,\mathrm{x}\,[3]\,,2\,\mathrm{x}\,[9]\,,3\mathrm{x}\,[27]\right]$	NoPol	0,93 %	25,00 %	0,04 %	99,63 %	59049	0,93 %		35,49 % **55,08 %**	99,71 % **67,95 %**	20,6 kHz
Config_{14}	$\left[4\,\mathrm{x}\,[1]\,,2\,\mathrm{x}\,[4]\,,2\,\mathrm{x}\,[16]\,,1\mathrm{x}\,[64]\right]$	NoPol	0,93 %	59,26 %	2,22 %	99,60 %	19683	0,93 %	18,52 %	31,89 % **53,30 %**	83,95 % **66,67 %**	14,5 kHz
Config_{15}	$\left[3\,\mathrm{x}\,[1]\,,1\,\mathrm{x}\,[5]\,,4\,\mathrm{x}\,[25]\right]$	NoPol	0,93 %	23,15 %	3,52 %	99,39 %	6561	0,93 %	15,74 %	35,65 % **51,01 %**	90,23 % **64,64 %**	7,0 kHz
Config_{16}	$\left[6\,\mathrm{x}\,[1]\,,5\,\mathrm{x}\,[6]\,,2\,\mathrm{x}\,[36]\right]$	NoPol	0,93 %	33,33 %	0,04 %	99,99 %	1594323	0,93 %		19,27 % **59,66 %**	99,13 % **65,60 %**	20,3 kHz
Config_{17}	$\left[3\,\mathrm{x}\,[1]\,,8\,\mathrm{x}\,[7]\,,1\,\mathrm{x}\,[49]\right]$	NoPol	0,93 %	45,37 %	0,28 %	99,99 %	177147	0,93 %	3,70 %	21,87 % **52,11 %**	94,71 % **64,75 %**	16,4 kHz
Config_{18}	$\left[4\,\mathrm{x}\,[1]\,,5\,\mathrm{x}\,[8]\,,1\,\mathrm{x}\,[64]\right]$	NoPol	0,93 %	59,26 %	2,24 %	99,90 %	19683	0,93 %	18,52 %	31,77 % **52,45 %**	84,91 % **66,67 %**	10,8 kHz
Config_{19}	[1, 2, 4, 8, 16, 32, 45]	NoPol Pol	0,93 %	41,67 %	0,04 %	95,02 %	2187	0,93 %		52,07 % 48,69 %	71,05 % 67,45 %	20,9 kHz 26,1 kHz
Config_{20}	[1, 3, 9, 27, 68]	NoPol Pol	0,93 %	62,96 %	4,39 % 0,04 %	86,83 % 10,70 %	243	0,93 %	25,93 % 0,93 %	49,87 % 65,33 %	66,67 % 76,77 %	5,7 kHz 11,9 kHz
Config_{21}	[1, 4, 16, 23, 64]	NoPol Pol	0,93 %	59,26 %	2,63 % 0,32 %	86,83 % 24,69 %	243	0,93 %	18,53 % 5,56 %	49,61 % 65,07 %	66,67 % 77,61 %	5,7 kHz 13,7 kHz
Config_{22}	[1, 5, 25, 77]	NoPol Pol	0,93 %	71,30 %	9,42 % 2,06 %	80,25 % 0,00 %	81	0,93 %	42,59 % 13,89 %	47,79 % 71,17 %	66,67 % 85,11 %	2,6 kHz 4,0 kHz
Config_{23}	[1, 6, 36, 65]	NoPol Pol	0,93 %	60,19 %	7,10 % 3,54 %	80,25 % 9,88 %	81	0,93 %	26,85 % 20,37 %	47,53 % 66,59 %	66,67 % 86,35 %	2,6 kHz 4,0 kHz
Config_{24}	[1, 7, 49, 51]	NoPol Pol	0,93 %	47,22 %	10,94 % 7,26 %	80,25 % 14,81 %	81	0,93 %	37,96 % 30,56 %	46,51 % 79,87 %	66,61 % 86,09 %	2,8 kHz 5,0 kHz
Config_{25}	[1, 8, 35, 64]	NoPol Pol	0,93 %	59,26 %	5,98 % 2,25 %	80,25 % 4,94 %	81	0,93 %	24,07 % 15,74 %	47,73 % 67,31 %	66,67 % 86,13 %	2,6 kHz 4,0 kHz

Gepaart mit den hohen Modulspannungen, die diese drei SM-Konfigurationen aufweisen, nehmen die THD-Werte dementsprechend hohe Beträge an. Um zusätzlich einen Vergleich der Anzahl an Schaltoperationen zwischen den betrachteten SM-Konfigurationen zu ermöglichen, ist sowohl in Tabelle 5.5 als auch in Tabelle 5.6 ein Wert für die Schaltfrequenz f_{sw} ergänzt. Diese Schaltfrequenz ergibt sich durch das Schalten des nächstgelegenen Spannungslevels und bildet die Gesamtzahl der Schaltoperationen aller Submodule innerhalb der SM-Konfiguration ab. Hierbei sind insbesondere zwei Aspekte zu beachten. Der Umschaltzeitpunkt zwischen zwei Spannungslevel hängt infolge der Anwendung der NLC-Methode vom Gradienten der Referenzspannung ab und erfolgt üblicherweise nicht in gleichmäßigen zeitlichen Abständen. Die Ableitung eines einheitlichen Werts für die Schaltfrequenz, insbesondere für die einzelnen Submodule innerhalb einer SM-Konfiguration, gestaltet sich daher schwierig.
Die in den Tabellen angegebenen Werte für die Schaltfrequenzen entsprechen daher nicht den exakten zeitlichen Abständen zwischen den Schaltoperationen, erlauben jedoch Rückschlüsse auf die Gesamtzahl an Schaltoperationen je Referenzperiode. Da dieser Wert lediglich einem Vergleichszweck der SM-Konfigurationen dient und die interne Einstellgröße der Schaltfrequenz zu einem späteren Zeitpunkt separat betrachtet wird, ist die Frequenz als Richtwert angegeben und spiegelt eine grundsätzliche Tendenz der Anzahl auftretender Schaltoperationen wider. Darüber hinaus lässt f_{sw} keine Rückschlüsse auf die Anzahl der Schaltoperationen der individuellen Submodule innerhalb einer asymmetrischen SM-Konfiguration zu. Während die symmetrische Auslegung der Submodule in einem SMLI die Basis einer identischen Anzahl an Schaltoperationen je Submodul bildet, können die zugrundeliegenden Einschaltzeiten aufgrund der Asymmetrie der Module in einem AMLI stark variieren[17]. Diese Aspekte sind bei der Betrachtung der Schaltfrequenz f_{sw} in Tabelle 5.5 sowie Tabelle 5.6 zu beachten. Wie zu erwarten, steigt die Schaltfrequenz bei den SMLI-Systemen mit kleiner werdender Modulspannung und somit der Anzahl der Spannungslevel $n_{\mathrm{l,SMLI}}$ an. Im Falle der kleinstmöglichen Modulspannung, für $n_{\mathrm{c,ESU}} = 1$ Batteriezellen je Energiespeichereinheit, entspricht f_{sw} einem Wert von 10,8 kHz. Im starken Gegensatz dazu treten bei Config_1 Schaltoperationen nur mit einer Frequenz von 0,2 kHz auf. Diese Korrelation zwischen der Anzahl an Submodulen, der Zahl erzeugbarer Spannungslevel sowie der daraus resultierenden Schaltfrequenz ist von essenzieller Bedeutung für die NLC-Methode. Übereinstimmend mit den Ergebnissen aus Abbildung 5.11 kann bei einer derart geringen Schaltfrequenz der Richtwert von 8 % unabhängig von der vorliegenden Modulspannung nicht erreicht werden. Es lässt sich ableiten, dass ohne explizite Vorgabe oder Begrenzung von f_{sw} bei einer Anwendung der NLC-Methode die Schaltfrequenz auf Grundlage der Stufenhöhe und in der Konsequenz von der gewählten SM-Konfiguration bestimmt wird. Gleichzeitig kann eine Begrenzung der Schaltfrequenz bei SMLI-Systemen mit geringer Modulspannung dazu führen, dass das nächstgelegene Spannungslevel nur noch in größeren Zeitabständen eingestellt werden kann, was eine Reduzierung der Granularität des Ausgangsspannungsmusters zur Folge hat. Die SM-Konfigurationen Config_4 bis Config_{11}, und damit SMLI-Systeme mit Modulspannungen im Bereich von weniger als oder gleich 16,67 % der maximal vom MLI erzeugbaren Spannung, erfüllen die Anforderung an die 8 %-Grenze. Dieses Ergebnis lässt sich bei den Konfigurationen Config_1 bis Config_3 ausschließlich mit der Erhöhung der zugrundeliegenden Schaltfrequenz und damit einer Abweichung von der gewählten NLC-Methode erzielen[18].
Vergleicht man diese Ergebnisse der SMLIs mit denen aus Tabelle 5.6, ergeben sich wesentliche Un-

[17] Hinweis: Auf die individuellen Schaltfrequenzen der Submodule eines AMLI wird ebenso an einer späteren Stelle explizit eingegangen.

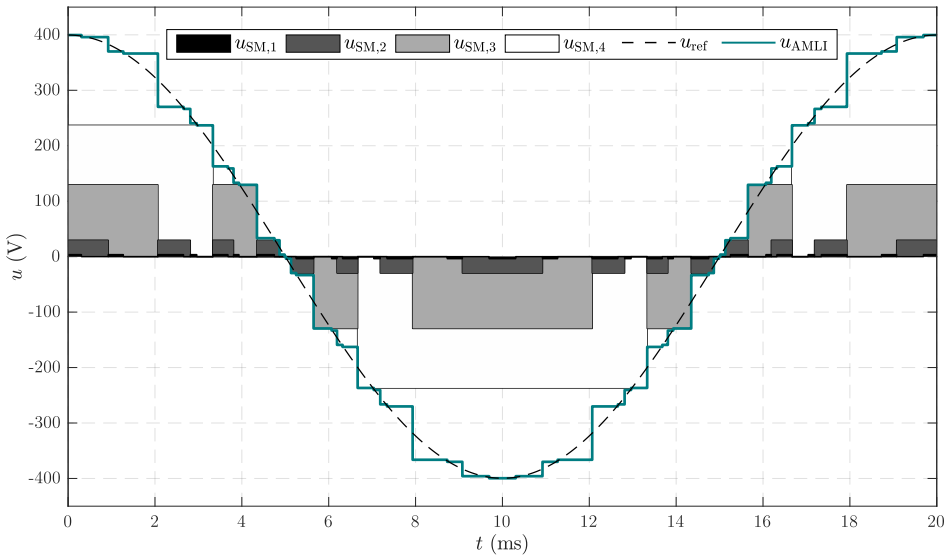
[18] Hinweis: Es sei angemerkt, dass die Ergebnisse bewusst auf Basis des NLC-Verfahrens erstellt sind, um die vorliegenden Zusammenhänge und Tendenzen herauszuarbeiten. In Abschnitt 5.4.2.2 wird ein fundierter Vergleich der verschiedenen SM-Konfigurationen anhand von Bewertungskriterien wie dem THD-Wert oder den Schaltverlusten durchgeführt und es werden die bestmöglichen Invertervarianten identifiziert. Um eine faire Vergleichsbasis zu schaffen, wird in den entsprechenden Untersuchungen für alle Systeme eine identische Schaltfrequenz angenommen. Die gegenwärtigen Ergebnisse sollen verdeutlichen, dass insbesondere bei der Anwendung der NLC-Methode die Modulspannung ohne weitere Vorgaben einen essenziellen Einfluss auf die resultierende Schaltfrequenz hat.

terschiede. In nahezu allen betrachteten asymmetrischen SM-Konfigurationen nimmt der THD-Wert der untersuchten Phasenspannungen einen Wert kleiner als 8 % an, womit die Norm-Forderung entsprechend *IEEE Std-512 2014* erfüllt ist [70]. Eine Ausnahme bilden die SM-Konfigurationen Config_{22} sowie Config_{24}, für den Fall, dass die Implementierung von Modulkombinationen divergierender Modulpolarität nicht erlaubt ist. Unter Anwendung der Pol-Kombinationen im Falle von Config_{19} bis Config_{25}, erfüllen ausnahmslos alle AMLI-Systeme die IEEE-Empfehlung. Insbesondere bei diesen sechs Konfigurationen ist die niedrige Anzahl der Submodule im AMLI-System auffallend. Den größten Oberwellengehalt weist dabei die Phasenspannung auf, welche mit der Konfiguration Config_{24} unter der reinen Berücksichtigung der NoPol-Kombinationen generiert wird. Dieser Sachverhalt begründet sich durch die ähnliche Anzahl von Zellen in den beiden größten Modulen mit $n_{\text{c,ESU,3}} = 49$ sowie $n_{\text{c,ESU,4}} = 51$, in Verbindung mit einer vergleichsweise starken Abweichung von der Anzahl an Batteriezellen in den beiden übrigen Energiespeichereinheiten innerhalb der Inverterphase.
Wie sich aus den Ergebnissen aller SM-Konfigurationen ableiten lässt, können hohe Modulspannungen zu beträchtlichen Werten der maximalen Quantisierung in der MLI-Ausgangsspannung führen. Dies gilt insbesondere für SMLI-Systeme, wie beispielsweise anhand von Config_{1} deutlich wird, welche sich aus zwei identisch ausgelegten Modulen zusammensetzt. Diese Submodul-Konfiguration besitzt keine Möglichkeit, mittels weiterer Vorkehrungen die großen Stufenspannungen im resultierenden Ausgangsspannungsmuster auszugleichen. Dabei bieten AMLI-Systeme generell mehrere Möglichkeiten, der Präsenz hoher Spannungssprünge entgegenzuwirken. Eine erste Option stellt der Einsatz einer hinreichend großen Anzahl an Submodulen mit niedrigen Werten für $n_{\text{c,ESU},k}$ dar. Ein Beispiel für diesen Sachverhalt bildet Config_{17}, bei welcher das maximale Verhältnis der Modulspannung zu $u_{\text{MLI,max}}$ einem Wert von $\frac{u_{\text{q,max}}}{u_{\text{MLI,max}}} = 45,37\,\%$ entspricht. Infolge der Präsenz einer Vielzahl an Submodulen mit deutlich kleineren Modulspannungen wird ein Ausgangsspannungsmuster generiert, dessen maximale Quantisierung lediglich einen Wert von $3,70\,\%\, u_{\text{MLI,max}}$ annimmt. Der zugehörige Oberwellengehalt der Phasenspannung ist in der Folge sehr gering. In diesem Kontext sei explizit erwähnt, dass die Modulzahl n_{SM} im Falle der SM-Konfigurationen Config_{12} bis Config_{18} trotz der Erzeugung von THD-Werten identischer Größenordnung im Vergleich zu den SMLI-Konfigurationen Config_{7} sowie Config_{11} deutlich kleiner ist. Weiterhin lässt sich ein Ausgleich der hohen Spannungssprünge im Ausgangsspannungsmuster durch die Implementierung der Pol-Kombinationen realisieren. Dieser Sachverhalt wird bei der SM-Konfiguration Config_{22} ersichtlich. Trotz eines Werts von $71,30\,\%$ für $\frac{u_{\text{q,max}}}{u_{\text{MLI,max}}}$ und einem vergleichsweise geringem n_{SM}, kann die maximale Quantisierung bei Berücksichtigung von Modulkombinationen divergierender Modulpolarität auf einen Wert von $13,89\,\%$ reduziert werden. Unter der Voraussetzung eines geeigneten Designschemas, wie beispielsweise der Exponentialfolge oder einer ähnlichen Tendenz der Zellverteilung, ergeben sich dabei auch ohne Anwendung der Pol-Kombinationen geringe Werte für die maximale Quantisierung im Ausgangsspannungsmuster. Dieser Umstand trifft beispielsweise auf Config_{23} zu. Zwar weicht das Restmodul mit $n_{\text{c,ESU,4}} = 65$ von dem eigentlichen Wert der Exponentialfolge $6^3 = 216$ ab. Die spezifische Verteilung der Batteriezellen auf die vier vorhandenen Energiespeichereinheiten innerhalb einer Inverterphase führt jedoch dazu, dass sich im Vergleich zur maximalen Modulspannung eine deutlich geringere maximale Quantisierung einstellt. Wie bereits bei den Betrachtungen der Ausgangsspannungsmuster aus Abbildung 5.4 erläutert, erzielen vor allem ExFb-Systeme mit einer Basis von $b = 2$ oder $b = 3$ eine maximale Granularität. Trotz der Abweichung von einer exakt nach der Exponentialfolge ausgelegten Zellverteilung infolge des Zahlenwerts von $n_{\text{c,ph}} = 108$, wird diese einerseits aufgrund einer hinreichend hohen Modulzahl (Config_{12}, Config_{13}) und andererseits infolge einer geeigneten Größe des Restmoduls (Config_{19}, Config_{20}) erreicht. Diese Granularität ist für eine symmetrische Konfiguration nur bei der Ausstattung jeder Batteriezelle mit einer eigenen Schalterstruktur möglich. Auch bei einer Basis von $b = 6$ im Falle von Config_{16} wirkt sich die hohe Modulzahl sowie das entsprechende Design derart aus, dass das

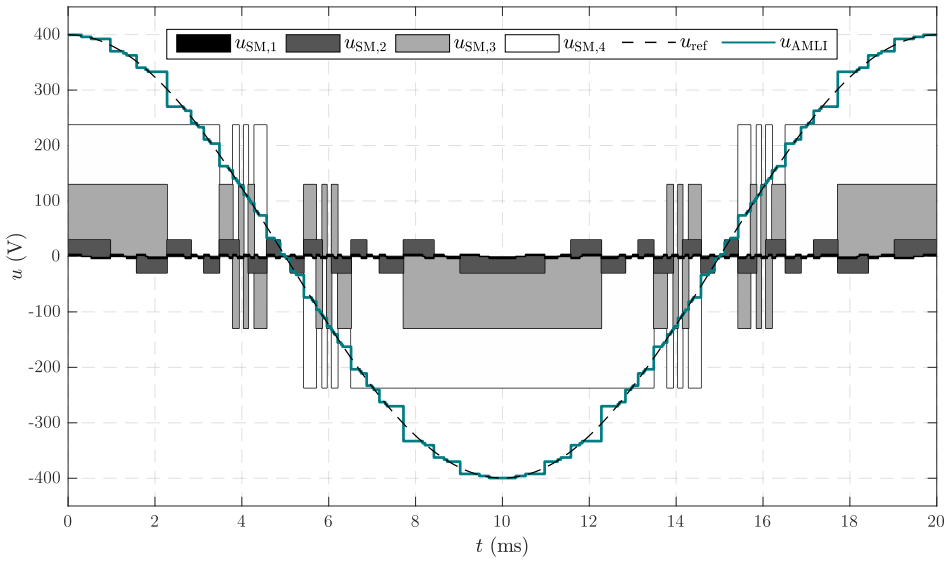
resultierende Ausgangsspannungsmuster äquidistante Stufen mit einem Wert von u_{cell} und somit die höchstmögliche Granularität aufweist.
Insgesamt zeigt Tabelle 5.6 anhand der Ergebnisse der SM-Konfigurationen Config_{19} bis Config_{25} die positive Einwirkung der Implementierung von Pol-Kombinationen auf das resultierende Ausgangsspannungsmuster. Abbildung 5.14 verdeutlicht diese Beeinflussung der maximalen Quantisierung nochmals explizit anhand von Config_{25}. Dabei illustriert Abbildung 5.14a das zugehörige Ausgangsspannungsmuster, welches bei einer reinen Berücksichtigung der Kombination von Modulen mit Ausgangsspannungen identischer Polarität entsteht. Demgegenüber visualisiert Abbildung 5.14b das Spannungsmuster, welches sich bei der zusätzlichen Implementierung der Pol-Kombinationen einstellt. Neben den Phasenspannungen finden sich in beiden Fällen zudem die individuellen Spannungsverläufe der vorhandenen Submodule in Config_{25}. Die vier Submodule werden entsprechend ihrer Systemgröße durchnummeriert, sodass die vier Verläufe von $u_{\mathrm{SM},1}$, $u_{\mathrm{SM},2}$, $u_{\mathrm{SM},3}$ sowie $u_{\mathrm{SM},4}$ in den beiden Grafiken erkennbar sind. Nimmt die jeweilige Modulspannung einen Wert von 0 V an, befindet sich die zugehörige Energiespeichereinheit im Bypasszustand. Andernfalls ist diese aktiviert[19]. Anhand des Vergleichs der beiden AMLI-Ausgangsspannungsmuster wird die Reduzierung der maximalen Quantisierungswerte deutlich. Während diese in Abbildung 5.14a einen Wert von $24,07\,\%\,u_{\mathrm{MLI,max}}$ besitzt, bemisst $\frac{u_{\mathrm{q,min}}}{u_{\mathrm{MLI,max}}}$ in Abbildung 5.14b lediglich $15,74\,\%$. Die individuellen Spannungsmuster der Submodule verdeutlichen zudem die Entstehung der verschiedenen Spannungslevel. Im Gegensatz zu Abbildung 5.14a, in welcher die Polarität der Submodule, die zur Bildung der aktuellen Referenzspannung aktiviert sind, zu jedem Zeitpunkt übereinstimmt, demonstriert Abbildung 5.14b die Divergenz in den Modulpolaritäten. Wie erkennbar, führt die Anwendung der Pol-Kombinationen zu einer Erhöhung der Anzahl unterschiedlicher Spannungslevel. Während die maximal erzeugbare Anzahl an Spannungslevel $n_{\mathrm{l,AMLI,max}}$ gemäß Gleichung (4.24) mit steigender Modulzahl wächst, führen ein sinkendes n_{SM} sowie die Anwendung der Pol-Kombinationen zu einer signifikanten Minimierung der Levelredundanz. Durch die Erweiterung der Kombinationsmöglichkeiten mittels der Pol-Kombinationen steigt die Anzahl erzeugbarer Spannungslevel. Der Anteil singulärer Spannungslevel n_{uni} wird größer, die Zahl der Levelredundanz sinkt. In der Konsequenz erhöht sich auch die Granularität des Ausgangsspannungsmusters. Die Implementierung der Pol-Kombinationen birgt allerdings auch Nachteile. Betrachtet man die Werte der minimalen und maximalen Einschaltzeiten der Module in Tabelle 5.6, nimmt die Belastung der einzelnen Submodule zu. Durch die Kombination von Modulen, die sowohl eine positive als auch eine negative Ausgangsspannung besitzen, befinden sich in der Regel mehr Energiespeichereinheiten im Lastpfad als dies bei der Kombination von Submodulen ausschließlich derselben Polarität der Fall ist. Neben den erhöhten Einschaltzeiten werden die Module auch öfter geschaltet. Der Wert der Schaltfrequenz f_{sw} steigt an, wie Tabelle 5.6 entnommen werden kann. Diese Tendenz von f_{sw} wird auch durch die Darstellungen in Abbildung 5.14 deutlich. Für alle Submodule der Konfiguration Config_{25} finden in Abbildung 5.14b eindeutig mehr Schaltoperationen statt als in Abbildung 5.14a. Die Implementierbarkeit der Pol-Kombinationen hängt dabei grundsätzlich von der vorliegenden Mikrotopologie ab. Zwar steht das Ausgangsspannungsmuster nicht in einem direkten Zusammenhang mit der Mikrotopologie. Die Art der Verschaltung innerhalb einer Mikrotopologie sowie die Anzahl der Schalter definiert allerdings, ob eine inhärente Polaritätsumkehr umsetzbar ist. Die Erzeugung sowohl positiver als auch negativer Ausgangsspannungen ist die Voraussetzung für die Anwendung von Pol-Kombinationen. Damit beeinflusst die Wahl der Mikrotopologie in indirekter Weise das Ausgangsspannungsmuster und in der Folge den Oberwellengehalt.
Auf Basis der Ergebnisse aus Tabelle 5.5 sowie Tabelle 5.6 lässt sich sowohl für symmetrische als auch asymmetrische Konfigurationen generell die Tendenz einer wachsenden Levelredundanz mit einem An-

[19] Hinweis: Für die Erzeugung der Spannungsmuster wird eine Mikrotopologie vorausgesetzt, welche intrinsisch die Fähigkeit zur Polaritätsumkehr besitzt.

stieg der Modulzahl feststellen. Hinsichtlich der Granularität des Ausgangsspannungsmusters sowie der Anzahl an Spannungslevel bestätigen sich die Schlussfolgerungen des ersten Clusters. Trotz der stark abweichenden Modulzahl erzielen die Konfigurationen Config_{11} bis Config_{13}, Config_{16}, Config_{19} sowie Config_{20} die höchstmögliche Granularität. Für Config_{20} gilt die Einschränkung, dass die Implementierung der Pol-Kombinationen berücksichtigt werden muss. Von den genannten Systemen repräsentiert lediglich Config_{11} ein symmetrisches System. Diese Dominanz der AMLI-Systeme resultiert aus der Asymmetrie der Module. Diese asymmetrische Modulgestaltung birgt jedoch auch Herausforderungen, wie von Babaei et al. erläutert [7]. Während SMLI-Systeme eine optimale Grundlage für den Ausgleich der Ladezustände der Energiespeichereinheiten bieten und bei gleichmäßiger Belastung zu einheitlichen Einschaltzeiten der Submodule führen, trifft dies bei AMLI-Systemen nicht zu. Die Belastungszeiten der einzelnen Submodule weichen typischerweise voneinander ab. Diese Divergenz der Einschaltzeiten



(a) Ausschließliche Berücksichtigung von NoPol-Kombinationen.



(b) Zusätzliche Berücksichtigung von Pol-Kombinationen.

Abbildung 5.14: Veranschaulichung der Auswirkung einer Berücksichtigung von Pol-Kombinationen auf das Ausgangsspannungsmuster sowie die Einschaltzeiten und die Schaltfrequenz von Submodulen am Beispiel von Config_{25}.

ist auch in Abbildung 5.14 ersichtlich. Dabei ist es in der Regel unerheblich, ob die Implementierung von Pol-Kombinationen erlaubt ist. Zwar erhöht diese Implementierung die zugrundeliegenden Einschaltzeiten aller Submodule, wie auch Tabelle 5.6 widerspiegelt, die Einschaltzeiten der Submodule weichen allerdings auch in diesem Fall voneinander ab. Ein Ausgleich der Belastungszeiten bei einer gleichzeitig optimalen Nachbildung der Referenzspannung ist dabei nur schwer umzusetzen.

OPTIMIERUNG 1: Zugabe und Balancing entlastender Puffermodule

Ein möglicher Ansatz, um den Vorteil der ExF-Konfigurationsreihe zu nutzen und gleichzeitig einen Ausgleich der Belastungszeiten der inhärenten Submodule zu erreichen, besteht darin, die SM-Konfigurationen Config_{19} *bis* Config_{25} *um Puffermodule zu erweitern, ähnlich wie es bei den SM-Konfigurationen* Config_{11} *bis* Config_{18} *der Fall ist. Dabei besitzen die zusätzlich eingefügten Puffermodule dieselbe Anzahl an Batteriezellen* $n_{\mathrm{c,ESU}}$ *wie diejenigen Submodule, welche die stärkste Belastung im System erfahren. Da alle Konfigurationen* Config_{19} *bis* Config_{25} *ein Restmodul beinhalten, dessen Zellenzahl von der eigentlichen Exponentialfolge abweicht, kann die zugehörige Zellenzahl des Restmoduls reduziert und ein oder mehr Puffermodule je nach Bedarf eingefügt werden. Diese Maßnahme ist insbesondere dann realisierbar, wenn Submodule geringerer Ausgangsspannungen einer deutlich stärkeren Belastung ausgesetzt sind als Submodule mit einem hohen Wert von* $n_{\mathrm{c,ESU}}$*. Durch die Zugabe der Puffermodule kann die Belastung der kleineren Submodule deutlich herabgesetzt werden, während die Belastungszeit des Restmoduls bei geeigneter Erweiterung nur wenig verändert wird. Vor allem Submodule mit einem vergleichsweise niedrigen Wert von* $n_{\mathrm{c,ESU}}$ *bieten die Möglichkeit, die Granularität der Ausgangsspannung als Folge der geringen Modulspannung zu erhöhen. Je höher die zugrundeliegende Basis* b *eines ExF-Systems, desto größer ist der Unterschied zwischen der Anzahl an Batteriezellen der Energiespeichereinheiten der ersten beiden Submodule* SM_1 *sowie* SM_2 *mit* $n_{\mathrm{c,ESU},1} = 1$ *und* $n_{\mathrm{c,ESU},2} = b$*. Dies hat zur Folge, dass die Einschaltzeit* t_{on} *und demzufolge die Belastung von* SM_1 *je Referenzperiode mit steigendem Wert der Basis ansteigt. In der Konsequenz ist die Zugabe eines Puffermoduls für* SM_1 *insbesondere bei ExFb-Systemen mit hohen Werten von* b *effektiv.*

Zur Verdeutlichung dieses Sachverhalts zeigt Abbildung 5.15 die unterschiedlichen Einschaltzeiten t_{on} der vier inhärenten Submodule der SM-Konfiguration Config_{25} aus Tabelle 5.6, basierend auf der Zellverteilung [1, 8, 35, 64]. Die zugrundeliegenden Werte von $t_{\mathrm{on,min}}$ sowie $t_{\mathrm{on,max}}$ entsprechen denen aus Tabelle 5.6 unter Berücksichtigung der Pol-Kombinationen. Darüber hinaus sind die individuellen Einschaltzeiten t_{on} von zwei weiteren Konfigurationen aufgeführt, welche die Zellverteilungen [1, 1, 8, 34, 64] sowie [1, 1, 8, 8, 26, 64] aufweisen. Diese beiden stellen eine Erweiterung zu Konfiguration Config_{25} dar und besitzen ein bzw. zwei zusätzliche Puffermodule. Durch die Übereinstimmung zweier oder mehrerer Submodule in ihrem Moduldesign wird Config_{25} von einem reinen AMLI-System in ein asymmetrisches System mit Teilsymmetrie transformiert. Es resultieren hybride SM-Konfigurationen. Wie erkennbar, wirkt sich in den beiden erweiterten Versionen von Config_{25} der Einsatz eines Puffermoduls mit $n_{\mathrm{c,ESU}} = 1$ positiv auf die Einschaltzeit von SM_1 aus, welches in Config_{25} die stärkste Belastung erfährt. Die Belastung des kleinsten Moduls fällt bei der SM-Konfiguration mit der Zellverteilung [1, 1, 8, 34, 64] um nahezu 10 % kleiner aus im Vergleich zur ursprünglichen Zellverteilung von Config_{25}. Diese Vorgehensweise kann dabei beliebig fortgeführt werden. Durch die Erweiterung der Zellverteilung [1, 1, 8, 34, 64] um zusätzliche Submodule mit $n_{\mathrm{c,ESU}} = 1$ lassen sich die zugehörigen Einschaltzeiten der Submodule geringster Modulspannung weiterhin reduzieren. Um den Effekt der Zugabe von Puffermodulen unterschiedlicher Modulgröße zu verdeutlichen, wird ebenso [1, 1, 8, 8, 26, 64] betrachtet. Dabei stellt SM_2 mit einer Zellenzahl von 8 in Config_{25} nicht das Sub-

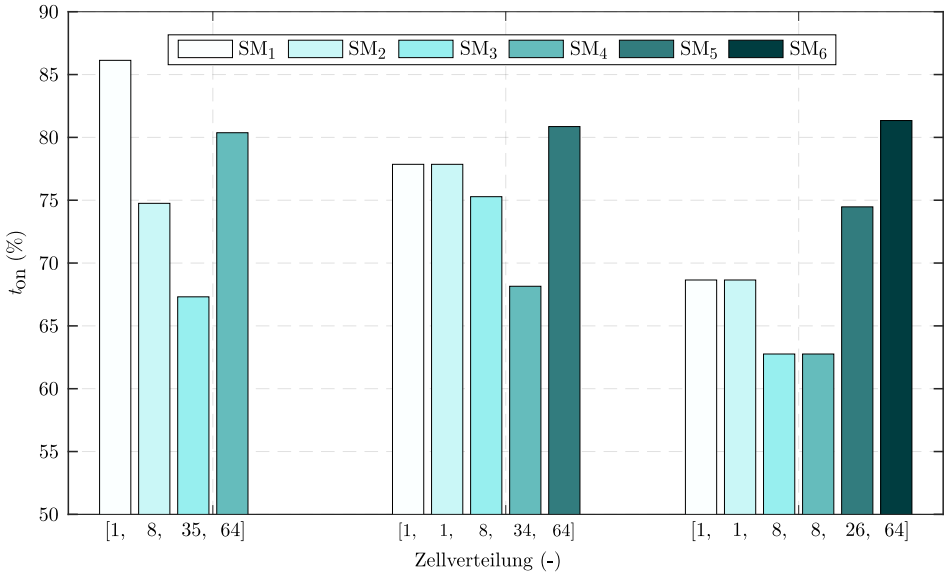


Abbildung 5.15: Verdeutlichung der Auswirkung von Puffermodulen innerhalb einer AMLI-Konfiguration am Beispiel der SM-Konfiguration Config_{25}.

modul mit der zweitstärksten Belastung dar. Da allerdings Submodul SM_4 nach SM_1 das Submodul mit der höchsten Belastung in Config_{25} verkörpert, die Anzahl der Batteriezellen im Puffermodul jedoch kleiner ausfällt, wird eine Erweiterung gemäß [1, 1, 8, 8, 26, 64] vorgenommen. Die Ergebnisse zeigen, dass die zugehörige Belastung von Submodul SM_2 aus Config_{25} durch die Erweiterung eines identischen Puffermoduls ebenso verringert werden kann. Die Belastungszeit des größten Submoduls mit $n_{\text{c,ESU,4}} = 64$ bleibt allerdings nahezu unverändert. Die Differenz zwischen der minimalen sowie der maximalen Einschaltzeit steigt wiederum an. Es sollte daher darauf geachtet werden, dass, sofern möglich, vorrangig Puffermodule eingesetzt werden, deren Modulzahl denen der am stärksten belasteten gleichen. Im erläuterten Fall wird mit der Maßnahme der Hinzugabe und dem Balancing eines Puffermoduls in [1, 1, 8, 34, 64] im Vergleich zur ursprünglichen SM-Konfiguration Config_{25} bereits eine Verbesserung erzielt. Der Einsatz von Puffermodulen bietet je nach Submodul-Konfiguration damit ein Optimierungspotential. Die exakte Einflussnahme sollte dabei jedoch stets für die vorliegende SM-Konfiguration geprüft werden, um eine erneute Erhöhung der Differenzwerte zwischen $t_{\text{on,min}}$ sowie $t_{\text{on,max}}$ wie im Falle von [1, 1, 8, 8, 26, 64] zu verhindern.

Vergleicht man generell die Abweichung zwischen der minimalen sowie der maximalen Einschaltzeiten der Konfigurationen Config_{19} bis Config_{25} mit denen der SM-Konfigurationen Config_{11} bis Config_{18}, weisen die Erstgenannten bereits ohne die Erweiterung zusätzlicher Puffermodule geringere Unterschiede auf. Im Gegensatz dazu unterscheiden sich die jeweiligen Werte von $t_{\text{on,min}}$ sowie $t_{\text{on,max}}$ für die Konfigurationen Config_{11} bis Config_{18} immens. Zieht man beispielsweise Config_{16} heran, wird die Energiespeichereinheit des entsprechenden Submoduls mit der geringsten Einschaltzeit lediglich in einem Fünftel der Referenzperiode belastet. Dagegen ist eine andere Energiespeichereinheit gemäß dem Wert von $t_{\text{on,max}}$ nahezu über die gesamte Referenzperiode eingeschaltet. Ohne geeignete Ansteuerung kann dies zu starken Diskrepanzen zwischen den jeweiligen Ladezuständen führen. Die zugehörigen Einschaltzeiten in Tabelle 5.6 sind jedoch ohne Balancing der Puffermodule ermittelt. Unter Anwendung von Ausgleichsverfahren, welche eine gleichmäßige Belastung der jeweiligen Puffermodule erzielen, können die zugehörigen Wertebereiche der Einschaltzeiten maßgeblich verringert werden. Die ergänzten fett markierten Angaben der minimalen sowie der maximalen Einschaltzeiten in Tabelle 5.6 repräsentieren das Ergebnis dieser Ausgleichsmaßnahme. Wie erkennbar, lassen sich in

allen SM-Konfigurationen Config_{12} bis Config_{18} die Differenzen deutlich reduzieren. Existiert weiterhin nicht die Annahme einer identischen Zellenzahl aller betrachteter MLI-Systeme, wie im vorliegenden Fall von $n_{\text{c,ph}} = 108$ Batteriezellen je Inverterstrang, können weitere Puffermodule eingefügt werden, um die Abweichungen der Einschaltzeiten auszugleichen. Darüber hinaus besteht die Möglichkeit, die Zellverteilungen derart zu adaptieren, dass sich die Einschaltzeiten noch weiter angleichen, wobei gleichzeitig auf eine optimale Nachbildung der Ausgangsspannungen geachtet werden sollte. Aufgrund der bereits vorhandenen hohen Granularität der erzielten AMLI-Phasenspannungen und den damit einhergehenden THD-Werten, der Ausgangssituation einer identischen Zellenzahl von $n_{\text{c,tot}} = 324$ im MLI-System sowie den akzeptablen Werten der Einschaltzeiten unter der Voraussetzung eines Balancings der Puffermodule, wird an dieser Stelle keine weitere Optimierung vorgenommen. Darüber hinaus ist es die Intention, die vorgestellten SM-Konfigurationen aus Tabelle 5.3 zu analysieren, deren Auswahl eine repräsentative Bandbreite unterschiedlicher SM-Konfigurationen darstellt.

5.3.2.5 Submodul-Konfiguration ↔ Amplitudenmodulationsindex ↔ Total-Harmonic-Distortion-Wert

Die Ergebnisse in Abbildung 5.12 zeigen, dass der THD-Wert auch von dem Amplitudenmodulationsindex abhängt. Dabei nimmt der Oberwellengehalt mit kleiner werdendem m_{a} zu. Die THD-Werte in Tabelle 5.5 und Tabelle 5.6 basieren auf einem Amplitudenmodulationsindex von $m_{\text{a}} = 1{,}0$. Um den Einfluss dieser Zustandsvariable zu berücksichtigen, zeigt Abbildung 5.16 die THD-Werte aller 25 betrachteten SM-Konfigurationen für einen Amplitudenmodulationsindex von $m_{\text{a}} = 0{,}1$[20]. Zu Vergleichszwecken sind auch die erzielten Werte basierend auf $m_{\text{a}} = 1{,}0$ visualisiert. Für die SM-Konfigurationen Config_{19} bis Config_{25} sind aus Gründen der Übersichtlichkeit lediglich die Werte unter Berücksichtigung der Pol-Kombinationen dargestellt. Die erkennbaren Tendenzen stimmen dabei mit denen einer reinen Anwendung der NoPol-Kombinationen überein. Darüber hinaus sind für alle dargestellten THD-Werte die Schaltfrequenzen f_{sw} ergänzend aufgeführt. Diese entsprechen der Definition aus Abschnitt 5.3.2.4 und spiegeln je SM-Konfiguration den reziproken Wert der Gesamtzahl der auftretenden Schaltoperationen aller inhärenten Submodule innerhalb einer Referenzperiode wider. Das gewählte Ansteuerverfahren bildet erneut die NLC-Methode.

In Übereinstimmung mit den Progressionen aus Abbildung 5.12 ändert sich der THD-Wert mit dem vorliegenden Amplitudenmodulationsindex. In allen gezeigten Fällen, mit Ausnahme von Config_{24}, ist der Oberwellengehalt der MLI-Ausgangsspannungen für einen Amplitudenmodulationsindex von $m_{\text{a}} = 0{,}1$ signifikant höher, verglichen zu den Werten, welche auf der Grundlage von $m_{\text{a}} = 1{,}0$ erzielt werden. Die Entwicklung der THD-Werte für die SMLI-Systeme gleicht der aus Abbildung 5.12. Dabei lässt sich ebenso erkennen, dass für die drei SM-Konfigurationen Config_1 bis Config_3 bei $m_{\text{a}} = 0{,}1$ keine THD-Werte ermittelt werden können. Die Ursache liegt, wie bereits beschrieben, in den Nullspannungen am Ausgang der MLI-Systeme. In diesen Fällen entspricht das nächstgelegene Spannungslevel über die gesamte Referenzperiode hinweg der Nullspannung. Folglich fehlen die zugehörigen Angaben der Schaltfrequenzen. Wie Tabelle 5.6 entnommen werden kann, nehmen die THD-Werte der SM-Konfigurationen Config_9 bis Config_{13}, Config_{16}, Config_{19} sowie Config_{20} für $m_{\text{a}} = 1{,}0$ im Vergleich zu den übrigen THD-Werten in Abbildung 5.16 sehr geringe Werte an. Die zugehörige Balken konvergieren deshalb gegen null. Während sich bei den SMLI-Systemen der Trend des THD-Werts mit steigender Modulzahl für beide Modulationsindizes ($m_{\text{a}} = 1{,}0$; $m_{\text{a}} = 0{,}1$) gleicht, lässt sich dies nicht ohne Weiteres für die asymmetrischen Konfigurationen ableiten. Dieser Sachverhalt wird insbesondere bei den Werten von Config_{24} deutlich. Zwar besitzt die zugehörige Phasenspannung (siehe Abbildung 5.4l) hö-

[20] Hinweis: Der Wert von $m_{\text{a}} = 0{,}1$ wird gewählt, da dieser die worst-case-Betrachtung widerspiegelt. Bei derart geringen Amplitudenmodulationsindizes nimmt das Verhältnis der im System befindlichen Modulspannungen zur vorliegenden Referenzamplitude sehr geringe Werte an.

here Spannungssprünge. Nimmt der Amplitudenmodulationsindex allerdings hinreichend kleine Werte an, treten die zugehörigen maximalen Quantisierungen im entsprechenden Ausgangsspannungsmuster nicht auf. Die Granularität der Phasenspannung ist in der Folge bei einem geringeren Wert von m_a höher, was zu einer Reduzierung des Oberwellengehalts führt. Während für $m_\mathrm{a} = 1{,}0$ alle dargestellten SM-Konfigurationen, mit Ausnahme von Config_1 bis Config_3, die THD-Empfehlung von 8 % erfüllen, trifft dies für $m_\mathrm{a} = 0{,}1$ nur noch für einen Teil der SM-Konfigurationen zu. Im Falle der SMLI-Systeme lässt sich die 8 %-Grenze nur mit einer Zellenzahl von $n_\mathrm{c,ESU} \leq 2$ erreichen. Im Gegensatz dazu liegt der THD-Wert für den überwiegenden Anteil der AMLI-Systeme in einem Bereich kleiner 8 %. Dieser Umstand folgt aus der Asymmetrie der Module. AMLI-Systeme besitzen in der Regel eine repräsentative Mischung aus Submodulen sowohl niedriger als auch hoher Modulspannung. Während SMLI-Systeme mit einer geringeren Modulzahl und in der Folge einer hohen Modulspannung nur mit einem einzigen Spannungswert wenig agil auf niedrige Amplitudenwerte der aktuellen Referenzforderung reagieren können, bieten insbesondere die Submodule mit einem kleinen Wert von $n_\mathrm{c,ESU}$ in einem AMLI die Grundlage für eine sehr gute Reproduktion. Dieser Aspekt trifft insbesondere auf Exponentialsysteme zu, deren Designregel die Basis für die betrachteten asymmetrischen Modulkonfigurationen bildet. Aufgrund der Vielzahl an Submodulen mit einem niedrigen Wert von $n_\mathrm{c,ESU}$ weisen vor allem die SM-Konfigurationen Config_{11} bis Config_{18} geringe THD-Werte auf. Eine Ausnahme stellen Config_{15}, Config_{17} sowie Config_{22}, Config_{23} und Config_{25} dar. Im Falle der AMLI-Systeme mit Restmodulen können sich aufgrund der Spannungsdifferenz der inhärenten Modulspannungen höhere THD-Werte einstellen. Dies begründet sich insbesondere durch eine hohe maximale Quantisierung $u_\mathrm{q,max}$ und damit mit dem Auftreten höherer Spannungsstufen.

Vergleicht man die zugehörigen Schaltfrequenzen aller SM-Konfigurationen, nehmen diese bei einem geringen Amplitudenmodulationsindex deutlich niedrigere Werte an. Je kleiner m_a, umso weniger

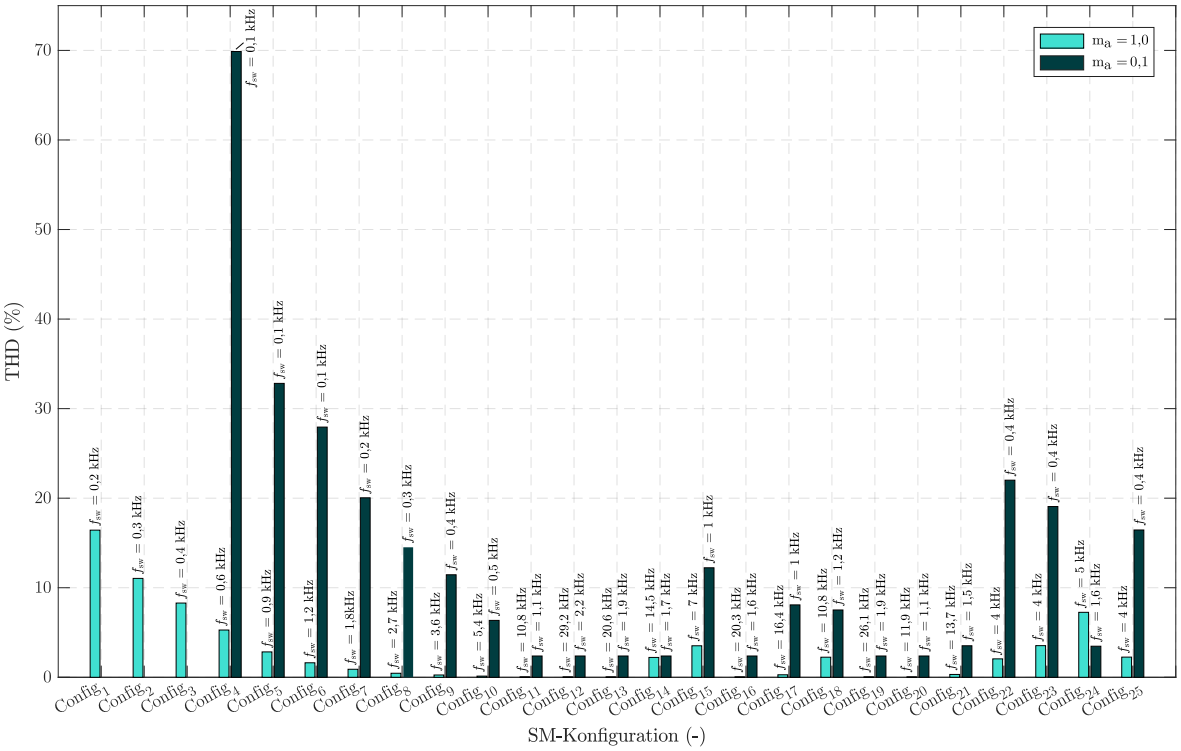


Abbildung 5.16: THD-Werte der Phasenspannungen der untersuchten SM-Konfigurationen aus Tabelle 5.3 unter der Voraussetzung zweier verschiedener Amplitudenmodulationsindizes $m_\mathrm{a} = 1{,}0$ sowie $m_\mathrm{a} = 0{,}1$.

Spannungslevel können für die Generierung von $u_{\mathrm{ref}}(t)$ eingesetzt werden. Der größte Anteil der stellbaren Ausgangsspannungslevel liegt außerhalb des Spannungsbereichs von $u_{\mathrm{ref}}(t) = 0,1\,\hat{u}_{\mathrm{ref}} \sin(\omega t)$, da das System auf eine maximale Spannungsforderung von $\hat{u}_{\mathrm{ref}}$ ausgelegt ist. Mit sinkendem Wert von m_{a} treten damit weniger Schaltoperationen innerhalb einer Periode auf. Dieser Effekt zeigt sich insbesondere im Falle der AMLI-Systeme. Während die Werte von f_{sw} für $m_{\mathrm{a}} = 1$ vergleichsweise hoch sind, sind diese für $m_{\mathrm{a}} = 0{,}1$ deutlich kleiner.

5.3.2.6 Submodul-Konfiguration ↔ Mikrotopologie ↔ Total-Harmonic-Distortion-Wert ↔ Systemkosten

Die Ergebnisse aus Tabelle 5.5 sowie Tabelle 5.6 ergeben sich unter Anwendung der NLC-Methode und dienen vor allem der Verdeutlichung wichtiger Zusammenhänge sowie der Auswirkung einzelner Einflussfaktoren. Dabei unterscheiden sich die betrachteten Systeme signifikant in der Anzahl an Schaltoperationen und damit in den zugrundeliegenden Schaltfrequenzen. Gemäß Gleichung (4.45) besitzt letztere einen direkten Einfluss auf die Schaltverluste. Auch führen die korrespondierenden Schaltfrequenzen, wie gezeigt, zu starken Abweichungen der THD-Werte als Konsequenz des jeweiligen Ausgangsspannungsmusters. Soll aus den untersuchten Systemen das jeweils bestmögliche Invertersystem identifiziert werden, indem ein Vergleich anhand von Bewertungskriterien wie dem THD-Wert oder den Systemverlusten erfolgt, ist eine geeignete Vergleichsbasis erforderlich. Aus diesem Grund wird eine übereinstimmende Schaltfrequenz von $f_{\mathrm{sw}} = 5\,\mathrm{kHz}$ für alle Invertersysteme herangezogen, welche im Zuge der SPWM-Methode vorgegeben wird. Unter derselben Voraussetzung werden nachfolgend die eingeführten 125 Invertersysteme, die aus der Kombination der betrachteten SM-Konfigurationen mit den fünf repräsentativen Mikrotopologien resultieren, verglichen. Im Speziellen werden diese Systeme im Zuge einer Pareto-Betrachtung in Bezug auf die erzielten THD-Werte sowie die Systemkosten gemäß Abschnitt 5.2.2.2 einander gegenübergestellt.

Das Funktionsprinzip der SPWM-Methode entspricht den Erläuterungen aus Abschnitt 2.1.3. Dabei findet insbesondere die *Level-shifted*-Variante Anwendung. Die grundsätzliche Vorgehensweise des SPWM-Verfahrens in Form des Spannungsvergleichs sowie die zugrundeliegende Schaltfrequenz der Trägersignale ist für beide Konfigurationsvarianten, symmetrisch und asymmetrisch, identisch. In Kontrast zur Anwendung auf SMLI-Systeme weichen die Trägersignale im Falle der AMLI-Systeme je nach SM-Konfiguration in ihrer Amplitude voneinander ab. Basierend auf dieser Ansteuermethode können für alle betrachteten SM-Konfigurationen die entsprechenden Ausgangsspannungsmuster bei einer Schaltfrequenz von $f_{\mathrm{sw}} = 5\,\mathrm{kHz}$ generiert und die zugehörigen THD-Werte ermittelt werden. Infolge der Betrachtung der 125 Invertersysteme decken die Untersuchungen zeitgleich die Einflussnahme der Mikrotopologie ab, deren Struktur eine Voraussetzung für die Implementierung der Pol-Kombinationen darstellt. Wie in Tabelle 5.4 angegeben, weisen sowohl die Halbbrücke als auch die BM3-Struktur keine inhärente Polaritätsumkehr auf. Invertersysteme, die eine dieser beiden Strukturen als Mikrotopologie verwenden, können deshalb ausschließlich Ausgangsspannungen erzeugen, die auf einer reinen Berücksichtigung der NoPol-Kombinationen beruhen. Bei den Mikrotopologien der H-Brücke, der MMSPC sowie der PECIN ist die Implementierung beider Varianten (NoPol, Pol) möglich, weshalb die Ergebnisse beider Kombinationsmöglichkeiten berücksichtigt werden. In den nachfolgenden Untersuchungen finden sich daher im Falle der SM-Konfigurationen Config_{19} bis Config_{25} unter Anwendung der drei genannten Mikrotopologien jeweils zwei Ergebnispunkte. Abbildung 5.17 illustriert die Gegenüberstellung der erzielten THD-Werte zu den jeweiligen Systemkosten der betrachteten Invertersysteme für einen Amplitudenmodulationsindex von $m_{\mathrm{a}} = 1{,}0$[21]. Für eine bessere Übersicht,

[21] Hinweis: In Abschnitt 5.4.2.2 erfolgt eine gesamtheitliche Pareto-Betrachtung der Invertersysteme hinsichtlich der Systemkosten, des THD-Werts sowie der Systemverluste. An dieser Stelle wird deshalb auf die Darstellung der Ergebnisse für verschiedene Amplitudenmodulationsindizes verzichtet.

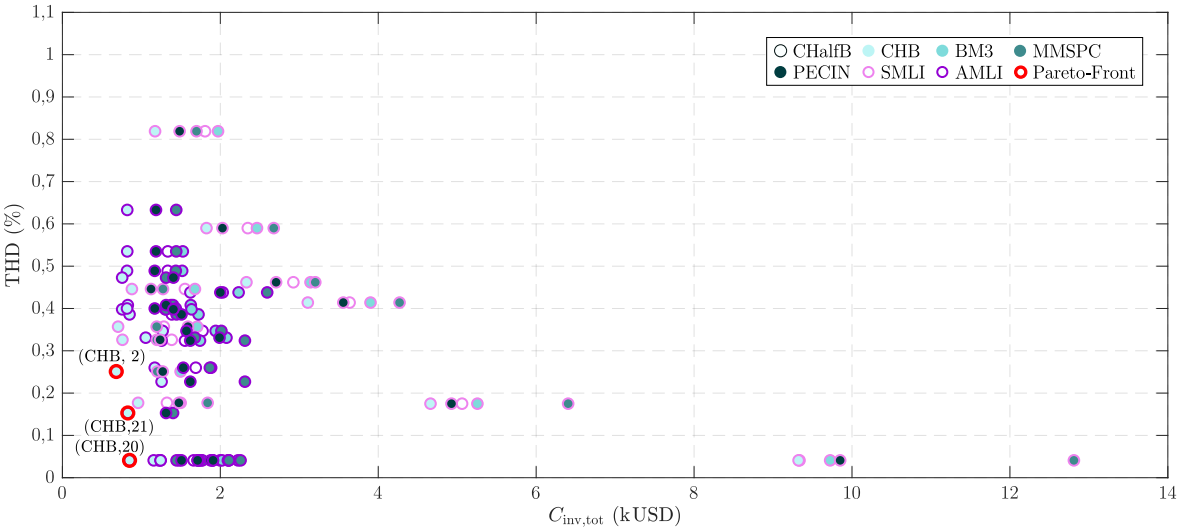


Abbildung 5.17: Gegenüberstellung der 125 untersuchten Invertersysteme in Bezug auf den THD-Wert des zugehörigen Ausgangsspannungsmusters sowie die ermittelten Systemkosten aus Abbildung 5.7 bei einer identisch vorliegenden Schaltfrequenz von $f_{\mathrm{sw}} = 5\,\mathrm{kHz}$. Die Kennzeichnung (Mikrotopologie, i) spiegelt dabei die verwendete Mikrotopologie sowie den Index der zugrundeliegenden SM-Konfiguration Config_i wider, welche für die Datenpunkte der Pareto-Front aufgeführt ist.

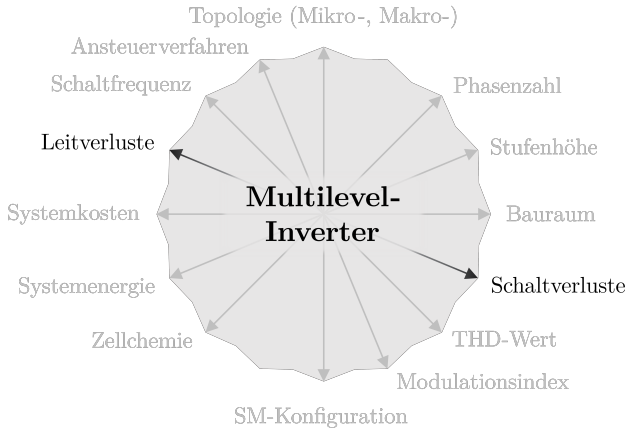
sind die Wertepaare (THD; $C_{\mathrm{inv,tot}}$) entsprechend der zugrundeliegenden Mikrotopologie eingefärbt. Die Farbe der Umrandung der Datenpunkte gibt zusätzlich Auskunft darüber, ob es sich um ein SMLI- oder ein AMLI-System handelt. Ausschließlich für die Datenpunkte der Pareto-Front sind sowohl die entsprechende Mikrotopologie als auch die SM-Konfiguration explizit angegeben. Diese sind analog zu Abbildung 5.6 zur Kennzeichnung rot umrandet. Die Ergebnisse zeigen, dass eine höhere Schaltfrequenz bei den SMLI-Systemen mit einer hohen Modulspannung, insbesondere bei Config_1 bis Config_4, eine deutliche Reduzierung des THD-Werts im Vergleich zu den Ergebnissen aus Tabelle 5.5 erzielt. Dabei ist $f_{\mathrm{sw}} = 5\,\mathrm{kHz}$ hinreichend hoch, dass der Oberwellengehalt der Phasenspannungen aller SM-Konfigurationen sehr geringe Werte annimmt. Die Mikrotopologie beeinflusst den THD-Wert lediglich hinsichtlich der Implementierbarkeit der Pol-Kombinationen. Abgesehen von diesem Aspekt haben die betrachteten Mikrotopologien keinen abweichenden Einfluss auf den resultierenden THD-Wert. Invertersysteme mit derselben SM-Konfiguration, die sich ausschließlich in ihrer Mikrotopologie unterscheiden, können damit nur anhand der Systemkosten voneinander differenziert werden. Hierbei gelten die Erläuterungen aus Abschnitt 5.2.2.2. Basierend auf den Ergebnissen aus Abbildung 5.7 befinden sich auf der Pareto-Front ausschließlich CHB-Systeme, da diese die wirtschaftlichste Inverterlösung darstellen. Dabei zählen die Invertersysteme mit den Konfigurationen Config_{20} sowie Config_{21} zu den dominanten Wertepaaren auf der Pareto-Front. Darüber hinaus bildet auch das Invertersystem mit der symmetrischen Konfiguration Config_2 in Kombination mit der H-Brücke ein Pareto-optimales System. Ein Vergleich der Datenpunkte zeigt, dass AMLI-Systeme gegenüber symmetrischen Konfigurationen insbesondere die Kombination aus niedrigen THD-Werten und geringen Systemkosten ermöglichen. Aber auch SMLI-Systeme, welche eine Modulzahl im Bereich von sechs bis zwölf für $n_{\mathrm{c,ph}} = 108$ Batteriezellen aufweisen, erzielen einen guten Kompromiss aus einem geringen THD-Wert und einer kostengünstigen Systemlösung. Mit steigender Modulzahl nimmt die Konkurrenzfähigkeit der SMLI-Systeme aufgrund des starken Anstiegs der zugehörigen Systemkosten deutlich ab. Insgesamt zeigen die Ergebnisse, dass die THD-Werte aller MLI-Systeme bei identischer, hinreichend großer Schaltfrequenz in einem sehr geringen Wertebereich liegen, weshalb an dieser Stelle vor allem aus Sicht der Systemkosten entschieden werden sollte.

5.3.3 Zusammenfassung und Fazit des zweiten Clusters

Die Analysen des zweiten Abhängigkeitsclusters verdeutlichen die signifikante Auswirkung verschiedener Einflussfaktoren auf den THD-Wert. In der Regel repräsentieren die Harmonischen geringerer Ordnung die dominanten Anteile im Frequenzspektrum eines Signals. Je höher die Phasenzahl n_{ph} eines Invertersystems, desto höher ist die Ordnung der harmonischen Komponenten, die sich gegenseitig auslöschen und nicht mehr im Frequenzspektrum der Leiterspannung auftreten. Der vorliegende Amplitudenmodulationsindex ist von der aktuellen Referenzspannung u_{ref} abhängig. Mit abnehmendem Amplitudenmodulationsindex verringert sich die Zahl der Spannungslevel, die zur Generierung der Referenzforderung aus der Menge aller erzeugbaren Spannungslevel genutzt werden können. Darüber hinaus wächst das Verhältnis der Modulspannungen zur Amplitude der aktuellen Spannungsreferenz $u_{\mathrm{ref}}(t)$. Je nach SM-Konfiguration erhöht sich der zugehörige THD-Wert.
Sowohl die Schaltfrequenz als auch die Höhe der Spannungsstufen haben einen direkten Einfluss auf die Form des Ausgangsspannungsmusters. In der Konsequenz bestimmen diese wesentlich den resultierenden Oberwellengehalt. Ist einer der beiden Einflussfaktoren hinreichend hoch, wird die IEEE-Empfehlung von $\mathrm{THD}_{\mathrm{u,max}} = 8\,\%$ unabhängig vom Wert des jeweils anderen Parameters erfüllt. Weisen die Modulspannungen einer SM-Konfiguration hohe Werte auf und ist die zugrundeliegende Schaltfrequenz zu gering, ist eine Adaption des Systems erforderlich, um die THD-Forderung zu erfüllen. Wie in Abschnitt 5.2 erläutert, besteht eine starke Korrelation zwischen der SM-Konfiguration und der Stufenhöhe. Letztere wird maßgeblich durch das Moduldesign bestimmt. Da die SM-Konfiguration bereits vor dem Betrieb festgelegt sein muss und nicht mehr veränderlich ist, ist die Anpassung der Stufenhöhen nur begrenzt steuerbar. Eine Reduzierung des Oberwellengehalts kann deshalb vor allem durch eine Erhöhung der Schaltfrequenz erreicht werden.
Aufgrund der Asymmetrie der inhärenten Module können AMLI-Systeme zu deutlichen Abweichungen in den zugehörigen MLI-Spezifikationen des Ausgangsspannungsmusters führen, was sich wiederum in einem unterschiedlichen Oberwellengehalt der Ausgangsspannungen niederschlägt. AMLI-Systeme, vorrangig solche, die entsprechend der Exponentialfolge ausgelegt sind und eine kleine Basis aufweisen, besitzen in der Regel mehrere Submodule geringerer Modulspannung. Dieses Design erlaubt eine flexible Anpassung des Spannungsmusters an niedrigere Referenzanforderungen, was sich positiv auf den THD-Wert äußert. Eine derartige Flexibilität ist besonders bei AMLI-Systemen mit Puffermodulen ausgeprägt, da sie eine höhere Anzahl von Submodulen mit niedriger Ausgangsspannung beinhalten. Im Gegensatz dazu können SMLI-Systeme, die sich aus Submodulen mit einer vergleichsweise hohen Modulspannung zusammensetzen, weniger agil auf geringe Amplitudenmodulationsindizes reagieren. Eine Reduzierung des Oberwellengehalts kann bei diesen Systemen in erster Linie nur durch die Adaption der Schaltfrequenz erzielt werden. Asymmetrische Konfigurationen führen im Vergleich zu SMLI-Systemen ähnlicher Modulzahl in vielen Fällen zu kleineren THD-Werten, da sie typischerweise in der Lage sind, eine höhere Anzahl unterschiedlicher Spannungslevel zu generieren. Vergleichbare Werte ergeben sich für symmetrische Konfigurationen nur bei hinreichend kleiner Modulspannung und damit einer entsprechend großen Modulzahl. Es ist jedoch zu beachten, dass die Asymmetrie der Module in einem AMLI zu Unterschieden in den Einschaltzeiten und der Belastung der Submodule führen kann. Während bei SMLI-Systemen durch entsprechende Balancing-Algorithmen eine gleichmäßige Belastung der Submodule erreicht wird, gestaltet sich dieser Ausgleich bei AMLI-Systemen aufgrund des spezifischen Spannungsmusters und der charakteristischen Kombination der Module deutlich schwieriger. Einen Lösungsansatz hierfür bietet der Einsatz zusätzlicher Puffermodule für die am stärksten belasteten Submodule und deren Balancing zueinander.
In Abschnitt 5.2 wird anhand der gezeigten Spannungsmuster deutlich, dass die Anwendung von Pol-Kombinationen bei AMLI-Systemen das Potential bietet, starke Spannungsstufen zu reduzieren. Wie

die Ergebnisse dieses Unterkapitels demonstrieren, resultiert diese Implementierung in einer Verringerung des THD-Werts. Damit lässt sich in diesem Fall, trotz der starken Einflussnahme der SM-Konfiguration, auch über die zugrundeliegende Ansteuermethode auf die auftretenden Stufen im Ausgangsspannungsmuster und in der Folge auf den Oberwellengehalt einwirken. Dabei ist die Anwendung der Pol-Kombinationen nur dann möglich, wenn die Mikrotopologie des Invertersystems die Fähigkeit besitzt, sowohl positive als auch negative Ausgangsspannungen zu erzeugen. Die Mikrotopologie beeinflusst damit ebenso den THD-Wert, wenn auch in indirekter Weise. Allerdings führt die Anwendung der Pol-Kombinationen in der Regel dazu, dass sich mehr Energiespeichereinheiten im Lastpfad befinden, als dies der Fall ist, wenn ausschließlich Module für die Spannungsbildung kombiniert werden, die eine identische Ausgangsspannung besitzen. In der Folge kommt es zu einem Anstieg der Schaltoperationen innerhalb einer Referenzperiode. Diese Divergenz in der Anzahl an Schaltoperationen tritt auch zwischen SMLI-Konfigurationen auf, wenn ein Verfahren wie die NLC-Methode angewendet wird. Mit steigender Modulzahl nimmt die Anzahl der stellbaren Spannungslevel zu, die Zahl der Schaltoperationen wächst. Damit einhergehend reduziert sich der zugehörige THD-Wert. Um einen vergleichbaren Oberwellengehalt für Systeme mit geringer Modulzahl zu erreichen, muss die Schaltfrequenz erhöht werden. Dieser Umstand bedingt den Einsatz eines hochfrequenten Ansteuerverfahrens.
Damit verschiedene Invertersysteme beispielsweise anhand des THD-Werts fundiert verglichen werden können, ist eine geeignete Vergleichsbasis in Form einer identischen Schaltfrequenz erforderlich. Diese Annahme hat zur Folge, dass bei einer hinreichend hohen Schaltfrequenz der Oberwellengehalt aller untersuchter Invertersysteme in einem sehr geringen Wertebereich liegt. Insbesondere SMLI-Systeme geringer Modulzahl werden durch diese Maßnahme konkurrenzfähig, wenn ausschließlich Bewertungskriterien wie der THD-Wert betrachtet werden. Aufgrund der vergleichbaren Ergebnisse der THD-Werte müssen deshalb weitere Bewertungskriterien herangezogen werden. Bezieht man in diesen Vergleich die in Abschnitt 5.2 ermittelten Systemkosten ein, zeigt eine Pareto-Betrachtung, dass ausschließlich Invertersysteme, welche die H-Brücke als Mikrotopologie verwenden, Datenpunkte der Pareto-Front darstellen. Dieser Umstand resultiert aus dem Ergebnis des vorhergehenden Unterkapitels, dass der CHB-MLI die wirtschaftlichste MLI-Struktur repräsentiert. Insgesamt überzeugen vor allem die AMLI-Systeme sowie die SMLI-Systeme mit einer Modulzahl im Bereich von sechs bis zwölf hinsichtlich beider Bewertungskriterien. Die Erhöhung der Schaltfrequenz zur Verbesserung des THD-Werts wirkt sich dabei jedoch auf die Anzahl der Schaltoperationen und in der Folge auf die Systemverluste aus. Für einen gesamtheitlichen Vergleich müssen die Systemverluste ebenso betrachtet werden.

5.4 Parameterabhängigkeiten: Cluster Verluste



Im dritten Cluster, dem Verlust-Cluster, werden die Bewertungskriterien der Leit- und Schaltverluste in die Analysen integriert. Gemäß der zugrundeliegenden Definitionen beeinflussen insbesondere Einflussfaktoren wie der auftretende Laststrom oder die Schaltfrequenz die auftretenden Systemverluste. Ebenso spielt die Modulspannung und in der Folge die SM-Konfiguration eine wesentliche Rolle für die Verlustbilanz. Da über die Mikrotopologie die Anzahl der Schalter im Lastpfad definiert wird, muss auch der Einfluss dieser internen Einstellgröße in den Untersuchungen berücksichtigt werden. Mittels eines gesamtheitlichen Vergleichs hinsichtlich der Systemverluste, des THD-Werts sowie der Systemkosten werden die vielversprechendsten MLI-Systeme aus allen betrachteten Invertersystemen identifiziert. Zunächst wird der aktuelle Stand des Wissens behandelt.

5.4.1 Stand der Technik

Die Mikrotopologie eines MLI-Systems besitzt einen wesentlichen Einfluss auf die Leitverluste. Mit sinkender Anzahl an Halbleiterelementen, welche sich im Lastpfad eines MLI befinden, minimiert sich die Anzahl der verlusterzeugenden Komponenten im System. Durch den Vergleich der CHalfB-Struktur mit dem CHB-MLI zeigen Babaei et al., dass der Einsatz der Halbbrücke als Mikrotopologie die Anzahl der Hardwarekomponenten reduziert [7]. Je nach Auslegung der einzelnen Spannungsquellen, deren Werte über vorgestellte Algorithmen optimal ermittelt werden, entstehen MLI-Systeme, bei welchen ebenso die Spannungsfestigkeit der eingesetzten Halbleiterelemente geringer ausfällt. Allerdings zeigen die Autoren keinen expliziten Vergleich der auftretenden Leit- sowie Schaltverluste. Der Einfluss der externen H-Brücke auf die resultierenden Verluste im Falle des CHalfB-MLI wird folglich ebenso wenig berücksichtigt. Kangarlu et al. präsentieren in ihrer Publikation die CS-MLI-Struktur, welche keine externe Polaritätsumkehreinheit und damit keine Halbleiterelemente benötigt, die für einen Hochspannungseinsatz ausgelegt sein müssen [75]. Im Gegensatz zu Babaei et al. vergleichen die Autoren in ihrer Arbeit die CHalfB-Struktur mit dem CHB-MLI und der CS-MLI-Struktur bezüglich der Leitverluste. Die Ergebnisse verdeutlichen, dass der CS-MLI aufgrund der geringeren Anzahl von Schaltelementen im Lastpfad in jedem Betriebspunkt weniger Schalterverluste aufweist als sowohl die CHB- als auch die CHalfB-Struktur. Für alle MLI-Systeme werden dabei identische Halbleiterelemente verwendet. Bei der CHalfB beeinflussen die Halbleiterelemente der externen Polaritätsumkehreinheit maßgeblich die entstehenden Verluste, wodurch sich die höheren Verluste im Vergleich zum CS-MLI erklären las-

sen. Die Darstellung der Schalterverluste erfolgt dabei über der Anzahl erzeugbarer Spannungslevel der jeweiligen Struktur. Im Zuge dieser Vorstellung wird deshalb ebenso deutlich, dass mit steigender Anzahl an Spannungslevel und in der Folge mit einem Anstieg der Modulzahl die Leitverluste des Systems zunehmen. Der von Kangarlu et al. durchgeführte Vergleich bezieht zudem die Schaltstruktur ein, welche von Hinago et al. eingeführt wird [60]. Diese gleicht nahezu der BM3-Topologie von Kuder et al. [89]. Ein Unterschied zeigt sich jedoch in Form zweier zusätzlicher H-Brückenstrukturen, welche zusätzlich in der Schaltung von Hinago et al. integriert sind. Der Vergleich von Kangarlu et al. spiegelt wider, dass die Struktur von Hinago et al. nahezu identische Verluste verursacht wie der CS-MLI. Die Autoren erwähnen jedoch nicht die Parallelisierungsfähigkeit dieser MLI-Topologie. Aufgrund dieser Tatsache sowie der präsentierten Ergebnisse von Kangarlu et al. wird davon ausgegangen, dass die Autoren die Parallelisierungsfähigkeit der BM3-ähnlichen MLI-Topologie nicht anwenden [75]. Das Potential der von Hinago et al. vorgestellten MLI-Struktur wird daher nicht vollständig ausgenutzt.
Eine identische Gegenüberstellung der Schalterverluste demonstrieren Kangarlu et al. ebenso im Zuge der Einführung des CCS-MLI [76]. Trotz der Reduzierung der Schalterverluste im Vergleich zur CHB-Struktur, kann diese ab einer Anzahl von zehn Spannungslevel, die mit dem jeweiligen Invertersystem erzeugt werden, hinsichtlich der Verluste mit einer Vielzahl anderer Stand der Technik-Mikrotopologien nicht mehr konkurrieren. Insbesondere für eine hohe Anzahl an Spannungslevel und in der Folge für eine hohe Modulzahl nimmt die Divergenz der entstehenden Schalterverluste signifikant zu. Dieser Sachverhalt gilt vor allem bei einem Vergleich mit der speziellen Inverterstruktur, die von Babaei et al. vorgestellt wird [8]. Bei der Gegenüberstellung von Kangarlu et al. wird erneut die von Hinago et al. eingeführte MLI-Struktur berücksichtigt, welche geringere Schalterverluste erreicht [60]. In Analogie zu der im vorhergehenden Abschnitt erläuterten Publikation gehen die Autoren auch in dieser Studie nicht auf die Parallelisierungsfähigkeit der MLI-Struktur ein, welche eine starke Ähnlichkeit zur BM3-Topologie aufweist, und greifen damit erneut nicht das zusätzliche Potential zur Verlustreduzierung auf [75, 76].
Die effektive Nutzung der Parallelisierungsfähigkeit der BM3-Struktur wird in den Studien von Helling et al. sowie Kuder et al. gezeigt, wobei sich insbesondere bei Helling et al. explizite Angaben zu den erzielten Verlustleistungen finden [58, 89]. In beiden Veröffentlichungen erfolgt jedoch keine Gegenüberstellung mit anderen MLI-Strukturen. Einen derartigen Vergleich führen Singer et al. durch, indem sie die MMSPC-Struktur nach Goetz et al. dem in Abbildung 2.4g dargestellten MMC-Inverter gegenüberstellen und die resultierenden Verluste analysieren [44, 147]. Mit beiden betrachteten MLI-Systemen lassen sich neun unterschiedliche Spannungslevel generieren. Dabei ist lediglich der MMSPC in der Lage, Parallelverbünde zu bilden. In diesem Zusammenhang sind für jedes Spannungslevel detaillierte Angaben zu den Leitverlusten der Energiespeichereinheiten und der Schaltelemente aufgeführt. Die Autoren berechnen zusätzlich die Einsparungen, die durch den Einsatz des MMSPC im Vergleich zum MMC erzielt werden. Diese Einsparungen verdeutlichen, dass durch die Anwendung der MMSPC-Struktur, mit Ausnahme der Vorgabe einer 0 V-Spannung sowie des maximalen Spannungslevels, bei welchem alle Energiespeichereinheiten in Serie verschaltet sind, in allen Betriebszuständen die Gesamtleitverluste reduziert werden können. Dieses Ergebnis lässt sich insbesondere auf die Verringerung der auftretenden Batterieverluste zurückführen, die durch die Verteilung des Laststroms auf die einzelnen Energiespeichereinheiten innerhalb eines Parallelverbunds erreicht wird. Die Einsparungen von $E_{\mathrm{con,ESU}}$ sind dabei derart hoch, dass diese für einige Spannungslevel die höheren Schalterverluste der MMSPC-Struktur ausgleichen, sodass der MMC in allen Betriebszuständen höhere Gesamtverluste aufweist. Korte et al. greifen in ihrer Studie ebenso den MMSPC-MLI für eine Gegenüberstellung mit der CHB-Struktur sowie dem konventionellen B6-Wechselrichter auf [85]. Im Detail werden die Batterie- sowie die Schalterverluste über der Drehmoment-Drehzahl-Kennlinie ermittelt. Während im Falle der MLI-Systeme die Schaltverluste der Halbleiter im Vergleich zu den Schalterleitverlusten ver-

nachlässigbar klein sind, tragen beim B6-VSI beide Komponenten wesentlich zu den Gesamtverlusten bei. Anhand der gezeigten Ergebnisse wird deutlich, dass bei beiden MLI-Systemen die Batterieleitverluste gegenüber den Schalterleitverlusten dominieren. Dabei ist insbesondere im Teillastbetrieb ersichtlich, dass $E_{\mathrm{con,ESU}}$ bei Verwendung der CHB-Struktur im Vergleich zum Einsatz des MMSPC größere Werte annimmt. Infolge der Bildung von Parallelverbünden können mit der MMSPC-Topologie die auftretenden Batterieleitverluste minimiert werden. Dies ist beim CHB-MLI aufgrund der fehlenden Parallelisierungsfähigkeit nicht möglich. Die Autoren betrachten dabei keine weiteren MLI-Strukturen. Auch werden die Untersuchungen lediglich anhand eines einzigen symmetrischen MLI-Designs durchgeführt. Sorokina et al. ziehen für einen Effizienzvergleich in ihrer Publikation die BM3-Topologie heran, wobei die Autoren verschiedene symmetrische Submodul-Konfigurationen einander gegenüberstellen und die zugehörigen Leitverluste bewerten [149]. Im Zuge der Untersuchungen werden fünf verschiedene symmetrische SM-Konfigurationen bei einer Gesamtanzahl von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je Inverterphase beleuchtet. Die Anzahl an Batteriezellen innerhalb einer Energiespeichereinheit variiert dabei in einem Bereich von $n_{\mathrm{c,ESU}} = \{3; 4; 6; 9; 12\}$. Die untersuchten SM-Konfigurationen entsprechen folglich den Konfigurationen Config_5 bis Config_9 aus Tabelle 5.3. Die Ergebnisse zeigen, dass mit zunehmender Anzahl von Modulen und damit einer größeren Anzahl von Schaltelementen im Invertersystem höhere Leitverluste auftreten. Insbesondere ein Vergleich der Konfigurationen Config_5 mit Config_9 verdeutlicht, dass die Schalterleitverluste bei einer Verringerung der Schalterzahl um einen Faktor von vier auf ein Drittel reduziert werden können. Im Vergleich zu den Schalterleitverlusten ändern sich die Verluste der Energiespeichereinheiten mit Erhöhung von $n_{\mathrm{c,ESU}}$ lediglich geringfügig.
Gemäß Gleichung (4.37) setzen sich die Inverterverluste aus den Schalt- und den Leitverlusten zusammen. Im Zuge der Vorstellung einer asymmetrischen MLI-Topologie verdeutlichen Sarwer et al. das Verhältnis zwischen den auftretenden Schaltverlusten und Leitverlusten der inhärenten Halbleiterelemente [139]. Aus den Ergebnissen geht hervor, dass die Leitverluste den Großteil der Gesamtverluste ausmachen, während die Schaltverluste lediglich einem Bruchteil der Schalterleitverluste entsprechen. Diese Tendenz des Verhältnisses aus Leit- zu Schaltverlusten wird ebenfalls von Kubendran et al. dargelegt [88]. In dieser Arbeit wird eine weiterentwickelte, Dioden-basierte MLI-Topologie mit einer reduzierten Anzahl von Schaltern eingeführt. Zur Verdeutlichung der Schalterbelastung demonstrieren die Autoren eine detaillierte Aufschlüsselung der Leit- und Schaltverluste der inhärenten Schaltelemente in Form von IGBTs. Wie auch von Sarwer et al. gezeigt, dominieren die Leitverluste. Eine ähnliche Beobachtung ergibt sich auch bei Tayyab et al., die in ihrer Studie einen asymmetrischen MLI präsentieren, welcher insgesamt elf Spannungslevel erzeugen kann [159]. Die Autoren gehen dabei insbesondere auf die Schaltzustände und den Leistungsfluss innerhalb der Struktur ein. Sowohl für eine Netzeinspeisung von 3 kVA als auch 6 kVA stellen die Leitverluste den maßgeblichen Anteil der gesamten Inverterverluste dar. Quraan et al. vergleichen in ihrer Arbeit die Leit- und Schaltverluste eines MLI mit denen eines konventionellen B6-Invertersystems für die Anwendung im Elektrofahrzeug [127]. Hierzu setzen die Autoren einen MMC gemäß der Struktur in Abbildung 2.4g ein und kontrastieren diesen unter Betrachtung verschiedener Fahrzyklen mit dem VSI. Im Falle des MMC entspricht die Anzahl der Batteriezellen pro Submodul $n_{\mathrm{c,ESU}} = 1$, wobei insgesamt 84 Submodule je Phasenarm eingesetzt werden. Die Gegenüberstellung der Leit- und Schaltverluste beider Invertersysteme verdeutlicht, dass die Schaltverluste, die mit dem konventionellen System erzeugt werden, unabhängig vom gewählten Fahrzyklus diejenigen des MMC übersteigen. Im Gegensatz dazu treten beim MMC aufgrund der signifikant höheren Anzahl von Halbleiterelementen im MLI-System höhere Leitverluste auf als beim VSI.
Eine gängige Strategie zur Verringerung der Leitverluste in MLI-Systemen ist es, die Anzahl der verwendeten Halbleiterelemente zu minimieren [41, 74, 75, 151]. Sorokina et al. schlagen neben der Effizienzanalyse bei variierender Submodul-Konfiguration eine weitere Maßnahme am Beispiel der

BM3-Struktur vor [149]. Diese besteht in der Erhöhung der Anzahl parallel geschalteter MOSFETs je erforderlichem Schalter innerhalb eines MLI-Systems. Mit steigender Anzahl parallel geschalteter MOSFETs nehmen die Leitverluste des Systems ab. Die Ergebnisse zeigen jedoch, dass die Verwendung von mehr als drei MOSFETs pro notwendigem Schalter keine signifikante Verbesserung der Invertereffizienz bewirkt. Stattdessen führt der zusätzliche Hardwareaufwand zu einem drastischen Anstieg der Systemkosten. Einen kostengünstigeren Vorschlag zur Reduzierung der Inverterverluste in MLI-Systemen zeigen Gohari et al., indem diese infolge einer speziellen softwareseitigen Auswahl der Schaltzustände die Schaltverluste des Systems minimieren [45]. Allerdings fokussieren sich die Autoren lediglich auf die Schaltverluste. Die Leitverluste werden nicht in die Betrachtungen einbezogen, welche in MLI-Systemen typischerweise den dominanten Part repräsentieren. Li et al. diskutieren in ihrer Studie allgemein die Anwendungsmöglichkeiten der Graphentheorie in leistungselektronischen Systemen wie Umrichter [92]. Die Autoren betonen, dass die Verwendung dieser Theorie in der Leistungselektronik noch wenig verbreitet ist. Daher stellen sie in ihrer Publikation graphische Konzepte für Invertersysteme vor und zeigen ihre praktische Umsetzbarkeit auf. Trotz des von den Autoren erläuterten Potenzials der Graphentheorie, existieren bisher keine relevanten Anwendungen auf MLI-Systeme, insbesondere zur Optimierung von Bewertungskriterien wie den Leitverlusten.

Um ein optimales MLI-System zu identifizieren, werden verschiedene Bewertungskriterien herangezogen. Neben minimalen Inverterverlusten werden in der Regel ebenso möglichst niedrige Systemkosten sowie ein minimaler Oberwellengehalt der erzeugten Ausgangsspannungen angestrebt. Chang et al. greifen sowohl die Invertereffizienz als auch die Inverterkosten als Bewertungskriterien auf, um ein CHB-System einem konventionellen B6-Wechselrichter sowohl auf Basis von Si IGBTs als auch SiC MOSFETs gegenüberzustellen [20]. Wie bereits im Stand des Wissens in Abschnitt 5.2 erläutert, erweist sich der CHB-Inverter als vielversprechende Alternative. Dabei zeigt sich zudem, dass sich mit Verwendung von SiC MOSFETs im Vergleich zu Si IGBTs höhere Effizienzwerte im Falle des konventionellen Systems erzielen lassen. Die Autoren berücksichtigen dabei jedoch lediglich eine symmetrische Submodul-Konfiguration sowie ausschließlich die CHB-Struktur. Darüber hinaus finden sich keine Erläuterungen zum Oberwellengehalt. Fateh et al. nutzen eine Pareto-Optimierung zur Ermittlung eines optimalen MLI-Designs [39]. Die Autoren ziehen dabei eine CHB-Struktur als Basis ihres MLI-Systems heran und streben einen optimalen MLI mit minimalen THD-Werten sowie Inverterverlusten an. Zur Ermittlung dieses Optimums wird eine modifizierte normalisierte Grenzüberschreitungstechnik eingesetzt, mit welcher das Mehrzieloptimierungsproblem vereinfacht wird. Ziel ist es dabei, die bestmöglichen Schaltwinkel, Schaltfrequenz sowie Modulationsindizes zu bestimmen. Die Untersuchungen beziehen sich dabei jedoch lediglich auf den CHB-MLI. Darüber hinaus finden die Systemkosten keine Berücksichtigung.

5.4.2 Analyse und Optimierung

Auf Basis der Gleichungen (4.39), (4.41) sowie (4.46) wird deutlich, dass sowohl die Leitverluste als auch die Schaltverluste quadratisch mit dem Laststrom zunehmen. Darüber hinaus steigt die Verlustleistung P_{sw} direkt proportional mit der Schaltfrequenz an. Da sich bereits anhand der zugrundeliegenden Gleichungen die Tendenzen der Verlustentwicklung erkennen lassen, wird auf eine ausführliche Erläuterung hinsichtlich dieser grundlegenden Abhängigkeiten zwischen dem Laststrom sowie der Schaltfrequenz und den auftretenden Systemverlusten verzichtet. Abhängig von der vorliegenden SM-Konfiguration sowie der gewählten Mikrotopologie ergibt sich, ob Gleichung (4.44) erfüllt ist und der Laststrom mit den Strömen in den Energiespeichereinheiten und Halbleiterelementen gleichgesetzt werden kann. Im Falle von symmetrischen Konfigurationen wird unter der Voraussetzung einer geeig-

neten Mikrotopologie die Formierung von Parallelverbünden angestrebt[22]. Ein Optimierungsansatz im Falle von AMLI-Systemen wird nachfolgend vorgestellt. Auf dieser Grundlage ist es das Ziel, die Systemverluste anhand ausgewählter SM-Konfigurationen und Mikrotopologien spezifisch zu beleuchten und allgemeine Abhängigkeiten abzuleiten. Anschließend erfolgt in Abschnitt 5.4.2.2 ein umfassender Vergleich der Invertersysteme anhand der drei Bewertungskriterien. Dabei sollen neben der Analyse der Zusammenhänge auch vielversprechende MLI-Designs identifiziert werden.

5.4.2.1 Submodul-Konfiguration ↔ Mikrotopologie ↔ Schaltverluste ↔ Leitverluste

In Abschnitt 4.4.1 wird erläutert, dass die Ermittlung der Leitverluste und der Schaltverluste auf realen Messdaten basiert. Im Falle der Leitverluste werden die Widerstandswerte der Schalterpfade herangezogen[23]. Für die Berechnung der Schaltverluste mithilfe des von Hanzl et al. vorgestellten, analytischen Modells sind Werte der Schleifeninduktivitäten erforderlich [52]. Diese werden auf Basis des in Anhang B.3 erläuterten Messaufbaus generiert. Die PECIN-Struktur dient dabei als grundlegende Mikrotopologie für die Experimente. Wie bereits in Abschnitt 4.4.1 erläutert und in Abbildung 3.4 gezeigt, lässt sich die PECIN-Struktur als H-Brückenform und damit als Parallelschaltung zweier Schalterpfade bestehend aus einem High-Side- und einem Low-Side-Schalter darstellen. Vergleicht man die anderen vier betrachteten MLI-Mikrotopologien aus Tabelle 5.4 mit der PECIN-Struktur, ergeben sich unter Vernachlässigung der Präsenz von BtB-Schaltern oder einfachen MOSFETs identische Schaltstrukturen. Unter der Voraussetzung geeigneter Pfadzuweisungen und geringfügigen Modifikationen in Form der Berücksichtigung lediglich eines MOSFET anstelle eines BtB-Schalters lassen sich die Messergebnisse der PECIN-Struktur auf alle übrigen Schaltstrukturen anwenden. Insbesondere im Falle der Induktivitätsmessungen aus Anhang B.3 gehen die Einschaltwiderstände der Halbleiterelemente aufgrund der reinen Stromeinbringung über die Lötflächen der Leiterplatte nicht in die Messungen ein. Es ist hier keine zusätzliche Modifikation notwendig. Diese Anwendung der Messergebnisse auf alle fünf untersuchten MLI-Strukturen bietet gleichzeitig eine geeignete Vergleichsbasis aller betrachteter MLI-Strukturen. Bevor die Analysen erfolgen, werden zunächst zwei Optimierungsansätze vorgestellt.

OPTIMIERUNG 1: Parallelisierung der Puffermodule eines AMLI

Die Grundlage für diesen Optimierungsansatz stellen die in Abschnitt 5.2.2.1 eingeführten AMLI-Systeme mit Puffermodulen dar. Der Ansatz kommt jedoch erst durch die Parallelschaltung der Puffermodule zum Tragen. Die Präsenz der Puffermodule führt zu einer Teilsymmetrie des jeweiligen AMLI-Systems. Aufgrund des identischen Moduldesigns lassen sich, neben einem Ausgleich der Einschaltzeiten oder einem Balancing, zwischen diesen übereinstimmenden Modulen ebenso Parallelverbünde realisieren. Dies gilt unter der Voraussetzung, dass die zugrundeliegende Mikrotopologie der Submodule die Fähigkeit zur Parallelisierung benachbarter Energiespeichereinheiten besitzt.

[22] Hinweis: Es sei an dieser Stelle erwähnt, dass in diesem Abschnitt bereits der Einfluss der Bildung von Parallelverbünden auf die Systemverluste betrachtet wird, obgleich die PP-Konfiguration erst in Abschnitt 5.5 im Fokus der Betrachtungen steht. Dabei beschäftigt sich Abschnitt 5.5 in erster Linie damit, wie sich die exakte Formierung der Parallelverbünde auf andere Einflussfaktoren auswirkt. Dies beinhaltet beispielsweise die spezifische Art der Verteilung der Batteriezellen auf die vorhandene Anzahl an Parallelpacks und die Anzahl an Batteriezellen in einem Parallelverbund. Im vorliegenden Fall wird lediglich der Effekt der Parallelverschaltung auf die Entwicklung der Leitverluste berücksichtigt.

[23] Hinweis: Die verwendeten Messdaten sowie der zugehörige Messaufbau finden sich in Anhang B.4.

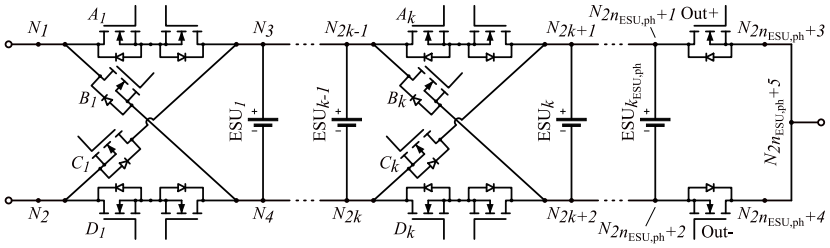
Während sich Parallelverbünde normalerweise ausschließlich bei SMLI-Systemen formieren lassen und dies durch die Modulasymmetrie in AMLIs verhindert wird, bieten AMLI-Systeme mit Puffermodulen als hybride Mischung die Basis für die Parallelisierung der Energiespeichereinheiten identischer Spannung. Diese Ausnutzung der vorteilhaften Eigenschaft zur Parallelpackbildung kann wie bei reinen symmetrischen Konfigurationen zu einer Aufteilung des Laststroms führen. Gemäß Gleichung (4.39) *sowie Gleichung* (4.41) *minimieren sich in der Folge die auftretenden Leitverluste.*

Ein weiterer Optimierungsansatz betrifft ebenso die Leitverluste eines MLI-Systems. Wie Sarwer et al. zeigen, dominieren in einem MLI-System die Leitverluste [139]. Es besteht damit der Bedarf, insbesondere diesen Anteil der Gesamtverluste in einem MLI-System zu minimieren.

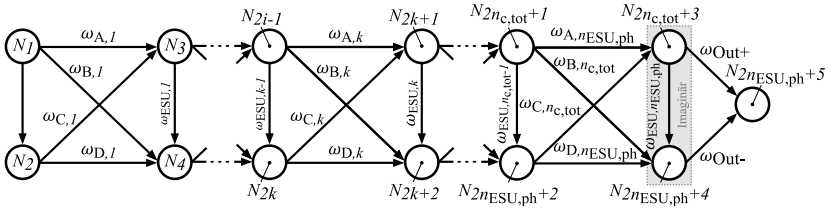
OPTIMIERUNG 2: Graphentheorie zur Minimierung der Leitverluste

Nachfolgend wird ein graphenbasierter Ansatz zur Reduzierung der Leitverluste vorgestellt. Grundlage der Umsetzung dieser Optimierung bildet die Transformation einer MLI-Struktur in einen gerichteten Graphen. Dabei entsprechen sowohl die Plus- als auch die Minuspole jeder Energiespeichereinheit den Knoten des gerichteten Graphen. Die Kanten des Graphen repräsentieren alle in der MLI-Struktur auftretenden Schalter- sowie ESU-Pfade. Jede Kante besitzt ein eigenes Gewicht. $\omega_{\mathrm{ESU},k}$ *charakterisiert dabei das Kantengewicht der* k*-ten ESU,* $\omega_{i,k}$ *verkörpert das Gewicht des* i*-ten Schalters im* k*-ten Submodul. Auf Basis einer übergeordneten Entscheidung liegt die Information vor, welche Energiespeichereinheiten im nächsten Abtastpunkt aktiviert werden sollen. Soll eine Energiespeichereinheit* ESU_k *überbrückt werden, nimmt das zugehörige Kantengewicht einen unendlich hohen Wert an. Im Falle eines Aktivzustands der Energiespeichereinheit, wird* $\omega_{\mathrm{ESU},k}$ *auf den Wert Null gesetzt. Die Kantengewichte der Schalterpfade entsprechen dabei dem zugrundeliegenden Pfadwiderstand* $R_{\mathrm{sw},i,k}$ *des Schalters* $\mathrm{sw}_{i,k}$*. Um die Leitverluste zu minimieren, wird vor jeder Schalthandlung der Pfad mit dem geringsten Gesamtgewicht ermittelt. Dieser entspricht dem Weg des geringsten Widerstands und stellt den Lastpfad im nächsten Abtastzeitpunkt dar. Diese optimale Pfadwahl führt damit zu den minimal erzielbaren Leitverlusten.*

Abbildung 5.18 illustriert die Transformation einer MLI-Struktur in einen gerichteten Graphen am Beispiel der PECIN-Struktur. Zur Verdeutlichung bildet Abbildung 5.18a einen vollständigen PECIN-Phasenstrang, bestehend aus $n_{\mathrm{ESU,ph}}$ Energiespeichereinheiten, ab, wobei an den entsprechenden Knotenpunkten der Plus- und Minuspole der Energiespeichereinheiten Knotenbezeichnungen ergänzt sind. Die Repräsentation als gerichteter Graph ist in Abbildung 5.18b visualisiert. Gemäß dem Optimierungsansatz 2, verkörpern die Plus- und Minuspole der PECIN-Struktur die Knoten im gerichteten Graphen. Aufgrund der beiden Ausgangsschalter innerhalb des PECIN-Strangs und der Verbindung mit dem Ausgangsterminal sind zwei zusätzliche Knotenpunkte vorgesehen. Diese entsprechen den imaginären Ausgangsterminals $IN+$ sowie $IN-$ in Abbildung 3.3. Wie erkennbar, ist jeder Graphenkante ein Gewicht des zugehörigen Schalter- bzw. ESU-Pfads zugewiesen. Die gezeigte Transformation in Abbildung 5.18 lässt sich grundsätzlich auf jede andere MLI-Topologie anwenden. Für die übrigen vier betrachteten MLI-Strukturen in Form der CHalfB, der CHB, der BM3- sowie der MM-SPC-Struktur erfolgt die Transformation in den zugehörigen gerichteten Graphen daher in identischer Weise. Der erläuterte Optimierungsansatz zeigt jedoch nur bei MLI-Strukturen einen Effekt, die eine Auswahl verschiedener Lastpfade bieten. Im Falle des Halbbrücken-basierten MLI ist der Lastpfad durch die Entscheidung, ob eine Energiespeichereinheit im aktiven oder im Bypasszustand vorliegt,



(a) Darstellung des PECIN-Strangs mit Markierung der entsprechenden Knotenpunkte.



(b) Repräsentation als gerichteter Graph eines PECIN-Phasenstrangs.

Abbildung 5.18: Darstellung eines PECIN-Strangs und dessen Repräsentation als gerichteter Graph.

bereits fest vorgegeben. Es besteht keine Auswahlmöglichkeit. Der vorgestellte Optimierungsansatz lässt sich daher nicht effizient anwenden. Im Gegensatz hierzu bieten sowohl die BM3- als auch die MMSPC-Struktur eine geeignete Grundlage für die Anwendung des graphenbasierten Ansatzes. Auch in der CHB ist aufgrund des reinen Serienbetriebs die Auswahl unterschiedlicher Lastpfade für einen speziellen Betriebszustand eingeschränkt. Allerdings existieren aufgrund der Präsenz von insgesamt vier Halbleiterelementen je Submodul zwei unterschiedliche Schaltzustände, die beide das Überbrücken der inhärenten Energiespeichereinheit ermöglichen. Aus diesem Grund kann der graphenbasierte Ansatz auch beim CHB-MLI angewendet werden.

Um den Effekt dieser beiden Optimierungsansätze zu demonstrieren, zeigt Abbildung 5.19 einen Vergleich verschiedener Betriebsarten. Hierzu wird die PECIN-Struktur ohne Einschränkung der Allgemeinheit als zugrundeliegende Mikrotopologie eingesetzt. Da es sich ausschließlich bei den SM-Konfigurationen Config_{12} bis Config_{18} aus Tabelle 5.3 um AMLI-Systeme mit Puffermodulen handelt, werden diese als Vergleichsgrundlage herangezogen[24]. Für die Demonstration wird eine sinusförmige Referenzvorgabe mit $u_{\text{ref}}(t) = \hat{u}_{\text{ref}} \sin(\omega t)$ verwendet. Die Referenzfrequenz beträgt $f_{\text{ref}} = 50\,\text{Hz}$. Der Amplitudenmodulationsindex wird auf $m_{\text{a}} = 1$ festgelegt. Es werden die Gesamtenergieverluste einer Inverterphase $E_{\text{inv,ph}}$ für eine vollständige Referenzperiode auf Basis einer ohmschen-induktiven Last mit $R = 5\,\text{m}\Omega$ und $L = 0{,}5\,\mu\text{H}$ ermittelt. In allen gezeigten Fällen ist $E_{\text{inv,ph}}$ unterteilt in die drei Bestandteile $E_{\text{con,ESU}}$, $E_{\text{con,sw}}$ sowie E_{sw} dargestellt. Je SM-Konfiguration werden drei unterschiedliche Fälle betrachtet. Im ersten Fall erfolgt keinerlei Optimierung (NoOptim). Im zweiten Fall wird der graphenbasierte Ansatz zur Minimierung der auftretenden Leitverluste (MinGraph) angewendet. Um darüber hinaus sowohl den Effekt der graphenbasierten Optimierung als auch der Parallelisierung der Puffermodule zu zeigen, bildet die dritte Variante den Fall ab, dass beide Optimierungsansätze 1 sowie 2 (MinGraph + ParPuffer) angewendet werden.

Wie erkennbar, weisen die auftretenden Schaltverluste in allen SM-Konfigurationen signifikant kleinere Werte auf als die zugehörigen Leitverluste der Halbleiterschalter sowie der Energiespeichereinheiten. Die Darstellung verdeutlicht darüber hinaus, dass beide Optimierungsansätze eine Minimierung der

[24] Hinweis: Die Submodul-Konfigurationen Config_{12} bis Config_{18} werden als Vergleichsbasis gewählt, da diese die Anwendung beider vorgestellter Optimierungsansätze 1 sowie 2 erlauben. Dies gilt ohne Einschränkung der Allgemeingültigkeit. Dabei wird der graphenbasierte Ansatz bei allen anderen SM-Konfigurationen sowie Mikrotopologien ebenso eingesetzt, die, wie erläutert, eine hinreichend hohe Anzahl an möglichen Lastpfaden im MLI-Betrieb bieten.

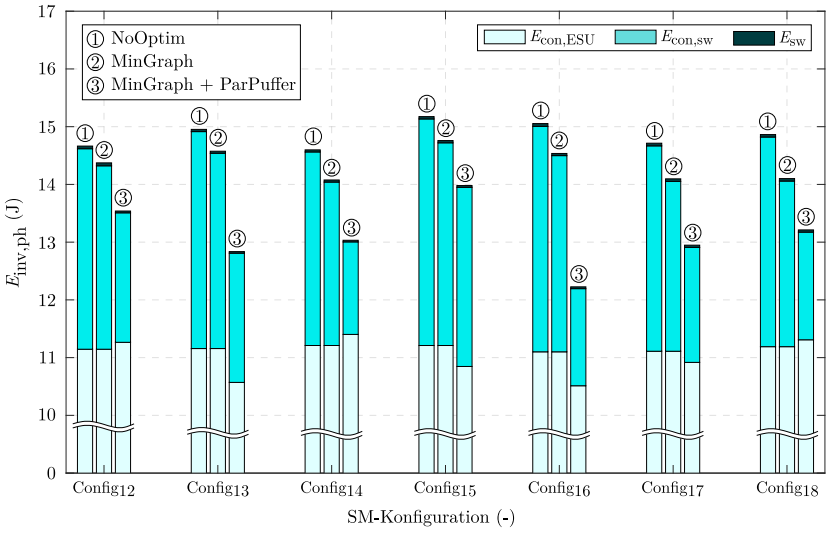


Abbildung 5.19: Demonstration der Auswirkung der beiden vorgestellten Optimierungsansätze 1 sowie 2. Dabei werden die Anwendung des graphenbasierten Ansatzes (MinGraph) sowie die Kombination des graphenbasierten Ansatzes zusammen mit der Parallelisierung vorhandener Puffermodule in einem AMLI (MinGraph + ParPuffer) dem Betrieb ohne Optimierung (NoOptim) gegenübergestellt. Der Vergleich erfolgt auf Basis der asymmetrischen SM-Konfigurationen Config_{12} bis Config_{18}.

Energieverluste $E_{\mathrm{inv,ph}}$ erzielen. Durch die Anwendung des graphenbasierten Ansatzes reduziert sich in erster Linie $E_{\mathrm{con,sw}}$, was das angestrebte Ziel der minimalen Pfadsuche darstellt. Da die Wahl der Energiespeichereinheiten übergeordnet zum graphenbasierten Optimierungsansatz erfolgt, bleiben die Leitverluste der Energiespeichereinheiten für die Variante ‚MinGraph' unverändert. Infolge der zusätzlichen Parallelisierung der Puffermodule lässt sich darüber hinaus sowohl eine Reduzierung der Schalterleitverluste $E_{\mathrm{con,sw}}$ als auch der Leitverluste in den Energiespeichereinheiten $E_{\mathrm{con,ESU}}$ erreichen. Durch die Formierung von Parallelverbünden teilt sich der Laststrom auf zwei oder mehr ESUs auf. In der Konsequenz fließt ein geringerer Strom sowohl in den betreffenden Schalter- als auch ESU-Pfaden. Gemäß Gleichung (4.39) sowie Gleichung (4.41) wirkt sich dies positiv auf die Verlustbilanz aus. Durch eine gleichzeitige Minimierung von $E_{\mathrm{con,sw}}$ und $E_{\mathrm{con,ESU}}$ erzielt die Anwendung des Optimierungsansatzes 1 in der Regel eine höhere Einsparung der Leitverluste als Optimierungsansatz 2, welcher lediglich eine Reduzierung von $E_{\mathrm{con,sw}}$ erlaubt. Sofern möglich, werden nachfolgend bei allen betrachteten Invertersystemen beide Optimierungsansätze eingesetzt.

Bevor der Einfluss aller 25 SM-Konfigurationen auf die Systemverluste untersucht wird, soll zunächst anhand einer Analyse der SMLI-Systeme Config_1 bis Config_{11} aus Tabelle 5.3 die grundlegende Auswirkung der Modulzahl auf die Systemverluste verdeutlicht werden. Die reine Betrachtung der SMLI-Systeme begründet sich vor allem darauf, die Einflussnahme eines kontinuierlichen Anstiegs der Modulzahl und damit der im System befindlichen Schalter anschaulich zu zeigen. Die elf symmetrischen Moduldesigns werden dabei auf der Basis aller fünf betrachteten Mikrotopologien (Halbbrücke, H-Brücke, BM3, MMSPC, PECIN) analysiert. In den drei Mikrotopologien, welche eine Parallelschaltung der Energiespeichereinheiten erlauben, ist die Bildung von Parallelverbünden implementiert. Es gelten dieselben Voraussetzungen wie für die Demonstration in Abbildung 5.19 hinsichtlich der Referenzvorgabe, der Schaltfrequenz sowie der Ermittlung der Energieverluste über eine vollständige Periode. Anders als in Abbildung 5.19, werden die Gesamtverluste $E_{\mathrm{inv,tot}}$ des Systems für eine Phasenzahl von $n_{\mathrm{ph}} = 3$ detektiert. Als Ansteuerverfahren ist das LS-PWM-Verfahren gewählt. Um eine geeignete Vergleichsbasis zu schaffen, wird dabei für alle Invertersysteme eine identische Schaltfrequenz von $f_{\mathrm{sw}} = 5\,\mathrm{kHz}$ verwendet. Wie in Abschnitt 5.3.2.6 ersichtlich, ist damit gewährleistet, dass alle MLI-Systeme einen hinreichend niedrigen THD-Wert erzielen.

Abbildung 5.20 stellt die ermittelten Werte von $E_{\mathrm{inv,tot}}$ für die betrachteten Invertersysteme gegenüber. Dabei ist in Analogie zu Abbildung 5.19 die Zusammensetzung von $E_{\mathrm{inv,tot}}$ aus den einzelnen Energieanteilen in Form der Leitverluste der Energiespeichereinheiten $E_{\mathrm{con,ESU}}$, der Schalterleitverluste $E_{\mathrm{con,sw}}$ sowie der Schaltverluste E_{sw} visualisiert. Betrachtet man zunächst diese Zusammensetzung, ist deutlich erkennbar, dass die Schaltverluste mit wachsender Modulzahl n_{SM} stark abnehmen. Während der zugehörige Anteil für Werte von $n_{\mathrm{SM}} = \{2; 3\}$ noch klar in der Grafik erkennbar ist, ist dieser ab Config_8 nahezu unkenntlich. Gemäß der Zellverteilung aus Tabelle 5.3, setzt sich Config_1 aus lediglich zwei Submodulen mit einer vergleichsweise hohen Modulspannung zusammen. Die zu schaltende Spannung ist damit höher als bei den anderen SMLI-Systemen. Die eingesetzten Halbleiterschalter müssen dementsprechend ausgelegt sein und weisen eine höhere Durchbruchspannung auf als die Halbleiterelemente in den übrigen SMLI-Systemen. Diese Tatsache führt unter Einbezug der Datenblattwerte und der Berücksichtigung der Systemgleichungen aus der Publikation von Hanzl et al. zu höheren Schaltverlusten [52]. Trotz der Präsenz von lediglich zwei Submodulen, lässt sich anhand der Werte von Config_1 erkennen, dass sich die Parallelisierungsfähigkeit im Falle der BM3-, der MMSPC- sowie der PECIN-Struktur in einer Reduzierung von $E_{\mathrm{con,ESU}}$ äußert. Dies wird bei einem Vergleich mit den Leitverlusten der Energiespeichereinheiten deutlich, die sich auf Basis der CHalfB sowie der CHB einstellen. Diese Verhältnisse zeigen sich auch bei den Schalterleitverlusten. Obwohl sich im Falle der Halbbrücke je Submodul nur ein einziger Schalter im Lastpfad befindet, erzielen alle drei Mikrotopologien, die die Fähigkeit der Parallelisierung aufweisen, niedrigere Werte für $E_{\mathrm{con,sw}}$. Dabei muss beachtet werden, dass in die Gesamtenergieverluste des CHalfB-MLI auch die Verluste der Schalterelemente der externen Polaritätsumkehreinheit eingehen. Während für das CHalfB-System Gleichung (4.44) gilt, teilt sich der Laststrom im Falle der BM3-, der MMSPC- sowie der PECIN-

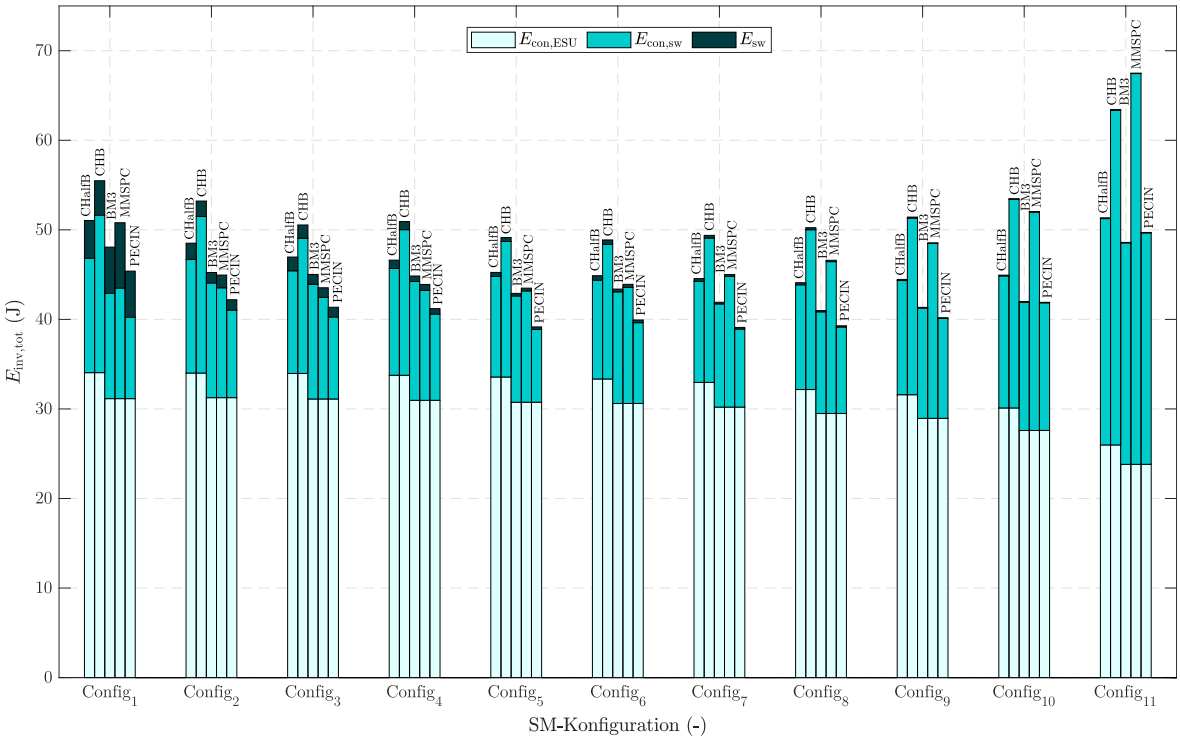


Abbildung 5.20: Entwicklung der Gesamtinverterverluste $E_{\mathrm{inv,tot}}$ und deren Zusammensetzung aus den Energieanteilen der Leitverluste der Energiespeichereinheiten $E_{\mathrm{con,ESU}}$, der Schalterleitverluste $E_{\mathrm{con,sw}}$ sowie der Schaltverluste E_{sw} über der Modulzahl n_{SM} auf Basis der SMLI-Systeme Config_1 bis Config_{11}. Dabei ist der Einfluss der zugrundeliegenden MLI-Topologie berücksichtigt.

Topologie auf die Energiespeichereinheiten eines Parallelverbunds auf. Damit minimieren sich auch die Ströme in den einzelnen Halbleiterelementen eines Parallelverbunds. Die geringsten Verluste werden mit der PECIN-Struktur erzielt. Diese besitzt anders als der CHalfB- sowie der BM3-MLI keine externe Polaritätsumkehreinheit. Darüber hinaus beträgt die Anzahl der Schalter im Lastpfad aufgrund der Parallelverschaltung der BtB-Schalter in der Regel maximal eins. Diese Zahl entspricht bei der CHB permanent dem Wert zwei, wodurch sich der maximale Wert von $E_{\mathrm{inv,tot}}$ im Vergleich zu allen anderen Mikrotopologien ergibt. Der positive Effekt der Bildung von Parallelverbünden auf die Leitverluste zeigt sich in allen untersuchten SMLI-Systemen. Bei allen dargestellten Werten von $E_{\mathrm{con,ESU}}$ lässt sich ein Offset zwischen den Systemen der CHalfB und der CHB zu den übrigen drei Invertersystemen einer SM-Konfiguration erkennen. Dabei zeigt $E_{\mathrm{con,ESU}}$ generell einen abnehmenden Trend mit steigender Modulzahl, unabhängig davon, ob Parallelverbünde gebildet werden oder nicht. Da mit wachsendem n_{SM} allerdings die Granularität der Ausgangsspannung zunimmt und mehr Energiespeichereinheiten existieren, die parallel geschaltet werden können, wirkt sich der Effekt der Parallelisierung stärker aus. Die geringsten ESU-Leitverluste erzielt Config_{11}. Obwohl die Bildung von Parallelverbünden einen positiven Effekt hat, zeigen die Schalterleitverluste im Gegensatz zur Entwicklung von $E_{\mathrm{con,ESU}}$ mit größer werdendem n_{SM} eine Zunahme. Der Anteil von $E_{\mathrm{con,sw}}$ an den Gesamtverlusten steigt. Diese Tatsache kann auf den Anstieg der Anzahl an Schaltelementen im SMLI-System zurückgeführt werden. Je mehr Submodule in einem System vorliegen, desto höher ist die Zahl der Halbleiterelemente. Dabei befindet sich je Submodul stets mindestens ein Schaltelement im Lastpfad, das gemäß der Definition in Gleichung (4.41) zu den Leitverlusten beiträgt. Wie ersichtlich, dominieren die Leitverluste insbesondere für geringe Werte von $n_{\mathrm{c,ESU}}$ die Gesamtverluste $E_{\mathrm{inv,tot}}$. Das Verhältnis der erzielten Gesamtinverterverluste $E_{\mathrm{inv,tot}}$ zwischen den verschiedenen MLI-Topologien ist in allen SM-Konfigurationen ähnlich. Während die CHB in beinahe allen elf SM-Konfigurationen die maximalen Verluste aufweist, ergeben sich bei der Anwendung der PECIN-Struktur die geringsten Werte. Eine Ausnahme hiervon bildet die SM-Konfiguration Config_{11}. Trotz der Bildung von Parallelverbünden übersteigen die Leitverluste des MMSPC-MLI die der CHB aufgrund der hohen Schalterzahl im System. Auch der Wert von $E_{\mathrm{inv,tot}}$ für die PECIN-Struktur übertrifft für diese SM-Konfiguration den der BM3-Topologie, entgegen der Verhältnisse in allen anderen zehn SM-Konfigurationen. Dabei zeigt sich insbesondere, dass mit steigender Modulzahl die negative Einflussnahme der Anzahl an Schaltelementen auf die Schalterleitverluste zunimmt.

Als Erweiterung zu Abbildung 5.20 stellt Abbildung 5.21 die Energieverluste $E_{\mathrm{inv,tot}}$ der 125 betrachteten Invertersysteme gegenüber und bezieht damit die AMLI-Systeme mit ein. Dabei werden für die AMLI-Systeme Config_{19} bis Config_{25} die Systemverluste betrachtet, die sich bei einer zusätzlichen Implementierung der Pol-Kombinationen ergeben. Aus Gründen der Übersicht ist lediglich $E_{\mathrm{inv,tot}}$ dargestellt, ohne die zusätzliche Aufteilung in die jeweiligen Energieanteile. Die Tendenzen der SM-LI-Systeme wurden bereits anhand von Abbildung 5.20 beschrieben. Betrachtet man die Ergebnisse der AMLI-Systeme, fallen die hohen Energiewerte auf, die sich auf Basis der CHalfB sowie der CHB einstellen. Insbesondere für die SM-Konfigurationen Config_{12}, Config_{14} sowie Config_{16} bis Config_{18} sind die erzielten $E_{\mathrm{inv,tot}}$-Werte signifikant hoch. Dabei übersteigen diese deutlich die maximalen Verluste, die mit der am wenigsten energieeffizienten symmetrischen Konfiguration Config_{11} auftreten. Diese Tatsache kann neben der fehlenden Parallelisierungsfähigkeit auch auf die vergleichsweise hohe Anzahl an Submodulen im Falle der asymmetrischen Konfigurationen zurückgeführt werden. Dabei spielen auch die zugrundeliegenden Halbleiterelemente eine tragende Rolle. Anders als bei den SM-LIs unterscheiden sich in der Regel die Halbleiterelemente der verschiedenen asymmetrischen Module und damit in der Konsequenz die zugehörigen Drain-Source-Einschaltwiderstände. Abhängig von der exakten Auslegung weichen die Einschaltzeiten der Halbleiterschalter voneinander ab. Der Einfluss eines Halbleiterelements mit einem hohen $R_{\mathrm{DS(on)},i,k}$ kann deshalb je nach Moduldesign variieren.

Dieser Sachverhalt führt zu den starken Divergenzen der Gesamtinverterverluste, die sich für die SM-Konfigurationen Config_{11} bis Config_{18} ergeben. Die Energiewerte dieser AMLI-Konfigurationen verdeutlichen ebenso die effektive Anwendung der vorgestellten Optimierung 1 hinsichtlich der Parallelisierung von Puffermodulen. Durch die Anwendung dieses Optimierungsansatzes, in Kombination mit Optimierung 2, erzielen diese AMLI-Systeme unter Einsatz der BM3-, der MMSPC- oder der PECIN-Struktur deutlich geringere Energieverluste als im Falle der CHalfB sowie der CHB. Die zugehörigen Energiewerte liegen in einem vergleichbaren Bereich wie die der SMLI-Systeme, deren Modulanzahl zwischen $n_{\text{SM}} = \{3 \dots 18\}$ variiert. Bei einem reinen Fokus auf die Systemverluste repräsentieren diese asymmetrischen Konfigurationen, die eine Mikrotopologie mit der Fähigkeit zur Parallelisierung verwenden, wettbewerbsfähige Alternativen zu den symmetrischen Konfigurationen. Insbesondere der Einsatz der PECIN-Struktur führt dazu, dass Config_{13} sowie Config_{16} die niedrigsten Werte für $E_{\text{inv,tot}}$ erreichen und diese damit die verlustärmsten Systeme darstellen. Betrachtet man die SM-Konfigurationen Config_{19} bis Config_{25}, verursachen die CHalfB sowie die CHB die höchsten Gesamtverluste, in Übereinstimmung mit den übrigen Konfigurationen. Im Vergleich zu den Maxima von $E_{\text{inv,tot}}$ der AMLI-Pendants mit Puffermodulen liegen die zugehörigen Werte aufgrund einer niedrigeren Anzahl an Submodulen in geringeren Bereichen. Auch hier lässt sich erkennen, dass die Strukturen mit Parallelisierungsfähigkeit die auftretenden Systemverluste deutlich reduzieren. Zwar lassen sich aufgrund der fehlenden Teilsymmetrie keine Parallelverbünde realisieren, allerdings kommt der Effekt des graphenbasierten Optimierungsansatzes 2 zum Tragen. Darüber hinaus befindet sich im Gegensatz zur H-Brücke lediglich ein Schalter je Modul im Lastpfad. In Übereinstimmung mit dem Trend aus Abbildung 5.20 erzielt die PECIN-Struktur in nahezu allen gezeigten Fällen die geringsten Verluste. Im Gegensatz dazu bildet die CHB-Struktur bei allen betrachteten SM-Konfigurationen die ineffizienteste Inverterlösung ab.

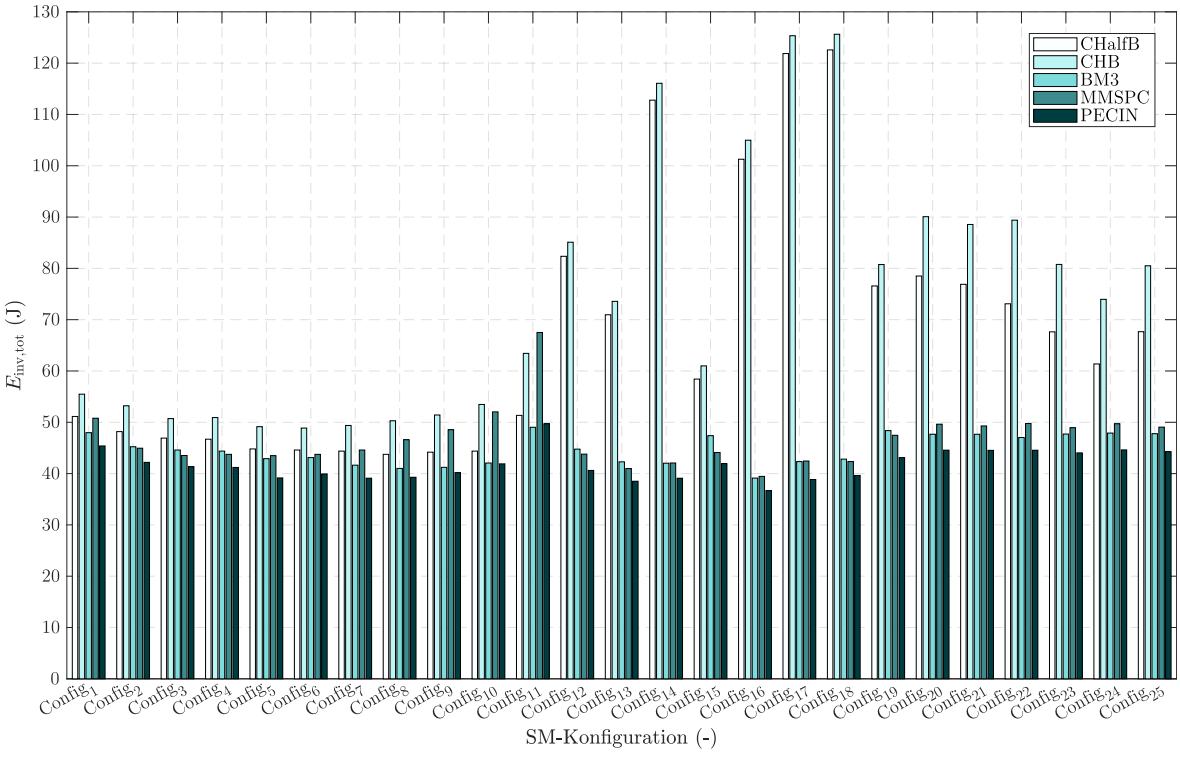


Abbildung 5.21: Darstellung der Gesamtinverterverluste $E_{\text{inv,tot}}$ für alle 125 betrachteten Invertersysteme.

5.4.2.2 Submodul-Konfiguration ↔ Mikrotopologie ↔ Amplitudenmodulationsindex ↔ Systemkosten ↔ Total-Harmonic-Distortion-Wert ↔ Verluste

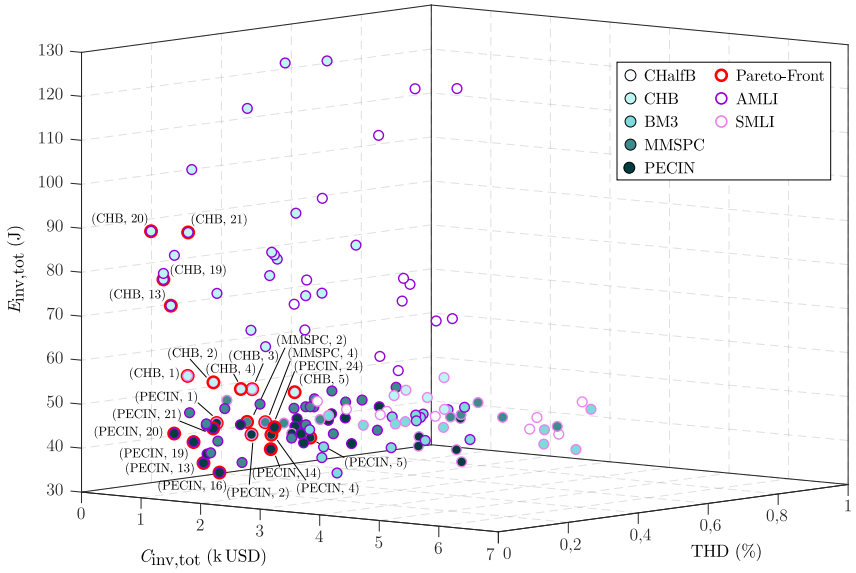
In diesem Abschnitt werden die 125 betrachteten Invertersysteme im Zuge einer gesamtheitlichen Pareto-Optimierung hinsichtlich der Bewertungskriterien der Inverterkosten, des THD-Werts sowie der Systemverluste einander gegenübergestellt. Dieser konkrete Vergleich verdeutlicht einerseits die Einflussnahme des Moduldesigns sowie der Mikrotopologie auf die drei Bewertungskriterien. Andererseits zielt diese Gegenüberstellung darauf ab, zu zeigen, wie sich die zusätzliche Berücksichtigung der Systemverluste auf die Wahl der vielversprechendsten Invertersysteme auswirkt. Dies gilt insbesondere in Bezug auf die Ergebnisse aus Abbildung 5.17, in welcher lediglich die Systemkosten und der THD-Wert als Zielkriterien berücksichtigt sind.

Aufgrund der Vielzahl an untersuchten Invertersystemen werden, wie in Abschnitt 5.4.2.1, die Energieverluste über eine gesamte Referenzperiode ermittelt und einander gegenübergestellt. Es gelten dieselben Simulationsbedingungen. Im vorliegenden Fall werden übereinstimmend mit Abbildung 5.21 die Gesamtinverterverluste $E_{\mathrm{inv,tot}}$ betrachtet. Die Systemkosten der Invertersysteme sowie die THD-Werte entsprechen denen aus Abbildung 5.17. Es werden die im vorhergehenden Abschnitt eingeführten Optimierungsansätze 1 sowie 2 in Form des graphenbasierten Ansatzes sowie der Parallelisierung der Puffermodule angewendet, um so die bestmögliche Invertervariante zu identifizieren. Darüber hinaus ist ebenso die Implementierung der Pol-Kombinationen für die SM-Konfigurationen Config_{19} bis Config_{25} berücksichtigt. Um zu gewährleisten, dass alle Invertersysteme einen hinreichend niedrigen THD-Wert erzielen und damit die IEEE-Empfehlung von $\mathrm{THD}_{\mathrm{u,max}} = 8\,\%$ in jedem Betriebspunkt erfüllen, wird eine identische Schaltfrequenz von $f_{\mathrm{ref}} = 5\,\mathrm{kHz}$ gewählt [70, 155]. Das zugrundeliegende Modulationsverfahren bildet die LS-PWM-Methode. Es werden insgesamt zwei charakteristische Betriebszustände betrachtet. Im ersten Fall entspricht der Amplitudenmodulationsindex einem Wert von $m_{\mathrm{a}} = 1{,}0$, wodurch der Volllastbetrieb eines BEV nachgebildet wird. Um ebenso den Teillastbetrieb zu betrachten und damit den Einfluss der Änderung der Referenzforderung zu analysieren, werden die Ergebnisse ebenso für einen Amplitudenmodulationsindex von $m_{\mathrm{a}} = 0{,}4$ analysiert. Abbildung 5.22 visualisiert die Gegenüberstellung der untersuchten Invertersysteme gemäß der Zielfunktionen $E_{\mathrm{inv,tot}}$, $C_{\mathrm{inv,tot}}$ und dem THD-Wert. Die Kennzeichnung der Pareto-optimalen Wertepaare hinsichtlich der drei Bewertungskriterien erfolgt, analog zur bisherigen Vorgehensweise, mit einer roten Umrandung. Aufgrund der Vielzahl an Invertersystemen ist ausschließlich für diese Wertepaare eine explizite Beschriftung in Form der zugrundeliegenden Mikrotopologie und des Indexes i der zugehörigen SM-Konfiguration Config_i angegeben. Alle anderen Wertepaare sind entsprechend der Mikrotopologie farblich markiert. Die zugehörigen Umrandungen spiegeln die Symmetrie des Moduldesigns wider. Um die Übersichtlichkeit zu erhöhen, beschränken sich die Darstellungen aus Abbildung 5.22 auf einen Kostenbereich bis $7\,\mathrm{k\,USD}$[25].

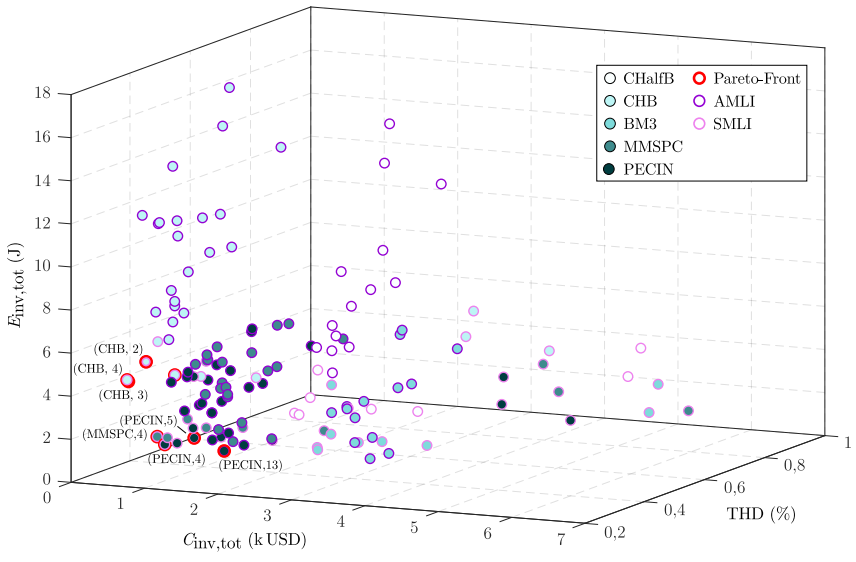
Auf Basis der dargestellten Ergebnisse zeigt sich, gemäß den Schlussfolgerungen aus Abschnitt 5.4.2.1, dass der Großteil der SMLI-Systeme weniger Energieverluste generiert als die AMLI-Systeme Config_{19} bis Config_{25}. Wie erläutert, besitzen diese AMLIs per Definition keine Teilsymmetrie, alle inhärenten Submodule weisen eine unterschiedliche Modulspannung auf. Es können keinerlei Parallelverbünde gebildet werden. Im Gegensatz dazu lassen sich in allen SMLI-Strukturen Energiespeichereinheiten parallelisieren, sofern die BM3-, die MMSPC- oder die PECIN-Struktur als Mikrotopologie vorliegt. In SMLI-Systemen, die auf Basis der Halbbrücke designt sind, ist keine Parallelisierung möglich.

[25] Hinweis: Invertersysteme, die diesen Kostenwert überschreiten, sind nicht abgebildet. Gemäß Abbildung 5.7 handelt es sich bei diesen ausschließlich um Invertersysteme, welche die SM-Konfiguration Config_{11} aufweisen und damit je Batteriezelle eine eigene Leistungselektronik besitzen. Aufgrund der hohen Systemkosten sind derartige Invertersysteme aus ganzheitlicher Sicht nicht konkurrenzfähig und bieten damit keine Grundlage für ein optimales MLI-Design.

Da die Anzahl der Schalter im Lastpfad einem Wert von eins entspricht, verursachen diese Systeme trotz externer Polaritätsumkehreinheit in der Regel geringere Energieverluste als CHB-MLIs. Aufgrund der zusätzlichen Betrachtung der Systemkosten erzielen Invertersysteme, welche die H-Brücke als Mikrotopologie verwenden, aus gesamtheitlicher Sicht jedoch bessere Ergebnisse. Dieses Phänomen wird anhand der Punkte auf der Pareto-Front ersichtlich. Während sich für einen Amplitudenmodulationsindex von 0,4 ausschließlich CHB-Systeme symmetrischer Konfiguration auf der Pareto-Front befinden, zählen für $m_\mathrm{a} = 1{,}0$ auch asymmetrische CHB-Systeme zu den dominanten Datenpunkten. Diese Tatsache ergibt sich aus der Verbesserung des THD-Werts für $m_\mathrm{a} = 1{,}0$. Insbesondere bei den CHB-Systemen mit den SM-Konfigurationen Config_{13}, Config_{19}, Config_{20} und Config_{21} zeigt sich diese Tendenz. Diese Moduldesigns erreichen unter Berücksichtigung der Pol-Kombinationen die maximale



(a) $m_\mathrm{a} = 1{,}0$.



(b) $m_\mathrm{a} = 0{,}4$.

Abbildung 5.22: Pareto-Betrachtung aller 125 Invertersysteme mit den Zielfunktionen der Inverterkosten, des THD-Werts sowie der Systemverluste. Die Kennzeichnung (Mikrotopologie, i) spiegelt dabei die verwendete Mikrotopologie sowie den Index i der zugrundeliegenden SM-Konfiguration Config_i wider.

Granularität, welche sich für einen hohen Amplitudenmodulationsindex aufgrund des sinkenden Verhältnisses der Stufenhöhe zur Grundwelle in einem geringeren THD-Wert äußert. In Kombination mit vergleichsweise geringen Systemkosten, bilden diese Invertersysteme trotz höherer Systemverluste im Falle von $m_\mathrm{a} = 1{,}0$ einen Teil der Pareto-Front ab. Wie aus Abbildung 5.21 hervorgeht, verursachen die AMLI-Varianten mit Restmodul, Config_{19} bis Config_{25}, die weder den Vorteil der Parallelisierung noch den graphenbasierten Ansatz zur Minimierung der Leitverluste nutzen können, die höchsten Werte von $E_\mathrm{inv,tot}$[26]. Fallen die zugehörigen Systemkosten darüber hinaus hoch aus und nimmt der THD-Wert ebenso einen höheren Wert an, können derartige AMLIs nicht mit den anderen Invertersystemen konkurrieren. Vergleicht man die symmetrischen SM-Konfigurationen miteinander, verkörpern vor allem Systeme mit einer Modulzahl im Bereich von $n_\mathrm{SM} = \{3 \dots 9\}$ für Config_2 bis Config_5, und damit einer Zellanzahl je Energiespeichereinheit von $n_\mathrm{c,ESU} = \{12 \dots 36\}$, ein gesamtheitliches Optimum. Trotz ähnlicher Energieverluste sowie vergleichbarer THD-Werte wirken sich insbesondere die anfallenden Systemkosten bei den übrigen SMLI-Systemen negativ aus. Dieser Umstand ist speziell in Abbildung 5.22a erkennbar.
Stellt man des Weiteren die Ergebnisse der Invertersysteme auf Basis der zugrundeliegenden Mikrotopologie gegenüber, ergeben sich weiterhin einige Unterschiede. Trotz der geringen Anzahl von lediglich einem Schalter im Lastpfad im Falle der CHalfB, die zu einer Energieeinsparung im Vergleich zur CHB führt, kann diese nicht mit Invertersystemen mithalten, die aufgrund der Anwendung der MMSPC- oder der PECIN-Struktur den Vorteil der Parallelisierung ausnutzen können. Dieser Sachverhalt zeigt sich deutlich anhand der Position der dunkel eingefärbten Datenpunkte sowie den Markierungen der Pareto-Front. Insbesondere für einen Amplitudenmodulationsindex von $m_\mathrm{a} = 0{,}4$ kann die CHalfB nicht mit den SM-Konfigurationen konkurrieren, welche diese Mikrotopologien einsetzen, da sich aufgrund der geringen Referenzforderung über die gesamte Referenzperiode hinweg Parallelverbünde realisieren lassen. Betrachtet man die Invertersysteme auf Basis der BM3-Struktur, ist auch diese aufgrund des Bedarfs einer externen Polaritätsumkehreinheit nicht mit den MMSPC- sowie den PECIN-Pendants wettbewerbsfähig. Der Einsatz der Polaritätsumkehreinheit führt zu höheren Systemkosten. Die zugehörigen Schaltelemente verursachen weiterhin zusätzliche Inverterverluste. Stellt man die Invertersysteme gegenüber, die entweder die MMSPC- oder die PECIN-Struktur als Modultopologie verwenden, lassen sich durch die Anwendung der PECIN-Struktur in der Regel geringere Verluste erzielen. Dieser Sachverhalt ist bereits in Abbildung 5.21 ersichtlich. Jedoch führt die Verwendung der PECIN-Struktur aufgrund der Divergenz in der Spannungsfestigkeit der vier Hauptschalter dazu, dass, abhängig von der jeweiligen Modulkonfiguration und der Spannung der Energiespeichereinheiten, unterschiedliche Halbleiterelemente in den einzelnen Submodulen erforderlich sind. Gemäß Abbildung 5.7 ergeben sich dadurch für einige SM-Konfigurationen höhere Systemkosten. In der Konsequenz bilden auch MMSPC-Strukturen Pareto-optimale Punkte auf der Pareto-Front.
Neben den SMLI-Systemen mit einer vergleichsweise geringen Modulzahl im Bereich von drei bis neun, zählen auch diverse AMLI-Systeme zu den gesamtheitlichen Optima, wie sich insbesondere der Pareto-Front in Abbildung 5.22a entnehmen lässt. Einerseits setzen sich eine Vielzahl der AMLI-Systeme Config_{19} bis Config_{25} unabhängig von der vorliegenden Mikrotopologie aufgrund der hohen Granularität der erzeugten Ausgangsspannungen und des damit verbundenen geringen THD-Werts im Vergleich zu den anderen Strukturen durch. Andererseits bilden die Konfigurationen Config_{12} bis Config_{18} einen optimalen Kompromiss aus allen drei Zielfunktionen.

Aus beiden Grafiken in Abbildung 5.22 geht deutlich hervor, dass unter den gegebenen Bedingungen mit allen Invertersystemen hinreichend niedrige THD-Werte erzielt werden. Die auftretenden

[26] Hinweis: Im Falle der CHB kann der graphenbasierte Ansatz, wie in vorhergehendem Abschnitt erläutert, eingeschränkt genutzt werden. Die Anzahl alternativer Lastpfade ist jedoch deutlich geringer als bei den anderen Mikrotopologien, welche die Fähigkeit zur Parallelisierung besitzen.

Unterschiede zwischen den Werten der einzelnen Systeme sind vergleichsweise gering. Aufgrund dieser Tatsache listet Tabelle 5.7 alle Pareto-dominanten Invertersysteme auf, die sich aus einer Pareto-Betrachtung bei einer reinen Berücksichtigung der Inverterverluste sowie der Systemkosten als Zielfunktionen ergeben. Neben den jeweiligen Werten für $E_{\mathrm{inv,tot}}$ und $C_{\mathrm{inv,tot}}$ sind für alle optimalen Systeme sowohl die zugrundeliegende Mikrotopologie, die SM-Konfiguration mit dem Zusatz, ob es sich um einen SMLI oder einen AMLI handelt, sowie der jeweilige THD-Wert angegeben. Die Ergebnisse zeigen auch hier, dass die optimalen Werte unter Anwendung der Topologien der CHB-, der MMSPC- sowie der PECIN-Struktur erzielt werden. Aufgrund ihrer geringen Systemkosten sind die CHB-Systeme stets ein Teil der Pareto-Front. Allerdings weisen sie im Vergleich zu den MMSPC- und PECIN-Systemen deutlich höhere Inverterverluste auf. Dies gilt bei beiden betrachteten Betriebspunkten. Die Möglichkeit der Realisierung von Parallelverbünden sowie die effektive Anwendung des graphenbasierten Ansatzes entsprechend Optimierung 2 führen zu einer signifikanten Reduzierung der Systemverluste bei Verwendung dieser beiden MLI-Topologien. Mit dem Invertersystem auf Basis der PECIN-Struktur und der SM-Konfiguration Config_{16} lassen sich für $m_{\mathrm{a}} = 1{,}0$ um mehr als 30 % der auftretenden Energieverluste einsparen im Vergleich zu dem Wert, welcher mit dem CHB-MLI und einer Modulzahl von $n_{\mathrm{SM}} = 3$ erzielt wird. Vergleicht man die Pareto-dominanten Systeme für die beiden betrachteten Amplitudenmodulationsindizes, sind diese nahezu identisch. Allerdings befinden sich die SM-Konfigurationen Config_{14} sowie Config_{16} mit der PECIN-Struktur als Mikrotopologie ausschließlich für $m_{\mathrm{a}} = 1{,}0$ auf der Pareto-Front. Im Falle von Config_{16} wirken sich die verhältnismäßig hohen Systemkosten gepaart mit größeren Systemverlusten im Vergleich zu den anderen Pareto-dominanten Invertersystemen für einen niedrigen Modulationsindex negativ aus. Auch Config_{14} kann trotz der geringeren Systemkosten bei einem Wert von $m_{\mathrm{a}} = 0{,}4$ nicht mit den erzielten Verlustwerten von Config_{13} konkurrieren. Das zugehörige Invertersystem ist nicht Pareto-optimal. Wie erläutert, kann die Divergenz der Schalter-STV innerhalb der PECIN zu erhöhten Systemkosten im Vergleich zur

Tabelle 5.7: Pareto-optimale Invertersysteme bei einer reinen Berücksichtigung der Zielkriterien der Gesamtenergieverluste $E_{\mathrm{inv,tot}}$ sowie der Inverterkosten $C_{\mathrm{inv,tot}}$ für zwei unterschiedliche Betriebspunkte in Form der Amplitudenmodulationsindizes $m_{\mathrm{a}} = 1{,}0$ und $m_{\mathrm{a}} = 0{,}4$. Als Ergänzung sind für alle aufgelisteten MLI-Systeme die zugehörigen THD-Werte aufgeführt.

Amplitudenmodulationsindex $m_{\mathrm{a}} = 1,0$					
Mikrotopologie	**SM-Konfiguration**	**SMLI/ AMLI**	**THD**	$\boldsymbol{E_{\mathrm{inv,tot}}}$	$\boldsymbol{C_{\mathrm{inv,tot}}}$
CHB	Config_2	SMLI	0,25 %	53,2 J	682 USD
CHB	Config_3	SMLI	0,36 %	50,5 J	706 USD
CHB	Config_4	SMLI	0,33 %	59,9 J	702 USD
CHB	Config_5	SMLI	0,45 %	49,1 J	880 USD
MMSPC	Config_4	SMLI	0,33 %	43,9 J	1079 USD
PECIN	Config_5	SMLI	0,45 %	39,2 J	1122 USD
PECIN	Config_{13}	AMLI	0,04 %	38,5 J	1661 USD
PECIN	Config_{14}	AMLI	0,26 %	39,1 J	1517 USD
PECIN	Config_{16}	AMLI	0,04 %	36,7 J	1908 USD
Amplitudenmodulationsindex $m_{\mathrm{a}} = 0,4$					
Mikrotopologie	**SM-Konfiguration**	**SMLI/ AMLI**	**THD**	$\boldsymbol{E_{\mathrm{inv,tot}}}$	$\boldsymbol{C_{\mathrm{inv,tot}}}$
CHB	Config_2	SMLI	0,27 %	5,4 J	682 USD
CHB	Config_3	SMLI	0,21 %	4,9 J	706 USD
CHB	Config_4	SMLI	0,20 %	5,0 J	702 USD
CHB	Config_5	SMLI	0,32 %	4,7 J	880 USD
MMSPC	Config_4	SMLI	0.20 %	2,4 J	1079 USD
PECIN	Config_5	SMLI	0,32 %	1,8 J	1122 USD
PECIN	Config_{13}	AMLI	0,27 %	1,6 J	1661 USD

MMSPC-Struktur führen. Die SM-Konfiguration Config_4, unter Einsatz der MMSPC-Struktur, befindet sich für beide Betriebszustände auf der Pareto-Front.

Berücksichtigt man für einen Vergleich ausschließlich die Bewertungskriterien der Systemkosten sowie der Inverterverluste gemäß Tabelle 5.7, bilden SMLI-Systeme mit einer Modulzahl im Bereich von drei bis neun die vielversprechendsten unter allen symmetrischen Konfigurationen. Diese sind ebenso in den Grafiken aus Abbildung 5.22 in der Pareto-Front enthalten. Insbesondere SM-Konfiguration Config_5 erzielt bei Verwendung der PECIN-Struktur als Mikrotopologie die geringsten Systemverluste. Unter allen AMLI-Systemen ist SM-Konfiguration Config_{13} mit Einsatz der PECIN-Topologie in beiden betrachteten Betriebspunkten das Invertersystem, das den besten Kompromiss aus Inverterkosten und Systemverlusten bietet. Wie anhand der zugehörigen Zellverteilung in Tabelle 5.3 deutlich wird, existieren bei Config_{13} für jede auftretende Anzahl an Batteriezellen je Energiespeichereinheit $n_{\text{c,ESU},k}$ mindestens zwei identisch ausgelegte Module. Die Optimierung hinsichtlich der Parallelisierung identischer Module kann daher für alle Submodule angewendet werden. Das zugehörige Invertersystem befindet sich auch für die Betrachtung aller drei Bewertungskriterien auf der Pareto-Front. Gemäß den Angaben in Tabelle 5.6 kann mit dieser Struktur die maximale Granularität erreicht werden. Für beide betrachteten Werte von m_{a} zählt der AMLI weiterhin zu den Invertersystemen, welche die geringsten Systemverluste generieren.

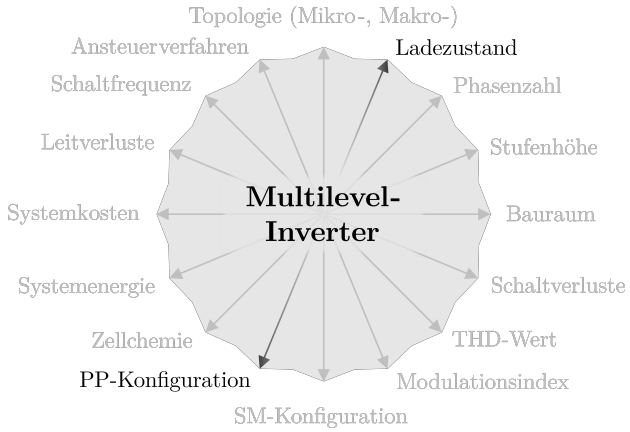
5.4.3 Zusammenfassung und Fazit des dritten Clusters

Im dritten Abschnitt zu den Parameterabhängigkeiten wird die Bandbreite der betrachteten Designparameter auf die Systemverluste ausgeweitet. Dabei werden insbesondere zwei Optimierungsansätze vorgestellt, die zur Minimierung der dominierenden Leitverluste im Invertersystem beitragen. Neben der Parallelisierung der Puffermodule in AMLI-Systemen, die über eine Teilsymmetrie verfügen, wird zudem ein graphenbasierter Ansatz vorgestellt. Mittels der Transformation einer MLI-Struktur in einen gerichteten Graphen lässt sich für jede Schalterstellung in jedem Betriebszustand der Weg des minimalen Widerstands und damit der Pfad mit den geringsten Leitverlusten ermitteln. Die effektive Anwendung beider Optimierungsansätze ist anhand ausgewählter AMLI-Systeme auf Basis der PECIN-Struktur demonstriert. Der graphenbasierte Ansatz erweist sich vor allem dann als wirkungsvoll, wenn die zugrundeliegende Mikrotopologie des MLI-Systems die potenzielle Auswahl verschiedener Lastpfade ermöglicht. Dieser Umstand ist beispielsweise bei der Halbbrücke aufgrund der Anzahl von lediglich zwei Schaltern je Submodul nicht gegeben. Jeder Zustand im Submodul definiert einen eigenen Betriebszustand. Es besteht keine Auswahlmöglichkeit zwischen Schalterstellungen, die zu einem identischen Betriebszustand führen.
Ein Vergleich von SMLI-Systemen unterschiedlicher Modulzahl zeigt, dass sich der Anteil der Schaltverluste an den Gesamtverlusten mit zunehmender Modulzahl verringert. Mit einem Anstieg der Modulzahl bei SMLI-Systemen sinkt die Anzahl an Batteriezellen je Energiespeichereinheit $n_{\text{c,ESU}}$, die Modulspannung wird kleiner und die Granularität der Ausgangsspannungen erhöht sich. Damit reduziert sich die Spannung, die von den Halbleiterelementen in den jeweiligen Submodulen geschaltet werden muss. Darüber hinaus verringert sich die erforderliche Spannungsfestigkeit der Halbleiterschalter mit Abnahme der Zellenzahl $n_{\text{c,ESU}}$ je Energiespeichereinheit. Es lassen sich in der Folge Halbleiterelemente mit einer geringeren Durchbruchspannung einsetzen. Dieser Sachverhalt führt insgesamt zu einer Reduzierung der Schaltverluste mit steigendem n_{SM} im SMLI-System. Eine Analyse der Gesamtverluste der 25 betrachteten SM-Konfigurationen, unter Berücksichtigung der zugrundeliegenden Mikrotopologie, verdeutlicht den positiven Einfluss der Parallelisierungsfähigkeit. Durch die Parallelschaltung von Energiespeichereinheiten lassen sich bei einer gegebenen SM-Konfiguration, wel-

che identisch ausgelegte Submodule beinhaltet, sowohl die Leitverluste der Energiespeichereinheiten als auch die der Schaltelemente deutlich reduzieren. Dieser Umstand gilt insbesondere im Vergleich zu Invertersystemen, deren Mikrotopologie ausschließlich einen reinen Serienbetrieb erlaubt. Die Einsparung der Leitverluste der Energiespeichereinheiten nimmt dabei mit steigender Modulzahl zu. Dies begründet sich damit, dass mit einer höheren Anzahl von Submodulen im System auch mehr Energiespeichereinheiten vorhanden sind, die parallel geschaltet werden können. Dadurch kann der Effekt der Parallelbildung umso stärker genutzt werden. Trotz des positiven Einflusses der Parallelschaltung auf die auftretenden Schalterleitverluste, erhöhen sich diese mit einem Anstieg der Modulzahl. Dabei wirkt die direkt proportionale Zunahme der Anzahl an Schalter im SMLI-System dem Effekt der Parallelschaltung entgegen. Aus diesem Grund erzielen SMLI-Konfigurationen mit einer *mittleren* Modulzahl im Bereich von neun bis 18 Submodulen, bei einer Zellanzahl von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je Inverterstrang, die geringsten Gesamtverluste unter allen betrachteten symmetrischen Konfigurationen. Im Speziellen steht hierbei die zugrundeliegende Anzahl an Batteriezellen je Energiespeichereinheit in einem Verhältnis von $5,6\,\%$ bis $11,1\,\%$ zu $n_{\mathrm{c,ph}}$. Diese SM-Konfigurationen bilden den besten Kompromiss aus einer effektiven Nutzung der Parallelverschaltungen und einer geeigneten Anzahl an Halbleiterschaltern. Bei einem direkten Vergleich der fünf untersuchten Mikrotopologien erzielt die PECIN-Struktur für nahezu alle betrachteten SM-Konfigurationen die geringsten Systemverluste. Im Gegensatz dazu bilden die CHB-Strukturen die ineffizientesten Varianten, da sich permanent zwei Halbleiterschalter je Submodul im Lastpfad befinden und diese Topologie nicht in der Lage ist, Parallelverbünde zu bilden. Dieser Trend zeigt sich auch bei den AMLI-Systemen.
Im Rahmen der Gegenüberstellung aller Invertersysteme in Bezug auf die Systemverluste werden neben den SMLI-Systemen mit einer mittleren Modulzahl auch AMLI-Systeme mit der Präsenz inhärenter Puffermodule als vielversprechende Invertersysteme identifiziert. Voraussetzung hierfür ist der Einsatz einer Mikrotopologie, welche die Fähigkeit zur Bildung von Parallelverbünden aufweist. Durch die Parallelisierung der Puffermodule und der Anwendung des graphenbasierten Ansatzes können vergleichsweise geringe Systemverluste erreicht werden. Bei einer reinen Verlustbetrachtung bilden insbesondere derartige Systeme in Kombination mit der PECIN-Struktur das Optimum.
Berücksichtigt man neben den Systemverlusten sowohl die Inverterkosten als auch die Ergebnisse der THD-Werte aus den vorhergehenden Abschnitten, stellen einige CHB-Systeme eine ganzheitlich optimale Lösung dar. Dies lässt sich in erster Linie auf die bereits identifizierten geringen Systemkosten zurückführen, die vor allem mit dieser Struktur erzielt werden. Da alle betrachteten Invertersysteme aufgrund der Vorgabe einer identischen Schaltfrequenz zu hinreichend geringen THD-Werten führen, werden die vielversprechendsten Systeme bei einer reinen Betrachtung der Inverterkosten sowie der Systemverluste ermittelt. Sofern die Inverterkosten ein Bewertungskriterium darstellen, ist ein CHB-System stets in der Wertemenge der optimalen Systeme vertreten. Die zugehörigen Inverterverluste sind jedoch vergleichsweise hoch. Einen geeigneten Kompromiss aus beiden genannten Bewertungskriterien stellen zum Einen symmetrische Invertersysteme mit einer Modulzahl im Bereich von drei bis neun Modulen dar, die entweder die MMSPC- oder die PECIN-Struktur als Mikrotopologie einsetzen. Insbesondere letztere zeichnet sich durch eine Minimierung der Systemverluste aus. Die Zellanzahl entspricht dabei einem Wert zwischen 12 bis 36 bei einer Gesamtzahl von 108 Batteriezellen je MLI-Phase. Während eine SMLI-Konfiguration mit der kleinstmöglichen Anzahl von $n_{\mathrm{c,ESU}} = 1$ Batteriezelle je Energiespeichereinheit die höchste Granularität und damit den bestmöglichen THD-Wert aufweist, ist ein derartiges System sowohl aus Kostensicht als auch hinsichtlich der Systemverluste mit anderen MLI-Systemen nicht konkurrenzfähig. Neben symmetrischen SM-Konfigurationen mit einem Wert von $n_{\mathrm{c,ESU}}$ im Bereich von $\frac{1}{9}$ bis $\frac{1}{3}$ bezogen auf die Gesamtanzahl an Zellen je Inverterstrang erweisen sich zum Anderen auch AMLIs als vielversprechende MLI-Strukturen, die Puffermodule enthalten. Insbesondere ein System wie die asymmetrische SM-Konfiguration Config_{13} stellt, unter der

Verwendung der PECIN-Struktur als Mikrotopologie, unabhängig vom Betriebspunkt einen geeigneten Kompromiss aus geringen Systemkosten und Systemverlusten dar.
Wie die Untersuchungen zeigen, hängt die Wahl einer optimalen Inverterstruktur stark vom priorisierten Bewertungskriterium ab. Je nach Fokussierung auf ein oder mehrere Kriterien bilden verschiedene Invertersysteme die optimale Lösung ab. Es sollte daher stets je nach Priorität der Bewertungskriterien eine Wahl getroffen werden.

5.5 Parameterabhängigkeiten: Cluster Parallelisierung



Im vorhergehenden Abschnitt findet die Parallelisierungsfähigkeit der untersuchten MLI-Topologien bereits Anwendung. Dabei werden die konkrete Ausgestaltung und die exakte Formierung der Parallelverbünde sowie deren Auswirkungen auf andere Einflussfaktoren nicht behandelt. Aus der Abhängigkeitsmatrix in Tabelle 5.2 geht hervor, dass die Konfiguration der Parallelverbünde sowohl die Leitverluste des Systems als auch die Ladezustände der eingesetzten Energiespeichereinheiten beeinflusst und daher in der Analyse der Abhängigkeiten berücksichtigt werden muss. Im letzten Teil der Abhängigkeitsbetrachtungen wird deshalb der Effekt der Parallelpack-Konfiguration in den Fokus der Betrachtungen gesetzt, deren allgemeine Definition in Abschnitt 2.1.6 gegeben ist. Aufgrund der Einflussnahme auf den Ladezustand sowie die entstehenden Verluste, wird die Formierung der Parallelverbünde im Detail beleuchtet. Hierzu wird zunächst der allgemeine Zusammenhang zwischen einem Parallelverbund und der Stromverteilung aufgezeigt. Im Anschluss daran erfolgt eine Sensitivitätsanalyse hinsichtlich der Netzwerkwiderstände eines MLI-Strangs sowie die Untersuchung der Einwirkung auf die auftretenden Leitverluste. Im Zuge der Betrachtung der resultierenden Ladezustände wird ein Optimierungsansatz vorgestellt, der den negativen Einfluss einer Gleichverteilung auf die SoC-Werte der Energiespeichereinheiten minimiert.
Die Bildung von Parallelverbünden setzt die Parallelisierungsfähigkeit einer Mikrotopologie voraus. Es werden in diesem Abschnitt daher nur Mikrotopologien in die Betrachtungen einbezogen, welche die Bildung von Parallelverbünden ermöglichen. Darüber hinaus ist für die Implementierung von Parallelpacks die Symmetrie der Submodule angenommen.

5.5.1 Stand der Technik

Singer et al. zeigen in ihrer Publikation den positiven Effekt der Parallelisierung von Energiespeichereinheiten auf die Verlustbilanz eines MLI-Systems [147]. Insbesondere im Vergleich zu MLI-Strukturen, welche lediglich einen reinen Serienbetrieb erlauben, können Leitverluste eingespart werden. Diesen Umstand verdeutlichen die Autoren anhand einer Gegenüberstellung mit dem MMC. Insbesondere die Leitverluste der Energiespeichereinheiten lassen sich im Parallelbetrieb signifikant minimieren. Die Arbeit konzentriert sich dabei auf die generelle vorteilhafte Einflussnahme der Parallelverschaltung auf die Systemverluste mittels der MMSPC-Topologie und berücksichtigt nicht die Auswirkung der Art und Weise, wie die Parallelpacks formiert werden. Die Verwendung von Halbleiterelementen in einem

MLI-System kann dabei zu einer ungleichmäßigen Verteilung des Stroms zwischen den Energiespeichereinheiten innerhalb eines Parallelverbunds führen, wie von Goetz et al. angesprochen [43, 44]. Im schlimmsten Fall fließt der Großteil des Laststroms über die Energiespeichereinheiten am Rand des Parallelverbunds, während die in der Mitte befindlichen einer deutlich geringeren Strombelastung ausgesetzt sind. Um die Leitverluste innerhalb eines MLI zu minimieren, präsentieren Goetz et al. einen Algorithmus, der dem Prinzip der Gleichverteilung folgt und damit den Vorteil der Parallelschaltung effektiv nutzt [44]. Die Autoren gehen dabei jedoch nicht näher auf die explizite Auswirkung der PP-Konfiguration ein. Darüber hinaus erfolgt keine weitere Auseinandersetzung mit dem Phänomen der ungleichmäßigen Stromverteilung zwischen den Energiespeichereinheiten in einem Parallelverbund. In ihrer Studie stellen Zhu et al. eine rekonfigurierbare Invertertopologie vor, welche in der Lage ist, die inhärenten Energiespeichereinheiten sowohl in Serie zu schalten als auch zu parallelisieren [173]. Durch die spezielle Schaltungsstruktur ist ebenso das individuelle Bypassen jeder Spannungsquelle möglich. Im Zuge dieser Vorstellung behandeln die Autoren konkret die Problematik einer ungleichmäßigen Stromaufteilung innerhalb eines Parallelpacks, indem sie die Stromverteilung in einem Parallelverbund, bestehend aus insgesamt zehn Energiespeichereinheiten, illustrieren. Im gezeigten Beispiel ist der Widerstand der ESU-Pfade um einen Faktor von zehn größer als der der Schalterpfade. Die Ergebnisse legen dar, dass der größte Strom durch die Energiespeichereinheiten an den Randpositionen der Parallelpacks fließt, während diejenigen in der Mitte des Verbunds einen wesentlich geringeren Stromfluss aufweisen. Die Autoren setzen hierzu explizit das Verhältnis des maximalen zum minimalen Stromfluss in Beziehung und zeigen zugehörige Abhängigkeitsverhältnisse auf. Wie gezeigt wird, hängt dieses Verhältnis sowohl von der Anzahl an Energiespeichereinheiten in dem jeweiligen Parallelverbund $n_{\mathrm{ESU,pp}}$ als auch dem Widerstandsverhältnis der ESU-Pfade zu den Schalterpfaden ab. Mit steigendem Wert von $n_{\mathrm{ESU,pp}}$ nimmt die Divergenz zwischen dem maximal und dem minimal fließenden Strom zu. Zhu et al. betrachten dabei jedoch lediglich einen Wert für $n_{\mathrm{ESU,pp}}$ bis zu zehn. Zur Minimierung dieser Stromdiskrepanz empfehlen die Autoren, das Widerstandsverhältnis der ESU-Pfade zu denen der Schalterpfade zu minimieren, indem Halbleiterelemente gewählt werden, welche einen geringeren Durchlasswiderstand besitzen. Eine weitere von den Autoren erwähnte Maßnahme ist die Berücksichtigung der Limitierung der Anzahl von Energiespeichereinheiten in einem Parallelverbund. Die Autoren gehen jedoch nicht weiter auf die Problemstellung der Stromdivergenz ein. Auch beschäftigen sich die Autoren nicht explizit mit der Ursache dieses Problems. Tashakor et al. setzen sich in ihrer Publikation mit den Vorteilen und Herausforderungen von MLI-Systemen auseinander, insbesondere im Hinblick auf deren Anwendung in Elektrofahrzeugen [158]. Dabei greifen die Autoren das von Zhu et al. vorgestellte Phänomen der ungleichmäßigen Stromverteilung in einem Parallelverbund auf. In ihrer Studie werden jedoch lediglich die Ergebnisse von Zhu et al. aufgeführt und erläutert. Es finden sich keine zusätzlichen Analysen oder Gegenmaßnahmen zur Minimierung der auftretenden Stromdivergenz. In keiner weiteren Stand der Technik-Publikation befassen sich Autoren im Detail mit dem Problem der ungleichmäßigen Stromverteilung in einem Parallelverbund. Darüber hinaus finden sich nahezu keine Untersuchungen der Einflussnahme der PP-Konfiguration auf die resultierenden Leitverluste eines MLI-Systems.

5.5.2 Analyse und Optimierung

5.5.2.1 Parallelpack-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Submodul-Konfiguration

Bevor die Auswirkungen der PP-Konfiguration auf die Leitverluste sowie die Ladezustände in einem MLI-System beleuchtet werden, erfolgt zunächst eine Einflussbetrachtung auf die Stromverteilung in einem Parallelverbund. In Anlehnung an Tabelle 2.1 wird die Stromverteilung in einem MLI den

MLI-Spezifikationen zugeordnet. Zusätzlich wird eine Sensitivitätsanalyse bezüglich des vorliegenden Widerstandsverhältnisses zwischen den ESU- und den Schalterpfaden durchgeführt. Dieser Umstand trägt einer variierenden Submodul-Konfiguration Rechnung.
Gemäß der Definition von Weißgerber besagt das Helmholtz-Überlagerungsprinzip, dass in einem Stromkreis mit linearen Widerständen und unabhängigen Spannungsquellen die Gesamtwirkung aller Quellen durch die Summe der Wirkungen der einzelnen Teilquellen dargestellt werden kann [168]. Dies ist möglich, wenn die übrigen Quellen durch ihre idealen Innenwiderstände ersetzt werden. Da die Spannungsquellen bei einem kaskadierten MLI galvanisch getrennt sein müssen, kann das Überlagerungsprinzip bei einem MLI-Phasenstrang und insbesondere bei einem Parallelverbund von Energiespeichereinheiten angewendet werden. Abbildung 5.23 zeigt hierzu das Widerstandsnetzwerk am Beispiel eines PECIN-Parallelverbunds, bestehend aus $n_{\mathrm{ESU,pp}}$ Energiespeichereinheiten. Dieses resultiert aus dem allgemeinen Ersatzschaltbild in Abbildung 3.5 nach der Anwendung des Helmholtz-Überlagerungsprinzips. Das Widerstandsnetzwerk ist aus Sicht von ESU_k dargestellt. Abgesehen von

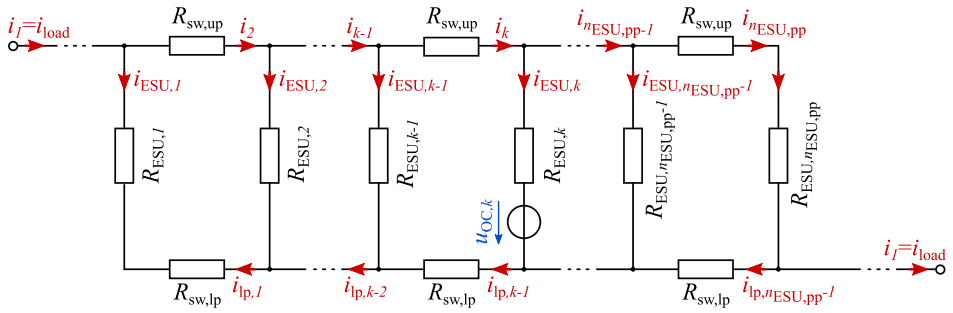


Abbildung 5.23: Resultierendes Widerstandsnetzwerk eines PECIN-Parallelverbunds mit $n_{\mathrm{ESU,pp}}$ inhärenten Spannungsquellen aus Sicht der k-ten Energiespeichereinheit nach Anwendung des Helmholtz-Überlagerungsprinzips. Auf Grundlage dieses Prinzips sind die restlichen Energiespeichereinheiten durch ihre Innenwiderstände ersetzt.

ESU_k sind dem Überlagerungsprinzip zufolge die übrigen Energiespeichereinheiten durch ihre Innenwiderstände ersetzt worden. In Anlehnung an die Darstellung aus Abbildung 3.5 finden sich im gezeigten Netzwerk sowohl die Widerstände der ESU-Pfade als auch die Widerstände in den oberen und unteren Schalterpfaden des Parallelverbunds. Diese entsprechen im Falle der PECIN-Topologie den Widerständen der BtB-Schalter. Darüber hinaus sind die jeweiligen Ströme durch die Energiespeichereinheiten illustriert. Für die Analyse des Widerstandsnetzwerks und in der Folge des Einflusses der PP-Konfiguration ist die Bestimmung des Netzwerkwiderstands der k-ten Energiespeichereinheit $R_{\mathrm{nw},k}$ von Relevanz. Wie den Messergebnissen aus Tabelle B.2 entnommen werden kann, ergeben sich für die beiden BtB-Schalter innerhalb der PECIN-Struktur nahezu identische Widerstandswerte. Zudem kann für beide BtB-Schalter auf Basis einer übereinstimmenden Spannungsfestigkeit entsprechend Gleichung (3.2a) derselbe Halbleiterschalter gewählt werden. Es kann daher die vereinfachte Beziehung aus Gleichung (5.6a) angenommen werden. Unter Verwendung dieses Zusammenhangs wird der Netzwerkwiderstand $R_{\mathrm{nw},k}$ für ESU_k nach Gleichung (5.6b) berechnet.

$$R_{\mathrm{BtB}} = R_{\mathrm{sw,up}} = R_{\mathrm{sw,lp}} \tag{5.6a}$$

$$\begin{aligned} R_{\mathrm{nw},k} = {} & R_{\mathrm{ESU},k} + \\ & \left\{ \left[\left(R_{\mathrm{ESU},1} + 2\,R_{\mathrm{BtB}}\right) \middle|\middle| R_{\mathrm{ESU},2} + 2\,R_{\mathrm{BtB}} \right] \ldots \middle|\middle| \left. R_{\mathrm{ESU},k-1} + 2\,R_{\mathrm{BtB}} \right\} \middle|\middle| \ldots \right. \\ & \left\{ \left[\left(R_{\mathrm{ESU},n_{\mathrm{ESU,pp}}} + 2\,R_{\mathrm{BtB}}\right) \middle|\middle| R_{\mathrm{ESU},n_{\mathrm{ESU,pp}}-1} + 2\,R_{\mathrm{BtB}} \right] \ldots \middle|\middle| \left. R_{\mathrm{ESU},k+1} + 2\,R_{\mathrm{BtB}} \right\}. \end{aligned} \tag{5.6b}$$

Die Widerstandsbildung ergibt sich dabei aus der Serienschaltung des zugehörigen ESU-Pfads der k-ten Energiespeichereinheit zum Gesamtwiderstand aus der Parallelschaltung des linksseitigen sowie des rechtsseitigen Netzwerks aus Sicht von ESU_k. Die Kennzeichnung ‚||' in Gleichung (5.6) symbolisiert die Parallelschaltung zwischen den jeweiligen Widerständen.
Es wird zunächst angenommen, dass alle Energiespeichereinheiten identisch ausgelegt sind und alle BtB-Schalter ein ideales Verhalten aufweisen. Es gilt damit $R_{\mathrm{BtB}} = 0$. Unter Anwendung der elektrotechnischen Grundprinzipien in einer idealen Parallelschaltung teilt sich der Laststrom innerhalb eines Parallelverbunds gleichmäßig auf die $n_{\mathrm{ESU,pp}}$ inhärenten Energiespeichereinheiten auf. Infolgedessen ergibt sich für den Strom durch die k-te ESU der Zusammenhang

$$i_{\mathrm{ESU},k} = \frac{1}{n_{\mathrm{ESU,pp}}}\, i_{\mathrm{load}} \equiv i_{\mathrm{ESU}}\,. \tag{5.7}$$

Durch jede Energiespeichereinheit fließt ein identischer Strom i_{ESU}. Aufgrund der Präsenz der Halbleiterschalter sowie der parasitären Eigenschaften der Kupferleitungen weichen die Verbindungspfade zwischen den einzelnen Energiespeichereinheiten in ihrem Verhalten stark von dem eines widerstandslosen Verbindungselements ab. Ebenso können durch unterschiedliche Belastungszeiten divergierende Ladezustände der einzelnen Energiespeichereinheiten auftreten. Diese Unterschiede zu einem idealen Widerstandsnetzwerk führen in der Regel zu einer ungleichmäßigen Stromaufteilung zwischen den Energiespeichereinheiten innerhalb eines Parallelverbunds. Gleichung (5.7) trifft daher im Allgemeinen nicht auf ein Parallelpack mit $n_{\mathrm{ESU,pp}} > 2$ zu.
Je nach SM-Konfiguration ändern sich sowohl die Widerstände der Schalterpfade als auch die der ESU-Pfade. Wie anhand der Messergebnisse in Tabelle B.2 deutlich wird, nehmen die Widerstände mit der Anzahl an Batteriezellen je Energiespeichereinheit $n_{\mathrm{c,ESU}}$ zu. Mit steigendem Widerstand der Schalterpfade weicht das Netzwerk eines Parallelverbunds zunehmend von einer idealen Parallelverschaltung ab und beeinflusst infolgedessen die Stromverteilung. Dabei muss das Widerstandsverhältnis zwischen den Schalterpfaden sowie den ESU-Pfaden nicht konstant sein. Abhängig von der Wahl des Halbleiterelements ändert sich der Widerstand des Schalterpfads. Darüber hinaus kann sich der Widerstandswert des ESU-Pfads je nach vorliegender Batteriezelle ebenso ändern, welcher zudem in der Regel mit abnehmendem Ladezustand ansteigt [143]. Um den Einfluss der Submodul-Konfiguration in allgemeiner Weise zu beleuchten und den Effekt des Widerstandsverhältnisses zu verdeutlichen, wird nachfolgend eine Sensitivitätsanalyse der Stromverteilung in einem Parallelverbund durchgeführt. Hierzu wird ein sogenannter Widerstandsfaktor eingeführt, welcher diese Widerstände ins Verhältnis zueinander setzt. Dieser sogenannte Widerstandsverhältnisfaktor ρ_{PP} definiert im Speziellen die Relation aus dem Widerstand eines ESU-Pfads R_{ESU} zu dem eines BtB-Schalterpfads R_{BtB} in einem PECIN-Parallelverbund, wie in Gleichung (5.8a) angegeben[27]. Hierzu wird die Vereinfachung aus Gleichung (5.6a) herangezogen.

$$\rho_{\mathrm{PP}} = \frac{R_{\mathrm{ESU}}}{R_{\mathrm{BtB}}} \tag{5.8a}$$

$$R_{\mathrm{ESU}} = \rho_{\mathrm{PP}}\, R_{\mathrm{BtB}} \tag{5.8b}$$

Dabei symbolisiert R_{ESU} repräsentativ den Widerstandswert des Leistungspfads einer Energiespeichereinheit. Dies bedeutet im Detail, dass ein entsprechender Widerstandswert des ESU-Pfads auf Basis eines gewählten Werts von R_{BtB} durch Faktorisierung mit ρ_{PP} gemäß Gleichung (5.8b) berechnet wird. Ein hoher Wert von ρ_{PP} sagt aus, dass der Widerstand des ESU-Pfads im Vergleich

[27] Hinweis: Dieser Faktor lässt sich unter der Berücksichtigung der jeweiligen Schalterwiderstände in einfacher Weise auf andere MLI-Mikrotopologien anwenden.

zum Schalterpfad in einem Parallelverbund deutlich größer ist. Das Gegenteil gilt für einen kleinen Widerstandsverhältnisfaktor. Mit steigendem ρ_{PP} nähert sich ein Parallelverbund einem idealen Widerstandsnetzwerk an. Damit eine vom Laststrom unabhängige Betrachtung möglich ist, werden normierte Werte für den Netzwerkwiderstand sowie für den Strom durch eine Energiespeichereinheit $i_{\mathrm{ESU},k}$ gemäß Gleichung (5.9) eingeführt.

$$\tilde{R}_{\mathrm{nw},k} = \frac{R_{\mathrm{nw},k}}{R_{\mathrm{nw,max}}} \tag{5.9a}$$

$$\tilde{i}_{\mathrm{ESU},k} = \frac{i_{\mathrm{ESU},k}}{i_{\mathrm{ESU,max}}} \,. \tag{5.9b}$$

Hierbei repräsentieren $\tilde{R}_{\mathrm{nw},k}$ sowie $\tilde{i}_{\mathrm{ESU},k}$ die normierten Werte des Netzwerkwiderstands sowie des Stroms der k-ten Energiespeichereinheit, bezogen auf die Maximalwerte $R_{\mathrm{nw,max}}$ sowie $i_{\mathrm{ESU,max}}$ innerhalb des zugehörigen Parallelverbunds. Der korrespondierende Minimalwert aller Netzwerkwiderstände sowie der ESU-Ströme wird mit $R_{\mathrm{nw,min}}$ bzw. $i_{\mathrm{ESU,min}}$ indexiert. Um die Auswirkungen des Widerstandsverhältnisfaktors zu zeigen und somit den Einfluss der SM-Konfiguration auf die Stromverteilung darzulegen, bildet Abbildung 5.24 beispielhaft die normierten Netzwerkwiderstände und ESU-Ströme für jede k-te Energiespeichereinheit in einem Parallelverbund ab. Im Speziellen sind diese am Beispiel eines Parallelnetzwerks visualisiert, welches sich aus $n_{\mathrm{ESU,pp}} = 108$ Energiespeichereinheiten zusammensetzt. Es wird damit die SM-Konfiguration Config_{11} aus Tabelle 5.3 herangezogen, welche bei einer Anzahl von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je Phasenstrang eine einzige Zelle in jeder Energiespeichereinheit aufweist[28]. Aufgrund der Normierung gemäß Gleichung (5.9) liegen die resultierenden Werte von $\tilde{R}_{\mathrm{nw},k}$ sowie $\tilde{i}_{\mathrm{ESU},k}$ jeder k-ten Energiespeichereinheit in einem Bereich von 0 bis 1. Die Variable k spiegelt dabei explizit die Position der k-ten Energiespeichereinheit in dem vorliegenden Parallelpack wider. Um der zuvor erwähnten Sensitivitätsanalyse Rechnung zu tragen, werden die normierten Widerstände und Ströme für zwei unterschiedliche Werte des Widerstandsverhältnisfaktors, $\rho_{\mathrm{PP}} = 1$ sowie

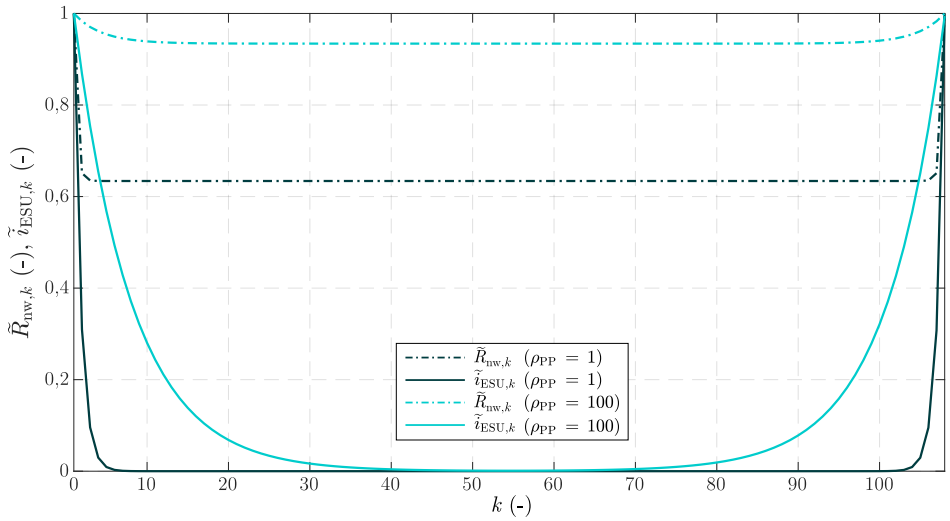


Abbildung 5.24: Anwendung des Helmholtz-Überlagerungsprinzips: Normierter Netzwerkwiderstand $\tilde{R}_{\mathrm{nw},k}$ und normierter Stromfluss $\tilde{i}_{\mathrm{ESU},k}$ jeder k-ten Energiespeichereinheit in einem PECIN-Parallelverbund, bestehend aus $n_{\mathrm{ESU,pp}} = 108$ Batteriezellen.

[28] Hinweis: Diese Konfiguration wird gewählt, um den Einfluss eines Parallelnetzwerks über einen größtmöglichen Bereich von $n_{\mathrm{ESU,pp}}$ zu zeigen. Die Ergebnisse für einen geringeren Wert von $n_{\mathrm{c,ESU}}$ je Submodul sind dabei in Abbildung 5.24 enthalten.

$\rho_{\mathrm{PP}} = 100$, genauer beleuchtet[29].
Die Ergebnisse legen nahe, dass einerseits die Position einer Energiespeichereinheit in einem Parallelverbund von entscheidender Bedeutung ist und andererseits sich der Wert von $n_{\mathrm{ESU,pp}}$ auf die Netzwerkwiderstände sowie folglich auf die Stromverteilung im Parallelverbund auswirkt. Darüber hinaus zeigen die zugehörigen Verläufe der jeweiligen Widerstandsverhältnisse, dass auch die Widerstandswerte im Parallelverbund selbst und deren Verhältnis zueinander die Stärke der Einflussnahme steuern. Setzt man zunächst die Ergebnisse der Netzwerkwiderstände in den Fokus der Betrachtungen, weisen für beide Werte von ρ_{PP} die beiden Energiespeichereinheiten am Rand des Parallelverbunds den höchsten Wert für $R_{\mathrm{nw},k}$ auf. Diese besitzen die Position $k = 1$ sowie $k = n_{\mathrm{ESU,pp}} = 108$ und werden als sogenannte *Randenergiespeichereinheiten* bezeichnet. Es gilt damit $R_{\mathrm{nw},1} = R_{\mathrm{nw},108} = R_{\mathrm{nw,max}}$. Unabhängig vom Widerstandsverhältnisfaktor ergibt sich eine maximale Divergenz zwischen den Netzwerkwiderständen der Rand-ESUs und denen der Energiespeichereinheiten, die sich in der Mitte des Parallelverbunds befinden. Im vorliegenden Fall entspricht diese Mitte der Position $k = 54$. Sowohl für $\rho_{\mathrm{PP}} = 1$ als auch $\rho_{\mathrm{PP}} = 100$ geht der Verlauf von $\tilde{R}_{\mathrm{nw},k}$ mit steigendem Abstand zum Rand eines Parallelverbunds in Sättigung. Im Falle von $\rho_{\mathrm{PP}} = 1$ ist diese Sättigung in einem Bereich von $3 < k < 106$ gegeben. Entspricht ρ_{PP} dem Wert 100, ist der Übergang in die Sättigung weniger stark ausgeprägt. Eine Sättigung liegt hier im Bereich von $8 < k < 100$ vor. Ein wesentlicher Unterschied in der Einflussnahme des Widerstandsverhältnisfaktors zeigt sich anhand der Ausprägung der Divergenz zwischen $R_{\mathrm{nw,min}}$ sowie $R_{\mathrm{nw,max}}$. Nimmt ρ_{PP} einen vergleichsweise hohen Wert an, wie im gezeigten Beispiel $\rho_{\mathrm{PP}} = 100$, ist der Einfluss des Widerstands der Schalterpfade vergleichsweise gering. Der Netzwerkwiderstand einer Energiespeichereinheit in der Mitte des Parallelverbunds weicht um ca. 7 % von dem der Randenergiespeichereinheiten ab. Im Vergleich dazu ist diese Widerstandsdivergenz für $\rho_{\mathrm{PP}} = 1$ und damit für einen hohen Einfluss der BtB-Pfadwiderstände um einen Faktor von mehr als fünf größer. Daraus lässt sich ableiten, dass sich mit zunehmendem Einfluss der Pfadwiderstände der Schalter und folglich mit sinkendem ρ_{PP} die Abweichung zwischen dem maximal und minimal auftretenden Netzwerkwiderstand $\tilde{R}_{\mathrm{nw},k}$ erhöht. Wie anhand der Verläufe ersichtlich wird, wirkt sich die jeweilige Widerstandsdivergenz auf die Stromverteilung im Parallelverbund aus. Gemäß den Grundprinzipien der Elektrotechnik folgt der Strom stets dem Weg des geringsten Widerstands. Entsprechend den erzielten Ergebnissen weisen die Rand-ESUs den höchsten Widerstand des umliegenden Netzwerks auf. Diese bilden damit die Wege des geringsten Widerstands, weshalb der größte Stromanteil über diese Energiespeichereinheiten fließt. Da sich dieses Phänomen grundsätzlich unabhängig vom vorliegenden ρ_{PP}-Wert ableiten lässt, nehmen die Ströme $\tilde{i}_{\mathrm{ESU},k}$ durch die Energiespeichereinheiten in der Mitte eines Parallelverbunds die kleinsten Werte an. In Analogie zu den normierten Widerständen weist der Gradient der Stromverteilung für $\rho_{\mathrm{PP}} = 100$ beim Übergang in eine Sättigung geringere Werte auf als dies für $\rho_{\mathrm{PP}} = 1$ der Fall ist. Insbesondere zwischen den ESU-Strömen $i_{\mathrm{ESU},1}$, $i_{\mathrm{ESU},2}$ und $i_{\mathrm{ESU},3}$ sowie zwischen $i_{\mathrm{ESU},106}$, $i_{\mathrm{ESU},107}$ und $i_{\mathrm{ESU},108}$ ist dieser für $\rho_{\mathrm{PP}} = 1$ sehr hoch. Das Verhältnis von R_{ESU} zu R_{BtB} wirkt sich folglich auch auf die Divergenz der Stromverteilung und damit auf die Differenz zwischen dem maximal und dem minimal auftretenden ESU-Strom aus. Diese Stromdifferenz $\Delta i_{\mathrm{ESU,max}}$ wird entsprechend Gleichung (5.10) definiert.

$$\Delta i_{\mathrm{ESU,max}} = i_{\mathrm{ESU,max}} - i_{\mathrm{ESU,min}} \tag{5.10}$$

Für beide betrachteten Widerstandsverhältnisfaktoren konvergiert die maximale Stromdivergenz $\Delta i_{\mathrm{ESU,max}}$ gegen eins. Dies bedeutet, dass aufgrund der hohen Anzahl an Energiespeichereinheiten im Parallelverbund, insbesondere im Bereich von $k = 54$ nahezu kein Stromfluss über die Energiespeicher-

[29] Hinweis: Für die Werte von R_{BtB} werden die Messergebnisse aus Tabelle B.2 herangezogen. R_{ESU} wird auf Basis von Gleichung (5.8b) berechnet.

einheiten erfolgt. Die Bildung von Parallelverbünden erfüllt bei einer derart hohen Anzahl von parallel verschalteten Energiespeichereinheiten nicht mehr das ursprüngliche Ziel, den Strom auf alle $n_{\mathrm{ESU,pp}}$ ESUs eines Parallelpacks aufzuteilen. Während sich die maximale Stromdifferenz von $\Delta i_{\mathrm{ESU,max}} = 1$ für $\rho_{\mathrm{PP}} = 100$ dabei erst ab Werten von $n_{\mathrm{ESU,pp}}$ größer als ca. 70 einstellt, tritt diese für geringe Widerstandsverhältnisfaktoren bereits bei wenigen $n_{\mathrm{ESU,pp}}$ je Parallelverbund auf.
In Ergänzung zu Abbildung 5.24 bildet Abbildung 5.25 die Entwicklung von $\Delta i_{\mathrm{ESU,max}}$ für einen Bereich des Widerstandsverhältnisfaktors von $\rho_{\mathrm{PP}} = \{0,25;\ 0,5;\ 0,75;\ 1 \ldots 200\}$ ab. Es wird insbesondere der Einfluss der Anzahl an Energiespeichereinheiten im Parallelpack $n_{\mathrm{ESU,pp}}$ berücksichtigt, über welcher die maximale Stromdifferenz aufgetragen ist. Dabei sind die gewonnenen Schlussfolgerungen aus Abbildung 5.24 in allgemeiner Weise erkennbar. Mit wachsendem Einfluss von R_{BtB} im Vergleich zu den Widerständen der ESU-Pfade wächst der Gradient der Stromaufteilung in den Randbereichen eines Parallelverbunds. Die Sättigung auf einen konstanten Wert von $\tilde{i}_{\mathrm{ESU},k}$ für die Energiespeichereinheiten in der Mitte eines Parallelverbunds tritt deutlich schneller ein. Während bei einem hohen ρ_{PP} und einer vergleichsweise geringen Anzahl an Energiespeichereinheiten in einem Parallelverbund die maximale Stromdifferenz Werte kleiner 50 % annimmt, konvergiert $\Delta i_{\mathrm{ESU,max}}$ ab einer Zahl von $n_{\mathrm{ESU,pp}} = 100$ für nahezu jeden Wert des Widerstandsverhältnisfaktors gegen eins.

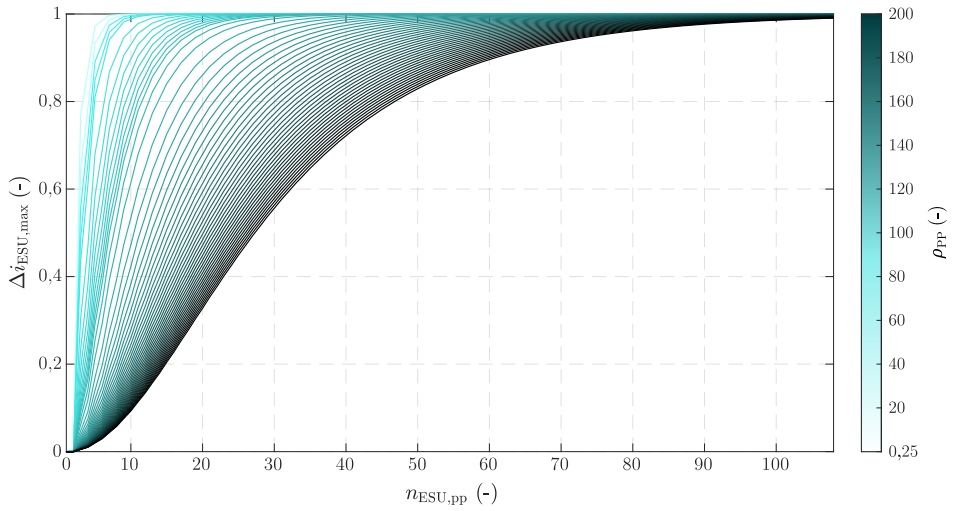


Abbildung 5.25: Maximale Stromdifferenz $\Delta i_{\mathrm{ESU,max}}$ zwischen den Energiespeichereinheiten innerhalb eines Parallelverbunds aufgetragen über $n_{\mathrm{ESU,pp}}$ in einem PECIN-Strang, bestehend aus insgesamt $n_{\mathrm{c,ph}} = 108$ Batteriezellen.

Die Ergebnisse zeigen, dass geringe Widerstandsverhältnisfaktoren und in der Folge hohe Werte von R_{BtB} im Vergleich zu R_{ESU} dazu führen können, dass eine starke Ungleichverteilung zwischen den Strömen der Energiespeichereinheiten innerhalb eines Parallelverbunds besteht. Dieser Effekt wirkt der eigentlichen Motivation der Bildung von Parallelverbünden entgegen. Darüber hinaus lässt sich mit den Resultaten aus Abbildung 5.24 schlussfolgern, dass sich mit steigendem $n_{\mathrm{ESU,pp}}$ die Bandbreite des Sättigungsbereichs erhöht. Unabhängig vom Widerstandsverhältnisfaktor stellen die Energiespeichereinheiten am Rand der Parallelverbünde aufgrund der realen Netzwerkgegebenheiten stets die am stärksten belasteten Spannungsquellen dar. Das vorliegende Phänomen wird in dieser Arbeit als *Randzellenproblem* definiert.

5.5.2.2 Parallelpack-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Submodul-Konfiguration ↔ Leitverluste

Die Berechnung der Leitverluste basiert auf den Gleichungen (4.39) und (4.41), in welche die Ströme durch die Energiespeichereinheiten sowie die einzelnen Halbleiterelemente quadratisch eingehen. Die Bildung der Parallelverbünde wirkt sich in der Folge auch auf die Leitverluste des Systems aus. Um die Auswirkung der Formation von Parallelverbünden auf dieses Bewertungskriterium zu verdeutlichen, wird sowohl der statische Fall als auch der dynamische Fall betrachtet.

5.5.2.2.1 Statische Betrachtung

Die Untersuchungen zur statischen Betrachtung beziehen sich auf die resultierenden Leitverluste innerhalb eines PECIN-Strangs. Unter der Voraussetzung, dass für die Generierung der Referenzspannung $u_{\mathrm{ref}}(t)$ lediglich eine Energiespeichereinheit benötigt wird und die SM-Konfiguration Config_{11} mit 108 Modulen, bestehend aus lediglich einer Batteriezelle, vorliegt, erfolgt ein Vergleich der Leitverluste verschiedener PP-Konfigurationen. Im Detail wird die Anzahl an Energiespeichereinheiten $n_{\mathrm{ESU,pp}}$ in dem einzig vorhandenen Parallelverbund variiert. Die resultierenden Leitverluste werden mit denen, welche in einem rein seriellen Betrieb erzielt werden ($P_{\mathrm{con,SO}}$), in Beziehung gesetzt. Alle n_{rem} übrigen Energiespeichereinheiten, welche sich nicht in diesem einzigen Parallelverbund befinden, werden überbrückt. Die Ermittlung der Leitverluste erfolgt dabei für jede spezifische PP-Konfiguration ausschließlich bei statischer Belastung. Zur Verdeutlichung listet Tabelle 5.8 beispielhaft einige der untersuchten PP-Konfigurationen gemäß der eingeführten Nomenklatur in Gleichung (2.25) auf. Wie erkennbar, trägt im seriellen Betrieb lediglich eine Energiespeichereinheit den vollen Laststrom, alle übrigen 107 Energiespeichereinheiten sind überbrückt. In allen 107 betrachteten PP-Konfigurationen existiert ein Parallelverbund, der sich aus $n_{\mathrm{ESU,pp}}$ Energiespeichereinheiten zusammensetzt[30]. Wie sich der Tabelle entnehmen lässt, sinkt die Anzahl der überbrückten Energiespeichereinheiten mit steigendem $n_{\mathrm{ESU,pp}}$. Für die PP-Konfiguration mit $n_{\mathrm{ESU,pp}} = 108$ sind alle 108 Energiespeichereinheiten parallel zueinander verschaltet. Da im vorliegenden Kontext die Einsparung der Leitverluste infolge der PP-Konfiguration von Interesse ist, wird folgender Parameter eingeführt.

$$\Delta P_{\mathrm{con,PP}} = \frac{P_{\mathrm{con,SO}} - P_{\mathrm{con,PP}}}{P_{\mathrm{con,SO}}} \tag{5.11}$$

Tabelle 5.8: Beispiele von PP-Konfigurationen, welche für den Vergleich der Leitverluste infolge der PP-Bildung mit denen im rein seriellen Betrieb herangezogen werden.

Betrieb	**Position k**										n_{rem}
	1	**2**	**3**	**4**	**5**	**6**	**...**	**106**	**107**	**108**	
seriell	[1,	0,	0,	0,	0,	0,	...	0,	0,	0,]	107
parallel	[2,	0,	0,	0,	0,	0,	...	0,	0,	]	106
parallel	[3,	0,	0,	0,	0,	0,	...	0,	]		105
parallel	[⋮	⋮	⋮	⋮	⋮	⋮	⋮	]			⋮
parallel	[107,	0	]								1
parallel	[108	]									0

[30] Hinweis: Es sei an dieser Stelle erwähnt, dass für die vorliegenden Betrachtungen im statischen Fall, die Position des Parallelpacks im PECIN-Strang noch unerheblich und erst im dynamischen Betrieb von Bedeutung ist. Die Positionierung des Parallelverbunds am linken Rand des PECIN-Strangs gemäß Tabelle 5.8 ist deshalb willkürlich getroffen und hat keinen Einfluss auf die Ergebnisse.

In Gleichung (5.11) spiegelt $P_{\mathrm{con,PP}}$ die Leitverluste wider, die für eine PP-Konfiguration mit $n_{\mathrm{ESU,pp}} \geq 2$ ermittelt werden. $\Delta P_{\mathrm{con,PP}}$ repräsentiert den Anteil der eingesparten Verlustleistung infolge dieser Parallelbildung im Vergleich zu einer reinen Serienschaltung. Abbildung 5.26 visualisiert die Ergebniswerte von $\Delta P_{\mathrm{con,PP}}$, aufgetragen über der Anzahl an Energiespeichereinheiten im Parallelverbund für $n_{\mathrm{ESU,pp}} = \{1 \ldots 108\}$. Um den Einfluss des Widerstandsverhältnisses im Parallelverbund in den Analysen zu berücksichtigen, sind die erzielten Werte auf Basis eines variierenden Widerstandsverhältnisfaktors im Bereich von $\rho_{\mathrm{PP}} = \{0,25;\ 0,5;\ 0,75;\ 1 \ldots 200\}$ in Abbildung 5.26 illustriert. Aufgrund der Normierung mit $P_{\mathrm{con,SO}}$ in Gleichung (5.11) gelten die Resultate unabhängig vom vorliegenden Laststrom i_{load}. Die Ergebnisse zeigen, dass jede PP-Konfiguration mit $n_{\mathrm{ESU,pp}} \geq 2$ unabhängig vom zugrundeliegenden Widerstandsverhältnisfaktor sowie dem Wert von $n_{\mathrm{ESU,pp}}$ im Vergleich zum reinen Serienbetrieb zu einer Einsparung an Leitverlusten führt. Betrachtet man die Entwicklung von $\Delta P_{\mathrm{con,PP}}$ über der Anzahl an Energiespeichereinheiten im Parallelverbund, zeigt sich insbesondere, dass diese Einsparung mit zunehmendem $n_{\mathrm{ESU,pp}}$ ansteigt. Dieser Umstand lässt sich gemäß Gleichung (5.7) auf die wachsende Anzahl an Energiespeichereinheiten zurückführen, auf welche sich der Laststrom verteilen kann. Bezieht man den Einfluss von ρ_{PP} in die Analysen mit ein, wird deutlich, dass sich mit größer werdendem Widerstandsverhältnisfaktor die Entwicklung der Einsparungen über $n_{\mathrm{ESU,pp}}$ von einem linearen zu einem stark konkaven Verlauf ändert. Dieser Sachverhalt resultiert aus unterschiedlichen Divergenzen zwischen den Netzwerkwiderständen innerhalb eines Parallelverbunds, die sich, wie anhand von Abbildung 5.24 ersichtlich, für verschiedene Werte von ρ_{PP} einstellen. Mit kleiner werdendem ρ_{PP} erhöht sich der Einfluss der Schalterpfade auf das vorliegende Widerstandsnetzwerk eines Parallelverbunds. Je höher die zugehörigen Widerstände der Schalterpfade, desto stärker weicht das Widerstandsnetzwerk von einer idealen Parallelschaltung ab. Die Diskrepanz zwischen den Netzwerkwiderständen der Energiespeichereinheiten am Rand des Parallelverbunds im Vergleich zu denen, die sich in der Mitte befinden, nimmt zu. Wie in Abbildung 5.24 erkennbar, verstärkt diese Tatsache die Ungleichverteilung des Stromflusses im Parallelverbund. Für sehr geringe ρ_{PP}, wie beispielsweise einem Wert von eins, verteilt sich der gesamte Laststrom aufgrund der starken Widerstandsdivergenz fast ausschließlich auf die am Rand liegenden Energiespeichereinheiten in einem Parallelverbund. Die mittleren ESU-Pfade transportieren nahezu keinen Strom mehr. Dementsprechend ist die Einsparung an Verlustleistung für kleinere ρ_{PP}-Werte geringer im Vergleich zu Systemen

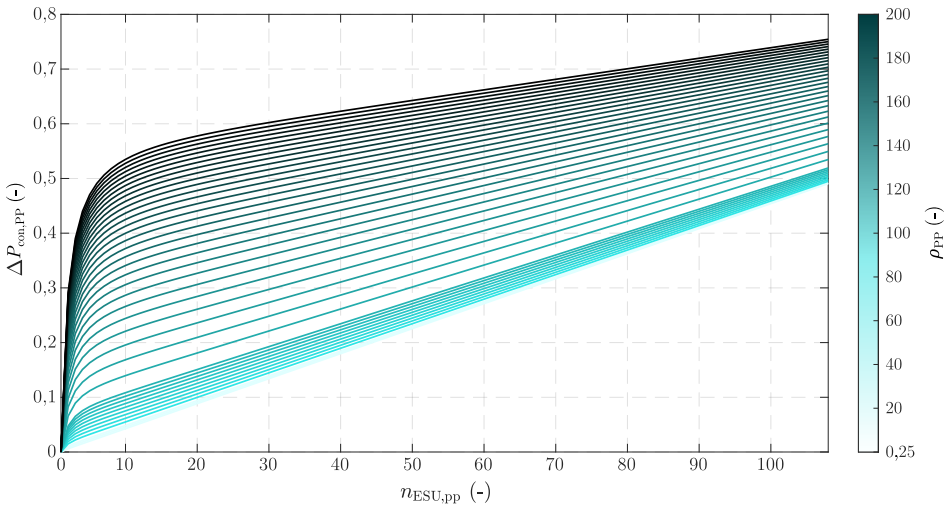


Abbildung 5.26: Einsparung an Leitverlusten $\Delta P_{\mathrm{con,PP}}$ infolge der Parallelisierung von $n_{\mathrm{ESU,pp}}$ Energiespeichereinheiten in einem PECIN-MLI-Strang gegenüber einem reinen Serienbetrieb. Der PECIN-Strang setzt sich dabei aus insgesamt $n_{\mathrm{c,ph}} = 108$ Batteriezellen bei einer aktuellen Forderung von $n_{\mathrm{s}} = 1$ zusammen.

mit einem hohen ρ_{PP}, da letztere eine höhere Übereinstimmung mit einem idealen Widerstandsnetzwerk aufweisen. Aufgrund dieser wachsenden Konformität erzielt bereits eine Parallelschaltung mit geringem $n_{\mathrm{ESU,pp}}$ eine signifikante Verlusteinsparung, da sich der Laststrom auf alle vorhandenen Energiespeichereinheiten in ähnlicher Weise aufteilt. Der markante Anstieg im Verlauf von $\Delta P_{\mathrm{con,PP}}$ für hohe Widerstandsverhältnisfaktoren flacht ab einem bestimmten Wert von $n_{\mathrm{ESU,pp}}$ deutlich ab. Im gezeigten Fall erfolgt dieser Übergang für den maximalen Widerstandsverhältnisfaktor bei $n_{\mathrm{ESU,pp}} = 10$. Liegt R_{BtB} dagegen im Bereich von R_{ESU}, führt eine Erhöhung von $n_{\mathrm{ESU,pp}}$ aufgrund der großen Divergenz der Netzwerkwiderstände zu einer deutlich langsameren Steigerung der Verlusteinsparung. Die Entwicklung ist dabei konstant über $n_{\mathrm{ESU,pp}}$.
Die Ergebnisse aus Abbildung 5.26 lassen sich allgemein auf jeden Parallelverbund in einem MLI-Strang anwenden.

5.5.2.2.2 Dynamische Betrachtung

Aufgrund der dynamischen Anpassung an die geforderte Referenzspannung muss die Parallelpack-Konfiguration während des Betriebs kontinuierlich modifiziert werden. Nachfolgend werden verschiedene Verfahren der Formierung von Parallelverbünden gegenübergestellt und die zugehörigen Verluste verglichen[31]. Um die Auswirkungen des jeweiligen Verfahrens in geeigneter Weise zu analysieren, wird die Belastung in einem festen Arbeitspunkt durchgeführt, bei dem die Referenzspannung der maximal erzeugbaren Ausgangsspannung des MLI entspricht, d.h. $m_{\mathrm{a}} = 1$. Damit müssen in jeder Referenzperiode bei maximaler Belastung stets alle Energiespeichereinheiten zur PP-Formation herangezogen werden. Für jedes betrachtete Verfahren werden die Leitverluste E_{con} entsprechend Gleichung (4.38) ermittelt. Auf Basis der Ergebnisse aus Abschnitt 5.5.2.2.1 lässt sich ableiten, dass sich für einen reinen seriellen Betrieb die maximalen Leitverluste ergeben. Aus diesem Grund erfolgt eine Normierung von E_{con} auf Basis von Gleichung (5.12) mit den Energieverlusten $E_{\mathrm{con,SO}}$, welche sich bei einem reinen Serienbetrieb des MLI einstellen.

$$\tilde{E}_{\mathrm{con}} = \frac{E_{\mathrm{con}}}{E_{\mathrm{con,SO}}} \tag{5.12}$$

Es werden zunächst die Leitverluste der folgenden drei Verfahren gegenübergestellt, wobei der Serienbetrieb die Referenz darstellt[32]. Der Einbezug des Serienmodus verdeutlicht die Einsparungen, die durch die Bildung von Parallelverbünden erzielt werden können.

1.: **Serienbetrieb:** Zur Generierung der Referenzspannung u_{ref} werden n_{s} Energiespeichereinheiten benötigt, die seriell zueinander in den Lastpfad geschaltet werden. Alle anderen Energiespeichereinheiten befinden sich im Bypasszustand.

2. **Ein einziger Parallelverbund:** Wie der Name impliziert, wird bei diesem Verfahren stets lediglich ein einziger Parallelverbund gebildet, welcher alle n_{rem} aktuell nicht erforderlichen Energiespeichereinheiten integriert. Abgesehen von diesem Parallelverbund, bestehend aus insgesamt $(n_{\mathrm{rem}} + 1)$ Energiespeichereinheiten, befinden sich $(n_{\mathrm{s}} - 1)$ ESUs im Serienmodus. Dabei erfolgt die Festlegung der exakten Positionierung des Parallelverbunds innerhalb eines MLI-Phasenstrangs, ohne Einschränkung der Allgemeingültigkeit, zufällig. Dieses PP-Formation bietet einen starken Kontrast zur Realisierung einer Gleichverteilung, wie nachfolgend erläutert.

3. **Gleichverteilung:** Dieses Ansteuerverfahren basiert im Wesentlichen auf dem von Goetz et al.

[31] Hinweis: Es sei an dieser Stelle erwähnt, dass die Bildung von Parallelverbünden im Ansteuerverfahren selbst integriert ist. Unabhängig von der PP-Formation lässt sich ein spezifisches Ansteuerverfahren auswählen. Diesem kann die Formierung von Parallelverbünden unter- oder überlagert werden. Um dem Leser das Verständnis zu erleichtern, ist in diesem Abschnitt von Verfahren zur PP-Formation die Sprache.

[32] Hinweis: Ein reiner Serienmodus wird stets im konventionellen B6-Invertersystem angewendet sowie in Mikrotopologien, welche keine Fähigkeit zum Parallelisieren der Energiespeichereinheiten besitzen.

vorgestellten Verfahren [44]. Dabei liegt der Fokus bei der Formierung der Parallelverbünde auf einer Gleichverteilung der Energiespeichereinheiten auf die n_{pp} erzeugbaren Parallelpacks. Das grundsätzliche Prinzip ergibt sich je nach Lade- oder Entladevorgang. Liegt ein Entladevorgang des MLI vor und soll die geforderte Referenzspannung u_{ref} erhöht werden, sucht dieses Verfahren nach dem Parallelpack mit der maximalen Ausgangsspannung u_{SM}. Entsprechend Gleichung (A.28) hängt die Klemmenspannung einer Energiespeichereinheit von ihrem Ladezustand ab. Der Algorithmus sucht in der Konsequenz nach der Energiespeichereinheit, welche vorzugsweise am stärksten belastet werden darf. Für den Fall, dass es sich um eine Energiespeichereinheit handelt, die im Bypass-Zustand vorliegt, wird diese aktiv in den Lastpfad geschaltet. Besitzt ein Parallelverbund, bestehend aus mehreren Energiespeichereinheiten, die höchste Modulspannung und in der Folge den höchsten Ladezustand, wird dieser derart aufgetrennt, dass zwei Parallelverbünde mit möglichst identischer Anzahl an Energiespeichereinheiten entstehen. Der Algorithmus folgt damit dem Ziel der Gleichverteilung. Wird die maximale Modulspannung für eine Energiespeichereinheit ermittelt, die bereits einzeln im Serienmodus vorliegt, ändert das Verfahren die Suche auf die zweithöchste Modulspannung ab[33]. Soll die vorgegebene Referenzspannung reduziert werden, sinkt n_{s}. Der Algorithmus sucht in diesem Fall nach dem Parallelverbund, welcher bis dato am stärksten beansprucht wurde und die geringste Klemmenspannung aufweist. Dieses Parallelpack wird dem benachbarten Parallelverbund oder der Energiespeichereinheit parallel geschaltet, welcher oder welche die geringste Spannungsdifferenz zu dessen Klemmenspannung besitzt. Durch die Erhöhung von $n_{\mathrm{ESU,pp}}$ dieses Parallelpacks lässt sich die Beanspruchung der inhärenten Energiespeichereinheiten infolge der Aufteilung des Laststroms verringern. Eine identische Vorgehensweise erfolgt beim Laden des MLI-Strangs, allerdings mit reziproken Werten der Modulspannungen.

Abbildung 5.27 visualisiert die ermittelten Werte von $\tilde{E}_{\mathrm{con}}$ für diese drei erläuterten Verfahren[34]. Zur Generierung von E_{con} wird ein PECIN-Inverterstrang über einen Zeitraum von $t_{\mathrm{sim}} = 500\,\mathrm{s}$ betrieben. Die Referenzspannung besitzt in Analogie zu den vorhergehenden Abschnitten die Form $u_{\mathrm{ref}}(t) = \hat{u}_{\mathrm{ref}} \sin(\omega t)$. Der Verbraucher entspricht einer angeschlossenen ohmsch-induktiven Last mit $R = 2\,\Omega$ und $L = 0{,}5\,\mu\mathrm{H}$, es wird folglich ein Entladevorgang betrachtet[35]. Die Ergebnisse aus Abschnitt 5.4 zeigen, dass symmetrische MLI-Konfigurationen mit einer Zellenzahl im Bereich von neun bis zwölf je Submodul zu den vielversprechendsten Varianten zählen, wenn eine ganzheitliche Betrachtung von Invertersystemen erfolgt. Aus diesem Grund wird für die Gegenüberstellung der Verfahren zur PP-Formation Config_5 aus Tabelle 5.3 als Untersuchungsgrundlage verwendet. Diese SM-Konfiguration besteht aus insgesamt zwölf Modulen mit je neun Batteriezellen, d.h. es gilt $n_{\mathrm{c,ESU}} = 9$, für eine Anzahl von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je MLI-Phasenstrang. Um zudem den Einfluss des Widerstandsverhältnisfaktors aus Gleichung (5.8a) zu berücksichtigen, wird E_{con} für die Werte von $\rho_{\mathrm{PP}} = \{1;\ 5;\ 10;\ 20;\ 50;\ 100;\ 200\}$ bestimmt. Alle ermittelten Ergebnisse finden sich in Abbildung 5.27. Entsprechend der vorhergehenden Erläuterungen werden bei einem reinen Serienbetrieb die maximalen Energieverluste im Vergleich zu allen übrigen Verfahren erzielt. Dies gilt unabhängig vom Wert des Widerstandsverhältnisfaktors. Aufgrund der Normierung in Gleichung (5.12) nimmt $E_{\mathrm{con,SO}}$ folglich in allen gezeigten Fällen einen Wert von eins an.

In Übereinstimmung mit den Ergebnissen aus Abschnitt 5.5.2.2.1 erzielen alle Verfahren, die eine Implementierung von Parallelverbünden realisieren, geringere Leitverluste im Vergleich zu einem reinen

[33] Hinweis: Es sei an dieser Stelle erwähnt, dass dieser Schritt im Algorithmus von Goetz et al. in ihrer Arbeit nicht explizit erwähnt wird [44]. Für die korrekte und vollständige Funktionsweise des Algorithmus wird dieser Aspekt ergänzt.

[34] Hinweis: In Abbildung 5.27 findet sich der Energiewert einer weiteren Variante der PP-Formation, welche als *Radikale* bezeichnet wird. Diese wird in Abschnitt 5.5.2.3 eingeführt und deshalb an dieser Stelle noch nicht erläutert.

[35] Hinweis: Die Werte der ohmsch-induktiven Last sind derart gewählt, dass die Stromamplitude entsprechend hohe Werte annimmt, mit dem Ziel einer starken Änderung in den zugrundeliegenden SoC-Werten.

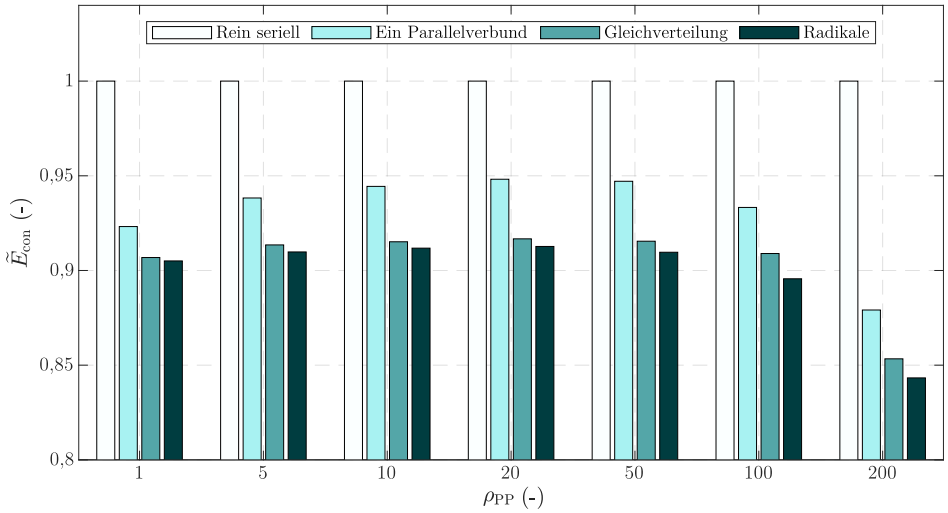


Abbildung 5.27: Vergleich der Energieverluste für die Anwendung verschiedener Verfahren zur PP-Formation, normiert auf die Verluste, die sich bei einem reinen Serienbetrieb einstellen.

Serienbetrieb. Vergleicht man die Ergebnisse dieser Verfahren miteinander, führt die Umsetzung eines einzelnen Parallelverbunds, welcher die n_{rem} Energiespeichereinheiten beinhaltet, für alle Widerstandsverhältnisfaktoren zu den zweithöchsten Energieverlusten. Zwar existiert bei dieser Methode ebenso ein Parallelverbund, allerdings befinden sich stets $(n_{\mathrm{s}} - 1)$ Energiespeichereinheiten im Serienmodus. Wie anhand der statischen Betrachtung in Abbildung 5.26 deutlich wird, lassen sich bereits durch eine Parallelschaltung von zwei Energiespeichereinheiten Energieverluste im Vergleich zu $P_{\mathrm{con,SO}}$ einsparen. Diese Einsparung nimmt mit steigendem ρ_{PP} insbesondere in einem geringen Wertebereich von $n_{\mathrm{ESU,pp}}$ signifikant zu. Die Präsenz von mehreren Parallelverbünden bestehend aus zwei oder mehr Energiespeichereinheiten bietet damit ein höheres Einsparpotential als ein einziger Parallelverbund, welcher alle n_{rem} vorhandenen Energiespeichereinheiten parallel schaltet. Die Gleichverteilung nutzt diesen Sachverhalt, indem sie die maximal mögliche Anzahl an Parallelverbünden realisiert. Diese Methode erzielt damit geringere Energieverluste als im Falle der Präsenz eines einzigen Parallelverbundes.

5.5.2.3 Parallelpack-Konfiguration ↔ Multilevel-Inverter-Spezifikationen ↔ Leitverluste ↔ Ladezustände

Die Ergebnisse des vorhergehenden Abschnitts bestätigen, dass sich die Parallelisierung von Energiespeichereinheiten im Allgemeinen positiv auf die Energiebilanz eines MLI-Systems auswirkt. Dabei äußert sich die explizite Formierung der Parallelverbünde unterschiedlich stark in den auftretenden Energieverlusten. Gemäß Abbildung 5.27 wird deutlich, dass die Einsparung an Verlusten im Vergleich zum reinen Serienbetrieb vergleichsweise hoch ist, wenn die PP-Formation einer Gleichverteilung folgt. Trotz dieser vorteilhaften Auswirkung müssen für eine ganzheitliche Betrachtung auch die Ladezustände der Energiespeichereinheiten berücksichtigt werden. Die Grafik in Abbildung 5.24 zeigt, dass die Stromverteilung in einem Parallelverbund typischerweise nicht gleichmäßig stattfindet. Diese Ungleichverteilung des Stroms führt wiederum zu einer unterschiedlichen Belastung der einzelnen Energiespeichereinheiten mit dem Ergebnis des Randzellenproblems. Letzteres spiegelt, wie eingeführt, im Wesentlichen die Tatsache wider, dass die Energiespeichereinheiten am Rand eines Parallelverbunds stets am stärksten belastet werden. Dieses Problem wird insbesondere bei einer Formierung von Parallelverbünden auf Basis der Gleichverteilung detektiert. Um bei diesem Verfah-

ren Parallelverbünde mit einer möglichst homogenen Anzahl inhärenter Energiespeichereinheiten zu realisieren, bilden im überwiegenden Teil der Betriebszeit dieselben Energiespeichereinheiten eines MLI-Strangs die Randzellen der Parallelverbünde. Somit erfahren diese Randspannungsquellen gemäß der Ergebnisse aus Abbildung 5.24 typischerweise eine höhere Belastung als die übrigen Energiespeichereinheiten des Systems. Dieser Sachverhalt wird anhand von Abbildung 5.28 ersichtlich, welche die Belastungszeiten und SoC-Werte für zwei verschiedene Methoden zur PP-Formation visualisiert. Insbesondere in Abbildung 5.28a sowie in Abbildung 5.28c findet sich die Darstellung der Belastung der Energiespeichereinheiten als Rand-ESU. t_{edge} spiegelt dabei im Speziellen den Zeitanteil an der Gesamteinschaltzeit wider, in welchem sich die zugehörige Energiespeichereinheit ESU_k am Rand eines Parallelverbunds befindet und damit die stärkste Belastung erfährt. Für die Untersuchungen gelten dieselben Simulationsbedingungen wie in Abschnitt 5.5.2.2.2.
Es wird erneut die Submodul-Konfiguration $\text{Config}_5 = 12\,\text{x}\,[9]$ herangezogen, weshalb t_{edge} jeweils über einem Bereich von $k = \{1 \dots 12\}$ aufgetragen ist. k spiegelt hierbei die Position von ESU_k im MLI-



(a) t_{edge} für die erste Periode bei Anwendung der Gleichverteilung.

(b) t_{edge} für die erste Periode bei Anwendung des Radikalalgorithmus.

(c) t_{edge} über die Simulationszeit bei Anwendung der Gleichverteilung.

(d) t_{edge} über die Simulationszeit bei Anwendung des Radikalalgorithmus.

(e) SoC-Werte der Energiespeichereinheiten bei Anwendung der Gleichverteilung.

(f) SoC-Werte der Energiespeichereinheiten bei Anwendung des Radikalalgorithmus.

Abbildung 5.28: Darstellung der Prozentanteile an der gesamten Einschaltzeit, in welchen sich die jeweiligen Energiespeichereinheiten am Rand eines Parallelverbunds befinden. Die zugehörigen Werte sind für die erste Periode sowie die gesamte Simulationszeit sowohl unter Verwendung der Gleichverteilung als auch des Radikalalgorithmus dargestellt. k repräsentiert die Position einer ESU_k in dem betrachteten MLI-Phasenstrang.

Phasenstrang wider. Der Widerstandsverhältnisfaktor beträgt $\rho_{\mathrm{PP}} = 5$. Während in Abbildung 5.28a die prozentualen Anteile der Belastung als Randenergiespeichereinheit nur für die erste Referenzperiode angegeben sind, entsprechen die Werte in Abbildung 5.28c denen nach der vollständigen Simulationszeit. Anhand der Ergebnisse dieser beiden Grafiken wird deutlich, dass bei Anwendung der Gleichverteilung im Großteil des Betriebs die Energiespeichereinheiten eine Rand-ESU repräsentieren, deren Position dem Binärsystem folgt. Als Konsequenz der homogenen Aufteilung werden die Parallelverbünde, sofern möglich, in der Mitte aufgetrennt und in Serie verschaltet. Die entsprechenden Energiespeichereinheiten befinden sich in der Folge am Rand des Parallelverbunds. Diese Tatsache trifft insbesondere für die Energiespeichereinheiten zu, welche sich am Rand des gesamten MLI-Strangs befinden. Im betrachteten Fall sind dies ESU_1 sowie ESU_{12}. Aufgrund der Existenz lediglich einer benachbarten Energiespeichereinheit können ESU_1 sowie ESU_{12} nur am Rand eines Parallelverbunds positioniert werden. Eine Entlastung erfolgt lediglich durch ein Überbrücken. Liegen alle zwölf Submodule in einem Parallelverbund vor und soll dieser infolge einer erhöhten Referenzforderung aufgetrennt werden, wird der Schaltzustand des MLI-Strangs bei der Gleichverteilung derart abgeändert, dass die Energiespeichereinheiten ESU_6 sowie ESU_7 ebenso zu Randenergiespeichereinheiten werden. Identisches Prozedere ergibt sich für die übrigen Energiespeichereinheiten mit weiterer Erhöhung der Referenzspannung. Für Verfahren mit dem Fokus der Gleichverteilung kann die Beziehung aus Gleichung (5.13) abgeleitet werden, welche einen allgemeinen Zusammenhang für die Position der Energiespeichereinheiten abbildet, die der stärksten Belastung ausgesetzt sind.

$$k = \left\lfloor \frac{l\, n_{\mathrm{ESU,ph}}}{n_{\mathrm{s}}} \right\rfloor \;\cup\; k = \left\lfloor \frac{l\, n_{\mathrm{ESU,ph}}}{n_{\mathrm{s}}} \right\rfloor + 1 \;\cup\; k = n_{\mathrm{ESU,ph}} \quad \text{für} \quad l = \left\{0 \dots n_{\mathrm{s}}\right\} \tag{5.13}$$

Vergleicht man die jeweiligen Werte von t_{edge} in Abbildung 5.28a mit denen aus Abbildung 5.28c, bleibt diese Tendenz der Belastung über dem Betrieb hinweg bestehen. Unter Einbezug der Untersuchungsergebnisse aus Abbildung 5.24 erfahren die Randenergiespeichereinheiten die stärkste Belastung. Diese Divergenz in der Strombelastung infolge der Gleichverteilung spiegelt sich in den Ladezuständen wider. Abbildung 5.28e illustriert hierzu die entsprechenden Ladezustände der zwölf Energiespeichereinheiten. In Korrelation mit den Zeiten der Belastung als Randenergiespeichereinheiten besitzen die Energiespeichereinheiten mit einer Position k gemäß Gleichung (5.13) geringere SoC-Werte im Vergleich zu den übrigen. Im Speziellen weisen ESU_1 sowie ESU_{12} am Rand des Phasenstrangs die geringsten SoC-Werte auf. Trotz der positiven Auswirkung auf die Energiebilanz führt eine Gleichverteilung bei der Parallelpack-Formation zu unterschiedlichen Belastungen der Energiespeichereinheiten. Diese Ausprägung nimmt mit sinkendem Widerstandsverhältnisfaktor ρ_{PP} zu. Um dieses Randzellenproblem zu umgehen, wird ein Algorithmus vorgestellt, der in Folge einer sogenannten *Radikalbildung* die Belastungszeiten als Randenergiespeichereinheiten ausgleicht.

OPTIMIERUNG 1: Optimierung des Randzellenproblems

Nachfolgend wird ein Optimierungsalgorithmus präsentiert, der sich mit dem Randzellenproblem bei der Parallelisierung von Energiespeichereinheiten befasst. Anders als bei dem Verfahren der Gleichverteilung detektiert der Algorithmus die Zeiten, in welchen sich die Energiespeichereinheiten am Rand eines Parallelverbunds befinden und sorgt für einen Ausgleich dieser Belastungszeiten. Über sogenannte Radikale erfolgt die Bildung der Parallelverbünde. Dabei repräsentieren Radikale diejenigen Energiespeichereinheiten, welche den höchsten Ladezustand besitzen. Aufgrund ihrer geringen Beanspruchung im Vergleich zu den übrigen Energiespeichereinheiten werden diese als Randenergiespeichereinheiten herangezogen.

Abbildung 5.29 visualisiert das grundsätzliche Schema des Optimierungsalgorithmus. Zu Beginn jedes Iterationsschritts erfolgt, wie auch in allen anderen Verfahren zur PP-Konfiguration, eine übergeordnete Bypass-Entscheidung. Übersteigt die Spannung einer Energiespeichereinheit systemkritische Grenzen oder wird ein Fehlerfall detektiert, wird diese dauerhaft überbrückt. Aufgrund der Relevanz werden diese Limitierungen als *harte Grenzen* definiert. Im nächsten Schritt des Radikalalgorithmus erfolgt die Definition eines SoC-Bands. Das Ziel dieses SoC-Bands besteht darin, die Ladezustandsgrenzen aller inhärenten Energiespeichereinheiten eines MLI-Strangs festzulegen, um sicherzustellen, dass sie sich innerhalb eines vordefinierten Bereichs befinden. Dabei besteht die Möglichkeit, die Bandbreite dieses SoC-Bands $\mathrm{SoC_{bw}}$ vor dem Betrieb fest vorzugeben oder während des Betriebs adaptiv anzupassen. Das SoC-Band erstreckt sich um den aktuellen Durchschnittswert der Ladezustände $\overline{\mathrm{SoC}}$ aller Energiespeichereinheiten zum Zeitpunkt t_k, wie in Abbildung 5.29 erkennbar. Auf Basis dieses SoC-Bands werden weitere Bypass-Entscheidungen getroffen. Die Anzahl der verbleibenden Energiespeichereinheiten n_{rem} gemäß Gleichung (2.21) bestimmt die weitere Vorgehensweise. Gilt $n_{\mathrm{rem}} = 0$, sind im gesamten MLI-Strang keine ungenutzten Energiespeichereinheiten verfügbar. Alle Spannungsquellen werden zur Realisierung der Spannungsforderung u_{ref} benötigt oder liegen infolge der harten

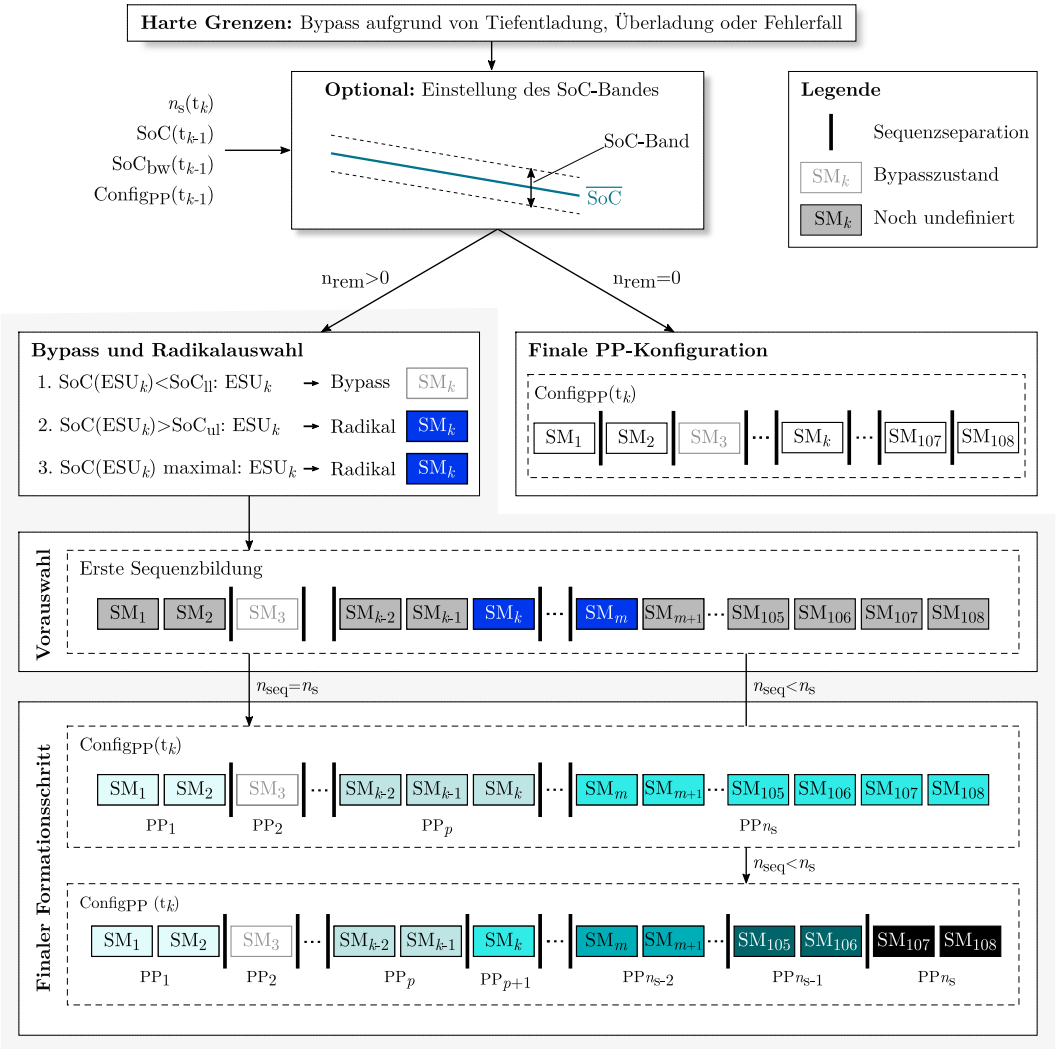


Abbildung 5.29: Blockdiagramm des Radikalalgorithmus am Beispiel von $n_{\mathrm{c,ph}} = 108$ Batteriezellen je MLI-Phasenstrang.

Grenzen im Bypasszustand vor. Es existiert eine reine Serienschaltung aktiver sowie überbrückter Energiespeichereinheiten. Die PP-Formation ist in diesem Fall abgeschlossen und die PP-Konfiguration $\text{Config}_{\text{PP}}$ für t_k vollständig definiert, wie anhand von Abbildung 5.29 erkennbar. Falls n_{rem} größer als Null ist, werden nicht alle Energiespeichereinheiten, die nach der Selektion der harten Grenzen weiterhin zur Verfügung stehen, für die Generierung der Spannungsreferenz benötigt. Unterschreiten die Ladezustände der n_{rem} Energiespeichereinheiten die untere Grenze des SoC-Bands, werden die entsprechenden Energiespeichereinheiten ebenso in den Bypasszustand geschaltet und stehen für die Parallelbildung nicht zur Verfügung. Für den Fall, dass eine höhere Anzahl an Energiespeichereinheiten als n_{rem} die untere Grenze des SoC-Bands unterschreitet, werden zur Gewährleistung der Spannungsgenerierung nur n_{rem} Spannungsquellen überbrückt. Da die Erfüllung der Spannungsforderung eine höhere Priorität besitzt als die Unterschreitung des SoC-Bands, werden diese Grenzen als *weiche Grenzen* bezeichnet. Die Energiespeichereinheiten, deren SoC-Wert innerhalb des SoC-Bands liegt, können für die Bildung von Parallelverschaltungen herangezogen werden. Neben der unteren SoC-Bandgrenze wirkt sich im Falle von $n_{\text{rem}} > 0$ auch die obere Grenze des SoC-Bands auf die PP-Formation aus. Unter der Voraussetzung, dass $n_{\text{rem}} > 0$ auch nach der Selektion der weichen Grenzen erfüllt ist, werden auf Basis der oberen Begrenzung des SoC-Bands sogenannte *Radikale* identifiziert. Diese Radikale, welche ausschlaggebend für die Benennung des Algorithmus sind, repräsentieren alle Energiespeichereinheiten, deren Ladezustand das SoC-Band überschreiten. Aus diesen werden maximal die n_{s} Energiespeichereinheiten mit dem höchsten Ladezustand ausgewählt. Überschreitet kein Ladezustand aller inhärenten Energiespeichereinheiten die obere SoC-Grenze, existieren keine expliziten Radikale. Mit der Kenntnis der Radikale erfolgt im Zuge einer Vorauswahl der PP-Konfiguration eine Einteilung des MLI-Strangs in n_{seq} *Sequenzen*. Die Konzeptionierung beruht darauf, dass die Radikale diejenigen Energiespeichereinheiten verkörpern, die am geringsten belastet sind und daher im nächsten Iterationsschritt als Randenergiespeichereinheiten fungieren sollen. Diese sind in Abbildung 5.29 blau hervorgehoben. Durch die Radikalbildung und die zwangsweise Positionierung dieser als Randenergiespeichereinheiten werden die aktuell am wenigsten beanspruchten Energiespeichereinheiten im nächsten Schritt der stärksten Belastung ausgesetzt. Stimmt die Anzahl an Sequenzen n_{seq} mit der Anzahl an erforderlichen Energiespeichereinheiten n_{s} überein, muss keine weitere Unterteilung der Sequenzen stattfinden. Die exakte PP-Konfiguration ergibt sich durch Integration einer Gleichverteilung. Diese wirkt sich insbesondere auf die Entscheidung aus, ob die jeweiligen Radikale am linken oder rechten Rand eines Parallelverbunds positioniert werden. Aufgrund der effektiven Einflussnahme einer Gleichverteilung der Energiespeichereinheiten kann damit der Vorteil der Verlusteinsparung genutzt werden. Sofern möglich, werden auf Basis der Radikale möglichst homogene Parallelverbünde generiert. Die PP-Konfiguration ist abgeschlossen und $\text{Config}_{\text{PP}}$ ist für t_k definiert. Ist n_{seq} kleiner als n_{s} müssen die n_{seq} Sequenzen der Vorauswahl im Zuge der PP-Formation weiter unterteilt werden. Hierzu wird erneut die Gleichverteilung als Prinzip herangezogen, um den positiven Einfluss auf die Minimierung der Leitverluste maximal zu nutzen. Im Speziellen wird für jede Sequenz der Vorauswahl ein eigenes Gleichverteilungsraster erzeugt. Für jede Sequenz wird, basierend auf der Anzahl an Energiespeichereinheiten jeder Sequenz, eine geeignete Anzahl an Parallelverbünden ermittelt, sodass über alle Sequenzen hinweg eine maximale Gleichverteilung erzielt werden kann. Lassen sich je Sequenz mehr als zwei Parallelverbünde implementieren und unterscheiden sich diese gemäß dem Prinzip der Gleichverteilung um mindestens eine Energiespeichereinheit, existiert ein zusätzlicher Freiheitsgrad bei der Anordnung dieser Parallelverbünde innerhalb der Sequenz. Dabei ergeben sich unterschiedliche Möglichkeiten, Systemvariablen zu optimieren. Um die Belastung der Energiespeichereinheiten weiterhin zu optimieren, wird ein sogenannter Zählvektor $\boldsymbol{z}$ genutzt. Der Zählvektor zählt für jede k-te Energiespeichereinheit, in wie vielen aufeinanderfolgenden Abtastzeitpunkten diese am Rand eines Parallelverbunds positioniert ist. In diesem Zusammenhang wird das k-te Zählelement

des Zählvektors z_k so lange inkrementiert, wie ESU_k eine Randenergiespeichereinheit repräsentiert. Gilt $k = \{2 \dots n_{\mathrm{ESU,pp}} - 1\}$ oder wird ESU_k überbrückt, wird z_k auf Null zurückgesetzt. Für jede mögliche PP-Konfiguration innerhalb einer Sequenz lässt sich darüber hinaus ein sogenannter *Randvektor* $\boldsymbol{r}$ definieren. Dieser Bitvektor indiziert, ob es sich bei der jeweiligen Energiespeichereinheit in der möglichen Konfiguration um eine Randenergiespeichereinheit handeln wird. Falls dies zutrifft, nimmt das zugehörige Element des Randvektors $\boldsymbol{r}_k$ den Wert eins an. Andernfalls ist dieser Wert gleich Null. Für jede realisierte Anordnung an Parallelverbünden innerhalb einer Sequenz wird ein entsprechender Randvektor $\boldsymbol{r}$ gebildet. Mittels des Skalarprodukts dieses Randvektors zusammen mit dem Zählvektor $\boldsymbol{z}$ einer Sequenz ergibt sich für jede mögliche Konfiguration innerhalb einer Sequenz ein spezifischer Summenwert. Vergleicht man die Ergebnisse aller realisierbaren Konfigurationen der vorliegenden Sequenz, gilt diejenige Sequenz-Konfiguration als optimal, welche den geringsten Summenwert aufweist. Dieser Sachverhalt resultiert aus der Tatsache, dass mit sinkendem Wert des Skalarprodukts der Vektoren $\boldsymbol{z}$ und $\boldsymbol{r}$ diejenigen Energiespeichereinheiten bevorzugt als Rand-ESUs eingesetzt werden, die im Vergleich zu den anderen weniger beansprucht sind. Dafür werden stark belastete Energiespeichereinheiten vermehrt geschont.
Die Ergebnisse der Anwendung des Radikalalgorithmus finden sich in Abbildung 5.28. Neben den Werten von t_{edge} nach der ersten Periode in Abbildung 5.28b sowie nach der gesamten Simulationszeit in Abbildung 5.28d sind ebenso, in Analogie zum Verfahren der Gleichverteilung, die SoC-Werte in Abbildung 5.28f dargestellt. Ein Vergleich der beiden Verfahren zeigt, dass zu Beginn der Simulation die jeweilige Auslastung der Energiespeichereinheiten als Randenergiespeichereinheiten nahezu identisch ist. Während sich diese Auslastung bei der Anwendung der reinen Gleichverteilung lediglich marginal über der Simulationszeit hinweg ändert, erzielt der Radikalalgorithmus einen Ausgleich von t_{edge} für alle zwölf Energiespeichereinheiten. Diese Homogenisierung der Belastungszeiten als Randenergiespeichereinheit führt im Gegensatz zur Gleichverteilung zu einem deutlichen Ausgleich der jeweiligen Ladezustände, wie in Abbildung 5.28f erkennbar. Zudem sind in Abbildung 5.27 ergänzend die ermittelten Ergebnisse der Leitverluste bei einer Verwendung des Radikalalgorithmus aufgetragen, welche mit *Radikale* bezeichnet sind. Die Ergebnisse zeigen, dass der Radikalalgorithmus hinsichtlich der Leitverluste mit dem reinen Verfahren der Gleichverteilung mithalten kann. Es lässt sich damit sowohl eine Verlustminimierung im Vergleich zum Serienbetrieb als auch der Ausgleich der Ladezustände erreichen.

5.5.3 Zusammenfassung und Fazit des vierten Clusters

Wie in diesem Abhängigkeitskapitel deutlich wird, hat die Art und Weise der Bildung von Parallelverbünden einen wesentlichen Einfluss auf andere Einflussfaktoren innerhalb eines MLI-Systems. Insbesondere die sich einstellende Stromverteilung zwischen den vorhandenen Energiespeichereinheiten eines Parallelpacks ist von der PP-Konfiguration stark betroffen, welche sich in der Folge auf die Leitverluste sowie die korrespondierenden Ladezustände der im MLI- Strang befindlichen Energiespeichereinheiten auswirkt.

Aufgrund der realen Charakteristik eines Parallelverbunds als Folge der inhärenten Schaltelemente teilt sich der Strom in einem Parallelverbund nicht gleichmäßig auf die vorhandenen Energiespeichereinheiten auf. Das Helmholtz-Überlagerungsprinzip verdeutlicht, dass die Energiespeichereinheiten am Rand des Verbunds im Vergleich zu denen in der Mitte eine höhere Strombelastung erfahren. Diese Divergenz nimmt mit sinkendem Widerstandsverhältnis der ESU-Pfade zu denen der Schalterpfade zu. Bei einer hinreichend hohen Anzahl an Energiespeichereinheiten in einem Parallelverbund fließt praktisch kein Strom mehr durch diejenigen, die sich in der Mitte des Verbunds befinden. Dieses Verhalten lässt sich als Randzellenproblem identifizieren. Nichtsdestotrotz führt jeder Parallelverbund,

welcher sich aus mindestens zwei Energiespeichereinheiten zusammensetzt, zu einer Reduzierung der Leitverluste im Vergleich zum rein seriellen Betrieb. Insbesondere für einen geringen Widerstandsverhältnisfaktor bewirkt die Parallelisierung bereits weniger Energiespeichereinheiten eine starke Einsparung in den Leitverlusten. Auch die Implementierung der PP-Konfigurationen im laufenden Betrieb beeinflusst die resultierenden Leitverluste. Während die Präsenz eines einzigen Parallelverbunds, welcher alle aktuell nicht erforderlichen Energiespeichereinheiten parallelisiert, geringere Verluste erzielt als eine reine Serienschaltung, können deutlich mehr Verluste durch die Anwendung des Verfahrens einer Gleichverteilung eingespart werden. Diese nutzt den Effekt der Verlustreduzierung bereits weniger Energiespeichereinheiten in Form zahlreicher Parallelverbünde. Allerdings führt das Prinzip der Gleichverteilung dazu, dass sich in der Regel dieselben Energiespeichereinheiten am Rand eines Parallelverbunds befinden. Unter Anwendung des Randzellenproblems erfahren diese Energiespeichereinheiten damit die stärkste Belastung. In der Folge weichen die Ladezustände der einzelnen Energiespeichereinheiten voneinander ab. Mittels der Entwicklung eines sogenannten Radikalalgorithmus wird die Belastungszeit als Randenergiespeichereinheit aller im System vorhandenen ESUs ausgeglichen. Hierzu wird im Speziellen für jede inhärente Energiespeichereinheit ermittelt, ob und wie lange diese am Rand eines Parallelverbunds positioniert ist. Durch die Bildung von Radikalen erfolgt ein Ausgleich dieser Belastungszeiten. Dabei entsprechen Radikale den Energiespeichereinheiten, welche den höchsten Ladezustand besitzen und deshalb im jeweiligen Iterationsschritt als Rand-ESUs herangezogen werden.

6 Prägnante Gegenüberstellung mit einem konventionellen B6-Wechselrichter

In Abbildung 2.1 ist die grundsätzliche Struktur eines Antriebsstrangs in einem Elektrofahrzeug gezeigt. Dabei sind insbesondere die beiden Optionen in Form des konventionellen Batteriesystems mit einem B6-VSI sowie eines MLI-Systems dargestellt. Diese beiden Alternativen werden im vorliegenden Kapitel in prägnanter Weise einander gegenübergestellt und hinsichtlich der wesentlichen Merkmale bewertet.

Für den Vergleich werden zwei MLI-Systeme herangezogen, die im Rahmen einer ganzheitlichen Betrachtung auf Basis der Bewertungskriterien der Inverterkosten, des THD-Werts sowie der Systemverluste als die vielversprechendsten Varianten in Kapitel 5 identifiziert wurden[1]. Hierbei handelt es sich insbesondere um das symmetrische MLI-System, welches die Submodul-Konfiguration Config_5 aus Tabelle 5.3, 9 x [12], aufweist und sich damit pro Inverterphase aus insgesamt neun Submodulen mit je zwölf Batteriezellen zusammensetzt. Zusätzlich zu diesem symmetrischen System wird das AMLI-System mit der SM-Konfiguration Config_{13} in den Vergleich einbezogen. Diese Konfiguration folgt dem Designschema der Exponentialfolge und enthält zudem Puffermodule. Die genaue SM-Konfiguration findet sich in Tabelle 5.3. Wie das SMLI-System zeigt auch diese AMLI-Variante im Zuge der Pareto-Analyse in Abschnitt 5.4.2.2 ihr Potenzial im Vergleich zu den anderen betrachteten Invertersystemen. In beiden Fällen entspricht die zugrundeliegende Mikrotopologie der PE-CIN-Struktur. Die Forschungsergebnisse von Chang et al. verdeutlichen, dass ein konventioneller B6-Wechselrichter mit SiC MOSFETs im Vergleich zur Verwendung von Si IGBTs eine höhere Effizienz im Invertersystem erzielt [20]. Aus diesem Grund wird für die vorliegende Gegenüberstellung lediglich ein VSI berücksichtigt, welcher diese SiC-Halbleiterelemente einsetzt[2]. Für den Vergleich werden alle drei Invertersysteme in charakteristischen Betriebspunkten über mehrere Referenzperioden hinweg betrieben und die relevanten Bewertungskriterien in Form der Systemverluste sowie des THD-Werts bestimmt. Die zugrundeliegenden Simulationsbedingungen und Vorgaben entsprechen denen aus Abschnitt 5.4.2.2, worauf an dieser Stelle verwiesen wird. Dabei wird der Amplitudenmodulationsindex im Bereich von $m_\text{a} = \{0,1;\ 0,2;\ 0,3;\ 0,4;\ 0,5;\ 0,6;\ 0,7;\ 0,8;\ 0,9;\ 1,0\}$ betrachtet, um den gesamten Referenzbereich einer Spannungsforderung abzudecken und damit sowohl den Volllast- als auch den Teillastbetrieb zu berücksichtigen. Im Falle des VSI wird anders als bei den MLI-Systemen eine Schaltfrequenz von $f_\text{sw} = 10\,\text{kHz}$ verwendet[3]. Die gewonnenen Ergebnisse werden für alle drei betrachteten Invertersysteme gemittelt und in Abbildung 6.1 in Form eines Radarplots gegenübergestellt. Die Inverterkosten sind das Ergebnis der Anwendung des Kostenmodells aus Abschnitt 4.4.3 und entsprechen damit den Werten aus Abbildung 5.7. Neben den Bewertungskriterien in Form der Inverterkosten, der Systemverluste sowie dem Oberwellengehalt sind weitere zentrale Charakteristika aufgeführt. Hierzu zählen die Levelredundanz eines Invertersystems, die Bypassfähigkeit, die Parallelisierungsfähigkeit

[1] Hinweis: Für die Erläuterungen dieses Vergleichs sei auf Abschnitt 5.4.2.2 verwiesen.

[2] Hinweis: Die Bauteilbezeichnung des verwendeten SiC MOSFET findet sich in Abschnitt 4.4.3 im Zuge der Beschreibungen des Kostenmodells.

[3] Hinweis: Der Wert von $f_\text{sw} = 10\,\text{kHz}$ entspricht einem typischen Wert des B6-Wechselrichters im Elektrofahrzeug wie beispielsweise von Quraan et al. implementiert [127]. Wie in Abschnitt 5.4.2.2 angegeben, ist bei den MLI-Systemen für die Schaltfrequenz ein Wert von $f_\text{sw} = 5\,\text{kHz}$ gewählt.

sowie die Fehlertoleranz. Der gezeigte Radarplot berücksichtigt damit die wichtigsten Kriterien eines Invertersystems. Mit Ausnahme des THD-Werts erfolgt in allen aufgeführten Vergleichspunkten eine Normierung auf den maximalen Wert, welcher mit einem der drei betrachteten Systeme erzielt wird. Für den THD-Wert sind die ermittelten Werte in Prozent angegeben. Um den spezifischen Einfluss der Batterieverluste und der Schalterverluste auf die Gesamtinverterverluste $E_{\mathrm{inv,tot}}$ zu verdeutlichen, sind diese ergänzend separiert aufgeführt. Sowohl $E_{\mathrm{con,ESU}}$ als auch die Summe von $E_{\mathrm{con,sw}}$ und E_{sw} stellen somit jeweils einen eigenen Gegenüberstellungspunkt dar. Vergleicht man zunächst die wesentlichen MLI-Spezifikationen in Form der Bypassfähigkeit sowie der Parallelisierungsfähigkeit, besitzt ein konventioneller VSI keine dieser Fähigkeiten. Aufgrund der starren Verschaltung der Batteriezellen im HV-System eines BEV können weder Batteriezellen individuell aus dem Lastpfad geschaltet werden noch lassen sich Zellen während des Betriebs beliebig parallelisieren, um Leitverluste einzusparen [25]. Im Gegensatz dazu erfüllen die beiden betrachteten MLI-Systeme die Bypassfähigkeit. Durch den Einsatz der PECIN-Struktur können die jeweiligen Energiespeichereinheiten beliebig in den Lastpfad hinein oder aus diesem heraus geschaltet werden. Zudem lässt sich im Falle des SMLI die Parallelisierungsfähigkeit der PECIN-Topologie ganzheitlich ausnutzen. Aufgrund des symmetrischen Moduldesigns von Config_5 ist eine Parallelschaltung aller inhärenten Submodule erlaubt. Im Gegensatz dazu kann die Parallelisierungsfähigkeit bei einem AMLI-System in der Regel nicht genutzt werden. Da es sich bei der SM-Konfiguration Config_{13} jedoch um einen AMLI mit Puffermodulen handelt, ist eine Parallelschaltung dieser speziellen Module möglich. Es können damit Parallelverbünde realisiert werden, wodurch sich die Leitverluste des Systems reduzieren lassen. Aufgrund der Beschränkung auf die Parallelisierung von Puffermodulen wird die Parallelisierungsfähigkeit des AMLI-Systems in Abbildung 6.1 mit einem Wert von 0,5 bewertet, was dem Mittelwert der beiden anderen Invertersysteme entspricht.

Infolge der Präsenz von lediglich zwei Halbleiterelementen je Inverterphase in einem konventionellen VSI ist die Funktionsfähigkeit des Systems stark von der Funktionalität dieser Schalter abhängig. Fällt ein Schalter in der B6-Brücke aus, ist die Erzeugung der zugehörigen Phasenspannung nicht mehr möglich und ein geeigneter Betrieb des BEV ist nicht mehr gewährleistet. Identischer Sachverhalt gilt ebenso für den Ausfall einer Batteriezelle. Aufgrund der fehlenden Möglichkeit, ein oder mehrere

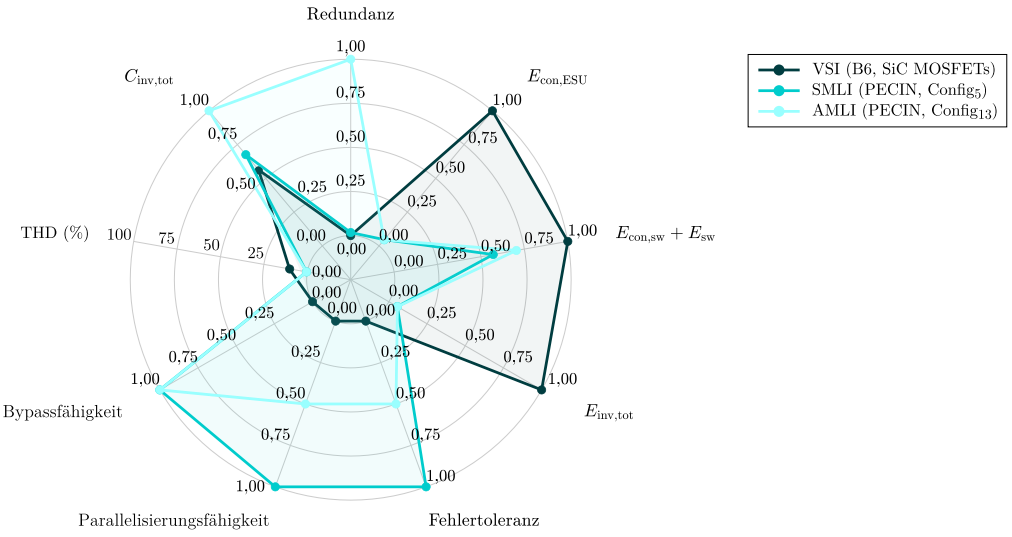


Abbildung 6.1: Gegenüberstellung der wesentlichen Eigenschaften eines B6-VSI mit zwei ausgewählten MLI-Systemen, die aus einer Vielzahl an MLI-Systemen die vielversprechendsten Varianten bilden. Für den VSI werden SiC MOSFETs verwendet.

Batteriezellen aus dem Lastpfad heraus zu schalten, limitiert die Funktionalität jeder Batteriezelle die Funktionsfähigkeit der Batterie und damit des Gesamtsystems. Das konventionelle Invertersystem in Verbindung mit der HV-Batterie weist daher keine Fehlertoleranz auf. Im Gegensatz dazu zeichnet sich ein MLI-System in der Regel durch eine höhere Fehlertoleranz aus, wie unter anderem von Hren et al. sowie Poorfakhraei et al. angegeben [68, 119]. Sowohl bei einem SMLI- als auch bei einem AMLI-System kann das Elektrofahrzeug bei Ausfall eines Halbleiterschalters oder einer Energiespeichereinheit weiterhin betrieben werden. Diese Tatsache ergibt sich aufgrund der Vielzahl an Submodulen innerhalb einer Phase. Bei der Anwendung einer makroskopischen Dreiecksstruktur kann der Betrieb des MLI selbst bei Ausfall einer Phase trotz auftretenden Spannungseinbrüchen mittels der verbleibenden Inverterphasen aufrechterhalten werden [56, 158]. Im Gegensatz zum betrachteten SMLI wird die Fehlertoleranz des AMLI jedoch als geringer eingestuft und in Abbildung 6.1 lediglich mit einem Wert von 0,5 bewertet. Dieser Umstand wird damit begründet, dass im Gegensatz zu einem SMLI die Modulspannungen im AMLI voneinander abweichen. Für die Betriebsweise des AMLI ist die Funktionalität des Moduls mit der höchsten Ausgangsspannung von entscheidender Bedeutung, insbesondere bei einem Amplitudenmodulationsindex von eins. Fällt dieses Modul aus, ist der Betrieb stärker eingeschränkt als bei einem Ausfall eines anderen Submoduls. Im Falle des SMLI beeinträchtigt der Defekt eines Submoduls die Funktionalität des MLI hingegen in gleichem Maße. Folglich weist der SMLI die maximale Fehlertoleranz unter allen drei betrachteten Systemen auf, wie in Abbildung 6.1 dargestellt. Nichtsdestotrotz weist die Levelredundanz des untersuchten AMLI-Systems deutlich höhere Werte auf. Aufgrund der vergleichsweise hohen Anzahl von Modulen in Config_{13} ergibt sich für die Redundanz ein immens hoher Wert von $n_{\text{red,AMLI}} = 58940$. Die Redundanz des SMLI berechnet sich gemäß Gleichung (4.16) zu einem Wert von $n_{\text{red,SMLI}}^{\text{NoPol}} = 1023$[4]. Trotz einer ähnlichen Modulzahl führt die Asymmetrie der Modulspannungen beim AMLI dazu, dass die Levelredundanz einen um den Faktor 57 höheren Wert annimmt. Diese Divergenz ist in Abbildung 6.1 deutlich erkennbar. Dabei sei erwähnt, dass die Levelredundanz des SMLI-Systems mit $n_{\text{red,SMLI}}^{\text{NoPol}} = 1023$ bereits einen hinreichend hohen Wert besitzt und lediglich aufgrund der ausgeprägten Diskrepanz zu dem Ergebnis des AMLI-Systems in Abbildung 6.1 vergleichsweise gering erscheint. Beide Redundanzwerte liegen deutlich über dem Resultat des konventionellen VSI, welcher mit der Generierung von nur drei unterschiedlichen Spannungslevel keine Redundanz aufweist. Betrachtet man die Bewertungskriterien des THD-Werts, der Systemkosten sowie der Verluste, zeigen sich weitere wesentliche Unterschiede zwischen dem konventionellen Wechselrichter und den MLI-Systemen. Eine ausführliche Gegenüberstellung der Systemkosten findet sich in Abschnitt 5.2.2.2, wobei deutlich wird, dass die MLI-Systeme, unabhängig vom Material des eingesetzten Halbleiterelements, nicht mit dem konventionellen B6-Wechselrichter mithalten können. Lediglich der Einsatz einer H-Brücke als Mikrotopologie im MLI-System erzielt konkurrenzfähige Inverterkosten. Diese MLI-Variante wird im vorliegenden Fall jedoch aufgrund der Gesamtergebnisse der Bewertungskriterien nicht berücksichtigt. Insbesondere das betrachtete AMLI-System mit der SM-Konfiguration Config_{13} erzielt nahezu den doppelten Preis im Vergleich zum VSI. Diese Tatsache lässt sich nicht nur durch die höhere Anzahl an Schaltelementen erklären, sondern auch durch den Einsatz von Halbleiterelementen, die aufgrund einzelner hoher Modulspannungen eine hohe Durchbruchspannung aufweisen müssen. Dieser Einfluss ist beim betrachteten symmetrischen MLI weniger stark ausgeprägt, weshalb der vorliegende SMLI in Bezug auf die Inverterkosten $C_{\text{inv,tot}}$ als die konkurrenzfähigere Alternative anzusehen ist. Im Gegensatz dazu erreichen sowohl der AMLI als auch der SMLI geringere THD-Werte als der VSI. Aufgrund der höheren Schaltfrequenz von $f_{\text{sw}} = 10\,\text{kHz}$ und der Betrachtung über den gesamten Betriebsbereich in Form der Variation des Amplitudenmodulationsindexes, liegt der THD-Wert im Falle des VSI zwar unterhalb von 10 %. Dieser

[4] Hinweis: Für die Berechnung der Redundanzwerte des SMLI werden ausschließlich NoPol-Kombinationen berücksichtigt.

Wert kann den Ergebnissen der beiden MLI-Systeme allerdings nicht standhalten. Sowohl für den SMLI als auch für den AMLI stellen sich aufgrund des charakteristischen MLI-Stufenmusters THD-Werte kleiner als 1 % ein. Die Schaltfrequenz von $f_{\mathrm{sw}} = 10\,\mathrm{kHz}$ führt weiterhin zu hohen Schaltverlusten E_{sw}. Trotz der dominanten Leitverluste bei den MLI-Systemen, welche in Abbildung 5.4 visualisiert sind, erreicht der konventionelle Inverter in Summe höhere Schalterverluste, wie Abbildung 6.1 entnommen werden kann. Dabei liegen die erzielten Schalterverluste noch in einer vergleichbaren Größenordnung. Betrachtet man dagegen die Gesamtinverterverluste $E_{\mathrm{inv,tot}}$, unterliegt der konventionelle VSI den MLI-Systemen deutlich und erzielt signifikant höhere Verluste. Die Ursache begründet sich mit den hohen Leitverluste des Batteriesystems im Falle des VSI. Die permanente Präsenz der Batteriezellen im Lastpfad beim konventionellen Betrieb wirkt sich derart stark aus, dass die resultierenden Werte von $E_{\mathrm{con,ESU}}$ für den VSI deutlich höher ausfallen als bei den MLI-Systemen.

7 Zusammenfassung der wichtigsten Erkenntnisse

Die vorliegende Arbeit beschäftigt sich mit dem Design und der Funktionsweise von MLI-Systemen. Im Folgenden werden kurz die wichtigsten Erkenntnisse zusammengefasst.

7.1 Erkenntnisse zur Parallel Enhanced Commutation Integrated Nested-Topologie

Die Untersuchungen der PECIN-Topologie verdeutlichen die verschiedenen Eigenschaften dieser Struktur. Neben der Fähigkeit, Submodule zu parallelisieren sowie der intrinsischen Polaritätsumkehr, ermöglicht diese Schaltungsstruktur ein individuelles Bypassen jeder beliebigen Energiespeichereinheit in einem MLI-System. Dabei zeichnet sich die PECIN-Struktur im Vergleich zu anderen MLI-Topologien mit einem identischen Funktionsumfang durch eine Reduzierung des Hardwareaufwands aus. Die Analyse der Spannungsfestigkeit der Halbleiterelemente innerhalb der PECIN-Mikrotopologie zeigt jedoch auch, dass die Diagonalschalter im Vergleich zu den BtB-Schaltern der doppelten Spannung standhalten müssen. Dieser Aspekt wirkt sich insbesondere auf die Wahl der Halbleiterelemente aus und muss beim Design des MLI beachtet werden. Auf Basis einer entwickelten Hardware-Struktur der PECIN-Topologie und den daraus resultierenden Leiterplatten werden reale Widerstandswerte sowohl für die Schalterpfade als auch die Pfade der Energiespeichereinheiten bestimmt. Diese Messwerte dienen zur Modellierung der PECIN-Phasenstränge. Darüber hinaus bilden diese Platinen die Grundlage weiterer praktischer Untersuchungen. Im Zuge einer grundlegenden Analyse der Schaltcharakteristika innerhalb der PECIN-Topologie zeigen sich wesentliche parasitäre Effekte, die sich auch auf andere MLI-Strukturen anwenden lassen. Neben typischen Oszillationen in den Spannungs- und Stromverläufen, die insbesondere aufgrund des kapazitiven und induktiven Verhaltens der Halbleiterelemente sowie der Kupferbahnen entstehen, werden ebenso parasitäre Selbsteinschaltungen der eingesetzten MOSFETs sowie parasitäre Kommutierungspfade detektiert. Die parasitäre Selbsteinschaltung resultiert dabei aus einer Spannungsinduktion über der Drain-Source-Strecke eines MOSFET als Folge eines hohen Werts der Schleifeninduktivität, gepaart mit einem starken Anstieg des Drain-Stroms. Dabei kann eine parasitäre Selbsteinschaltung sowohl durch das Ausschalten eines MOSFET innerhalb desselben Halbbrückenzweigs oder in einem parallelen Nachbarzweig verursacht werden. Durch die Sättigung der Drain-Source-Spannung im Avalanche-Bereich und dem selbst herbei geführten Ausschalten sowie der vergleichsweise geringen Einschaltzeit, stellt die parasitäre Selbsteinschaltung kein wesentliches Gefährdungspotential für den Betrieb eines MLI dar. Eine mögliche Gegenmaßnahme zur Verringerung der Wahrscheinlichkeit für das Auftreten der parasitären Selbsteinschaltung besteht in der Modifikation des Gate-Treiberkreises, insbesondere des Gate-Widerstands. Mithilfe des Einsatzes eines separaten Einschalt- sowie Ausschaltwiderstands im Gate-Treiberkreis lässt sich der Effekt der Selbsteinschaltung verlangsamen, während die Schaltverluste im Ausschaltvorgang gleichzeitig gering gehalten werden. Parasitäre Kommutierungspfade treten in der Regel in jeder Inverterstruktur auf. Die Anzahl der parasitären Kommutierungspfade entspricht dabei der Anzahl an vorhandenen Schleifen

innerhalb einer Schaltstruktur. Insbesondere bei MLI-Strukturen, welche eine Parallelschaltung der Energiespeichereinheiten erlauben, können deshalb viele parasitäre Kommutierungspfade entstehen. Die Stärke des zirkulierenden Stroms nimmt dabei mit steigender Entfernung der jeweiligen Schalterzweige ab.

7.2 Erkenntnisse zur Identifikation der Parameterabhängigkeiten

Die Entwicklung einer Abhängigkeitsmatrix zeigt, dass sich der Großteil der Parameter in Form von externen Vorgaben, der internen Einstellgrößen, der Bewertungskriterien, aber auch der Zustandsvariablen in einem MLI-System gegenseitig beeinflussen. Diese Einflussfaktoren wirken sich auf die Funktionsweise des MLI aus. Liegt keine direkte Abhängigkeit vor, existiert in vielen Fällen eine indirekte Einflussnahme durch die Modifikation anderer Einstellgrößen. Um diese Wechselwirkungen klar herauszuheben, werden Parameterabhängigkeits-Cluster erstellt, in denen sukzessive auf die Abhängigkeit ausgewählter Parameter eingegangen wird.

Eine Analyse der Abhängigkeiten zwischen Einflussfaktoren, welche sich in erster Linie hardwareseitig einstellen lassen, verdeutlicht, dass die Stufenhöhe einer MLI-Ausgangsspannung im Wesentlichen von der gewählten Submodul-Konfiguration abhängt. Mit steigender Modulzahl und damit abnehmender Modulspannung erhöht sich die Granularität der Ausgangsspannung im Falle von SMLI-Systemen. Trotz der vorhandenen Asymmetrie lässt sich dieser Trend auch bei asymmetrischen Konfigurationen erkennen. Während bei SMLI-Systemen die Stufenhöhe in der Regel mit der Modulspannung gleichgesetzt werden kann, ist dies bei AMLI-Systemen nicht ohne Weiteres möglich. Die Stufenhöhen entsprechen in einem AMLI ganz allgemein der Differenzspannungen der aktivierten Module. Je nach Moduldesign können die Ausgangsspannungen bei AMLI-Systemen starke Spannungssprünge aufweisen. Dies ist insbesondere der Fall, wenn eine Vielzahl der Submodule in einem AMLI eine hohe Ausgangsspannung besitzen oder die Divergenz der vorhandenen Modulspannungen sehr hoch ist. Eine mögliche Gegenmaßnahme dieser großen Spannungssprünge ist die Implementierung sogenannter Pol-Kombinationen. Für die Generierung von Ausgangsspannungslevel werden dabei Module sowohl positiver als auch negativer Polarität kombiniert. Der dadurch entstehende zusätzliche Freiheitsgrad führt sowohl zu einer Erhöhung der Levelredundanz als auch der Anzahl an Spannungslevel. Insbesondere die Steigerung der Anzahl an Ausgangsspannungslevel äußert sich in der Regel positiv auf den resultierenden Oberwellengehalt der Ausgangsspannung. Allerdings ist die Berücksichtigung derartiger Modulkombinationen rechenintensiv und nur bei AMLI-Systemen geringer Modulzahl sinnvoll. Darüber hinaus ist die Voraussetzung für die Anwendung dieser Modulkombinationen eine Mikrotopologie, welche eine intrinsische Polaritätsumkehr aufweist. Im Falle reiner SMLI-Systeme führt die Umsetzung der Pol-Kombinationen aufgrund der identischen Modulspannungen lediglich zu einer signifikanten Erhöhung der Levelredundanz. Die Anzahl der unterschiedlichen Spannungslevel bleibt unverändert. Neben der Implementierung der Pol-Kombinationen und der damit verbundenen Erhöhung der Anzahl an Spannungslevel beeinflusst auch die Schaltfrequenz den Oberwellengehalt einer generierten MLI-Ausgangsspannung. Je höher f_{sw} gewählt wird, desto kleiner wird der entsprechende THD-Wert. Ist die Schaltfrequenz hinreichend hoch, ist der Einfluss der Stufenhöhe vernachlässigbar. Identisches gilt im umgekehrten Fall. Ist ein MLI-System in der Lage, Ausgangsspannungen hoher Granularität zu erzeugen, kann die Schaltfrequenz geringer ausfallen. Es sollte jedoch beachtet werden, dass sich bei einer geringeren Stufenhöhe bereits intrinsisch durch das gewählte Ansteuerverfahren hohe Schaltfrequenzen ergeben können. Dies muss je nach Ansteuerverfahren im Einzelfall spezifisch betrachtet und geprüft werden.

Bei einem Vergleich von SMLI- mit AMLI-Systemen fällt auf, dass unter der Annahme eines geeigneten asymmetrischen Moduldesigns mit beiden Varianten eine maximale Granularität im Ausgangsspannungsmuster erzielt werden kann. Dies führt zu entsprechend niedrigen THD-Werten. Während dies im Falle des SMLI allerdings nur mit einer Anzahl von $n_{\mathrm{c,ESU}} = 1$ Batteriezellen je Energiespeichereinheit und folglich mit einer maximalen Modulzahl umsetzbar ist, kann dies bei einem AMLI mit einer deutlich geringeren Modulzahl erreicht werden. Dieser Umstand gilt insbesondere für AMLI-Systeme, deren Designschema dem Prinzip der Exponentialfolge mit einer Basis von $b = 2$ bzw. $b = 3$ folgt.

Betrachtet man ausschließlich die Inverterkosten als Bewertungskriterium eines MLI-Systems, so erweist sich der CHB-MLI als die wirtschaftlichste Struktur unter allen untersuchten Varianten. Diese Topologie ist allerdings nicht in der Lage, Submodule zu parallelisieren, was zu einem geringeren Funktionsumfang im Vergleich zu Schaltstrukturen wie der BM3-, der MMSPC- oder der PECIN-Struktur führt. Insbesondere Mikrotopologien, die über keine inhärente Polaritätsumkehr verfügen, können aufgrund der Notwendigkeit einer externen Polaritätsumkehreinheit in der Regel nicht mit anderen Inverterstrukturen in Bezug auf die Systemkosten konkurrieren. Hierzu zählen beispielsweise die Halbbrücke oder die BM3-Struktur. Mit zunehmender Modulzahl steigt die Anzahl der Halbleiterelemente im MLI-System, was zu steigenden Inverterkosten führt. Liegen Strukturen wie die PECIN-Topologie vor, kann sich die unterschiedliche Spannungsfestigkeit der inhärenten Halbleiterschalter innerhalb eines Submoduls negativ auf die Kostenbilanz auswirken und muss berücksichtigt werden. Dieser Aspekt trifft ebenso auf die BM3-Struktur zu.

Die dominierenden Verluste in einem MLI-System stellen die Leitverluste dar. Dieser Trend verstärkt sich insbesondere mit steigender Modulzahl. Je höher die Anzahl an Submodulen, desto größer ist die Zahl erforderlicher Halbleiterelemente. Die Zahl an leitenden Komponenten in einem MLI-System nimmt zu. Der Anstieg der Modulzahl führt wiederum zu einer Reduzierung der Modulspannung. Letztere ermöglicht in der Regel die Wahl von Halbleiterelementen reduzierter Durchbruchspannung. Der Wert der geschalteten Spannung sinkt. Da die Schaltenergie neben dem Laststrom auch von der Schaltspannung abhängt und sich infolge der geringeren Stufenspannungen die Schaltfrequenzen reduzieren lassen, nehmen die Schaltverluste ab.
Mit dem Einsatz von Mikrotopologien, welche die Fähigkeit aufweisen, Energiespeichereinheiten zu parallelisieren, können im Vergleich zu Topologien, die ausschließlich eine Serienschaltung erlauben, die Leitverluste sowohl der Halbleiterelemente als auch der Energiespeichereinheiten reduziert werden. Diese Tatsache resultiert aus der Aufteilung des Laststroms auf die $n_{\mathrm{ESU,pp}}$ Energiespeichereinheiten innerhalb eines Parallelverbunds. Die Ergebnisse zeigen dabei, dass eine steigende Modulzahl aufgrund der Zunahme leitender Schaltelemente im System dem positiven Effekt der Parallelisierung und der damit verbundenen Minimierung der Leitverluste entgegenwirkt. In der Konsequenz erweisen sich MLI-Systeme mit einer mittleren Modulzahl im Bereich von ca. 6 % bis 11 %, bezogen auf die Gesamtzahl an Batteriezellen je Inverterphase, als die effizientesten Varianten.
Neben symmetrischen Konfigurationen, bei welchen die Parallelisierungsfähigkeit in vollem Umfang genutzt werden kann, verfügen auch AMLI-Systeme mit Puffermodulen über das Potential, Leitverluste einzusparen. Aufgrund der Integration einer Teilsymmetrie infolge der Verwendung von Puffermodulen lassen sich zwischen den identisch ausgelegten Submodulen Parallelverbünde bilden.
Darüber hinaus bietet ebenso die Anwendung eines entwickelten graphenbasierten Optimierungsansatzes die Möglichkeit, die Leitverluste in einem MLI-System zu minimieren. Mithilfe der Ermittlung eines optimalen Lastpfads, welcher den geringsten Gesamtwiderstand aufweist, stellen sich geringere Leitverluste ein, verglichen zu einem Betrieb, in welchem keine optimierte Pfadwahl stattfindet. Die effektive Anwendung dieses graphenbasierten Ansatzes wird am Beispiel der PECIN-Struktur demonstriert, lässt sich aber für jede andere MLI-Struktur ebenso umsetzen. Die zugrundeliegende MLI-Topologie wird dabei in einen gerichteten Graphen transformiert. Die Effizienz des Algorithmus

steigt dabei mit der Anzahl potenzieller Lastpfade bei identischem Ausgangsspannungszustand in einer MLI-Topologie.

Die Formation von Parallelverbünden besitzt einen starken Einfluss auf die resultierenden Leitverluste eines MLI. Aufgrund der Präsenz von Halbleiterelementen in einem MLI-System weicht das Verhalten eines Parallelpacks von einer idealen Parallelverschaltung ab. Die Anwendung des Helmholtz-Überlagerungsprinzips zeigt, dass die Energiespeichereinheiten am Rande eines Parallelverbunds stets die am stärksten belastetsten Spannungsquellen darstellen, während diejenigen in der Mitte den geringsten Strom sehen. Die Ursache liegt in den abweichenden Netzwerkwiderständen der Energiespeichereinheiten in einem Parallelverbund. Diese Divergenz nimmt mit sinkendem Widerstandsverhältnis der ESU-Pfade im Vergleich zu den Schalterpfaden zu. Eine hinreichend hohe Anzahl an Energiespeichereinheiten in einem Parallelverbund sowie ein geringer Widerstandsverhältnisfaktor führen im schlimmsten Fall dazu, dass die Energiespeichereinheiten in der Mitte eines Parallelverbunds keinen Stromfluss aufweisen. Während eine Gleichverteilung der Energiespeichereinheiten auf die vorhandenen Parallelverbünde zu einer Minimierung der Leitverluste verglichen mit anderen Formationsmethoden führt, begünstigt diese die Problematik der ungleichen Beanspruchung der Energiespeichereinheiten als Rand-ESUs. Dieses Randzellenproblem lässt sich durch die Anwendung eines sogenannten Radikalalgorithmus umgehen, welcher gezielt die Beanspruchungszeiten der Energiespeichereinheiten als Rand-ESUs fokussiert. Die Implementierung von Radikalen in Form von Energiespeichereinheiten, die den höchsten Ladezustand aufweisen, bildet in diesem Zusammenhang die Basis der Formation von Parallelverbünden. Um zudem die Leitverluste so gering wie möglich zu halten, wendet der Algorithmus im Anschluss an die Radikalbildung das Verfahren der Gleichverteilung an. Der Algorithmus verbindet damit den Vorteil der Gleichverteilung in Form minimaler Leitverluste mit einem gleichzeitigen Ausgleich der Ladezustände. Insbesondere die Berücksichtigung des Ladungsausgleichs ist bei einer reinen Gleichverteilung nicht gegeben.

Ergänzend zur eigentlichen Untersuchung der verschiedenen Parameterabhängigkeiten in einem MLI-System wird eine gesamtheitliche Vergleichsanalyse repräsentativer MLI-Systeme durchgeführt. Dabei wird eine Vielzahl von symmetrischen und asymmetrischen Submodul-Konfigurationen betrachtet, die jeweils mit fünf unterschiedlichen Mikrotopologien kombiniert werden. Grundlage dieser Gegenüberstellung bilden die Bewertungskriterien in Form der Systemkosten, des THD-Werts sowie der Systemverluste. Für den Vergleich werden die zugehörigen Werte in ausgewählten, charakteristischen Betriebspunkten eines Elektrofahrzeugs ermittelt. Die Ergebnisse zeigen, dass insbesondere symmetrische Konfigurationen mit einer Modulzahl im Bereich von neun bis sechsunddreißig Submodulen bei einer Gesamtzahl von 108 Batteriezellen je Inverterphase die vielversprechendsten SMLI-Systeme abbilden. Liegt der Fokus auf einer möglichst wirtschaftlichen Inverterstruktur, wird die Wahl der CHB-Struktur empfohlen. Für minimale Systemverluste und damit maximale Systemeffizienz ist der Einsatz der PECIN-Struktur besonders vorteilhaft. Dabei erweisen sich im Speziellen auch asymmetrische Konfigurationen als konkurrenzfähige MLI-Systeme, welche Puffermodule besitzen. Durch die Präsenz der Puffermodule lassen sich infolge der Realisierung von Parallelverbünden ebenso Leitverluste einsparen.

7.3 Erkenntnisse zum Vergleich mit einem konventionellen B6-Wechselrichter

Im Zuge der Untersuchung der Parameterabhängigkeiten in einem MLI-System werden in Kapitel 5 anhand der Bewertungskriterien auch die vielversprechendsten MLI-Designs abgeleitet. Eine prägnante Gegenüberstellung eines konventionellen B6-Wechselrichters mit diesen ermittelten MLI-Systemen

zeigt die wesentlichen Unterschiede der beiden Invertertechnologien auf.

Dabei zeichnen sich sowohl der identifizierte SMLI als auch der AMLI, welche beide die PECIN-Struktur als Mikrotopologie verwenden, durch eine hohe Redundanz sowie eine Bypassfähigkeit aus. Der symmetrische MLI kann dabei ohne Einschränkung die Parallelisierungsfähigkeit ausnutzen und weist in der Folge die höchste Fehlertoleranz auf. Durch den Einsatz sogenannter Puffermodule lässt sich auch bei dem betrachteten AMLI-System der Vorteil der Parallelisierungsfähigkeit in Teilen anwenden. Aufgrund der Asymmetrie der Modulspannungen ist die Fehlertoleranz des AMLI-Systems niedriger bewertet als die des SMLI. Dabei weist ein konventioneller VSI mit lediglich zwei Schaltern je Inverterphase und dem starren Batteriesystem weder eine Bypass- noch eine Parallelisierungsfähigkeit auf. Die Fehlertoleranz des VSI ist sehr gering. Infolge der stufenförmigen Ausgangsspannungen übertreffen beide MLI-Systeme den konventionellen B6-Wechselrichter hinsichtlich des jeweils erzielten THD-Werts der Ausgangsspannungen. Trotz der höheren Schaltfrequenzen, welche beim VSI typischerweise angewendet werden, kann dieser nicht mit der Präzision der MLI-Spannungen mithalten. Diese hohen Schaltfrequenzen haben zur Folge, dass der B6-Inverter höhere Schalterverluste erreicht als dies bei beiden MLI-Systemen der Fall ist. Trotz der dominanten Leitverluste, welche infolge der hohen Anzahl an inhärenten Halbleiterelementen in einem MLI-System auftreten, fallen die Schalterverluste sowohl für den SMLI als auch für den AMLI niedriger aus. Die wesentliche Überlegenheit des MLI gegenüber dem VSI hinsichtlich der Inverterverluste resultiert jedoch aus den erheblichen Leitverlusten des Batteriesystems im Falle des B6-Wechselrichters. Da sich in einem konventionellen Elektrofahrzeug mit Einsatz eines VSI das Batteriesystem aus einer starren Verschaltung der Batteriezellen zusammensetzt, erzeugt jede einzelne Zelle permanent Leitverluste. In einem MLI erfolgt die Aktivierung der Energiespeichereinheit dabei anforderungsgerecht. Jede Energiespeichereinheit wird nur dann eingesetzt, wenn diese explizit benötigt wird. Vergleicht man die Invertersysteme allerdings aus einer reinen Kostensicht, sind die beiden MLI-Systeme, welche in einem ganzheitlichen Vergleich als die vielversprechendsten identifiziert werden, wenig konkurrenzfähig mit dem konventionellen System. Aufgrund der hohen Schalterzahl und den Spezifikationen der gewählten Halbleiterelemente fallen insbesondere für den AMLI deutlich höhere Kosten im Vergleich zum VSI an.

Bei der Auswahl des passenden Invertersystems für ein Elektrofahrzeug sollte abhängig von den vorliegenden Systemforderungen entschieden werden. Trotz vielversprechender Vorteile wie geringerer Systemverluste oder eines niedrigeren Oberwellengehalts ist der konventionelle VSI aus rein wirtschaftlicher Sicht die kosteneffizienteste Wahl. Um dennoch die Vorzüge eines MLI zu nutzen, kann die CHB-Struktur in Betracht gezogen werden. Letztendlich hängt die Entscheidung darüber, welches Invertersystem optimal ist, stark von den priorisierten Bewertungskriterien und den Anforderungen an das System ab.

A Grundlegende Definitionen und Herleitungen

A.1 Mathematische Grundlagen

A.1.1 Der Binomialkoeffizient

Der Binomialkoeffizient dient zur Bestimmung der Anzahl an Möglichkeiten bei der Wahl einer bestimmten Menge an k Elementen aus einer zweiten Menge bestehend aus n Elementen [14, 15, 109]. Dieser wird oftmals auch als *'n über k'* oder *'k aus n'* bezeichnet und ist mathematisch mittels Fakultäten wie folgt definiert.

$$\binom{n}{k} = \frac{n!}{(n-k)! \cdot k!} \quad \text{für} \quad k \leq n \tag{A.1}$$

Hierbei gilt entsprechend der Übersicht von Berger, am Beispiel eines Urnenmodells dargestellt, dass die k Elemente ohne Zurücklegen aus der Menge von n Komponenten ausgewählt werden [15]. Dabei ist die Reihenfolge des Ziehens nicht von Bedeutung, die Auswahl erfolgt somit ungeordnet. Es muss der Zusammenhang $k \leq n$ erfüllt sein.

A.1.2 Die Anzahl an ganzzahligen Teilern

Gemäß den mathematischen Grundlagen, wie sie von Hardy et al. dargelegt werden, gilt für eine ganze Zahl a, dass diese *teilbar* durch eine weitere Ganzzahl b ist, sofern eine dritte Ganzzahl c existiert, für welche die Beziehung

$$a = b\,c \quad \text{mit} \quad b \neq 0 \tag{A.2}$$

erfüllt ist [53]. Dabei darf b nicht den Wert 0 annehmen. Auf Basis dieses Zusammenhangs lässt sich die Anzahl aller möglichen ganzzahligen Teiler einer ganzen Zahl a mit der Beziehung aus Gleichung (A.3) bestimmen, wobei es sich bei den Zahlen b und c weiterhin um ganze Zahlen handelt.

$$n_{\text{div}} = \text{div}\,(a) := \left\{ \sum_{c\,|\,a} 1 \;\middle|\; b\,c = a\,;\; b \in \mathbb{N} \right\} \tag{A.3}$$

$\text{div}(a)$ bildet die Menge aller ganzzahligen Teiler einer Ganzzahl a ab und wird aus Gründen der Einfachheit mit n_{div} bezeichnet. Damit spiegelt Gleichung (A.3) die Summe aller existierenden ganzzahligen Teiler einer ganzen Zahl a durch die Ganzzahl c wider.

A.1.3 Das Zustandsraummodell

Die allgemeine Form eines Zustandsraummodells ergibt sich mit

$$\dot{\boldsymbol{x}} = \mathbf{A}\boldsymbol{x} + \mathbf{B}\boldsymbol{u} \tag{A.4a}$$

$$\boldsymbol{y} = \mathbf{C}\boldsymbol{x} + \mathbf{D}\boldsymbol{u}\,. \tag{A.4b}$$

Dabei repräsentiert Matrix $\mathbf{A}$ die Zustandsmatrix, Matrix $\mathbf{B}$ die Eingangsmatrix, Matrix $\mathbf{C}$ die Ausgangsmatrix sowie Matrix $\mathbf{D}$ die Durchgangsmatrix. Die Zustandsvariablen werden in dem Zustandsvektor $\boldsymbol{x}$ zusammengefasst. Der Eingangsvektor $\boldsymbol{u}$ enthält die Eingangsvariablen, mit dem Ausgangsvektor $\boldsymbol{y}$ werden die Ausgangsvariablen abgedeckt.

A.1.4 Die Fourierreihe

In Abschnitt 2.1.3 sowie in Abschnitt 4.4.2 wird als mathematisches Hilfsmittel die Fourierreihe eingesetzt. Aus diesem Grund erfolgt an dieser Stelle eine kurze Vorstellung, wobei die wichtigsten Gleichungen angegeben werden[1].

Für eine allgemeine periodische Funktion $f(t)$ gilt folgende Beziehung.

$$f(t) = f\,(t + T) \tag{A.5}$$

Hierbei charakterisiert T die Periodendauer, d.h. den Zeitraum, nach welchem sich die periodische Funktion in identischer Weise wiederholt. Der Zusammenhang zwischen der Periodendauer T und der Frequenz einer Schwingung f sowie in der Folge mit der Winkelgeschwindigkeit ω lautet

$$\omega = 2\pi\,\frac{1}{T} = 2\pi\,f\ . \tag{A.6}$$

Grundsätzlich lässt sich jede periodische Funktion durch die unendliche Summe von Kosinus- und Sinusfunktionen darstellen. Dies liegt an der speziellen Eigenschaft einer Sinusschwingung, die in vielen technischen Anwendungen als idealisierte Funktion herangezogen wird [47] und allgemein entsprechend der Form in Gleichung (A.7) definiert werden kann.

$$f(t) = \hat{v}_{\sin}\,\sin(\omega t + \varphi)\,. \tag{A.7}$$

Durch die Variation der zugehörigen Parameter der Kreisfrequenz ω, der Phasenverschiebung φ sowie der Amplitude $\hat{v}_{\sin}$ können unendlich viele Sinusschwingungen erzeugt werden. Diese erlauben die Fourierreihenentwicklung beliebiger periodischer Funktionen $f(t)$ in eine unendliche Summe von Sinusfunktionen. Eine Voraussetzung für diese Entwicklung ist, dass $f(t)$ in Abschnitten stetig und nicht harmonisch ist. In der Literatur existieren verschiedene Darstellungsformen der Fourierreihe [91]. Eine gängige Variante ist die Schreibweise gemäß Gleichung (A.8), die sowohl Kosinus- als auch Sinuskomponenten umfasst.

$$f(t) = a_0 + \sum_{k=1}^{+\infty}\Big[a_k\cos(k\,\omega_0 t) + b_k\sin(k\,\omega_0 t)\Big] \tag{A.8}$$

ω_0 charakterisiert die fundamentale Kreisfrequenz. Über den Gleichanteil a_0 wird der arithmetische Mittelwert von $f(t)$ berücksichtigt. a_k sowie b_k repräsentieren die Fourierkoeffizienten. Dabei spiegelt a_k im Speziellen die Amplituden der Kosinusanteile und b_k die der Sinuskomponenten wider.

[1] Hinweis: Die nachfolgenden Erläuterungen basieren auf den Quellen [47, 81, 90, 91, 148].

In beiden Fällen handelt es sich um reelle Funktionen. Die Definitionen des Gleichanteils sowie der Fourierkoeffizienten lauten gemäß Lange wie folgt [90].

$$a_0 = \frac{1}{T_0} \int_0^{T_0} f(t)\, \mathrm{d}t \tag{A.9a}$$

$$a_k = \frac{2}{T_0} \int_0^{T_0} f(t)\, \cos(k\,\omega_0 t)\, \mathrm{d}t; \qquad k \in \mathbb{N} \tag{A.9b}$$

$$b_k = \frac{2}{T_0} \int_0^{T_0} f(t)\, \sin(k\,\omega_0 t)\, \mathrm{d}t; \qquad k \in \mathbb{N} \tag{A.9c}$$

In den Erläuterungen zum SHE-Verfahren in Abschnitt 2.1.3 wurde bereits dargelegt, dass lediglich die Grundwelle, die der fundamentalen Harmonischen entspricht, zur tatsächlich nutzbaren Leistungsübertragung beiträgt und die angeschlossene Last mit Wirkleistung versorgt. Alle weiteren Harmonischen, die im Spektrum von $f(t)$ enthalten sind, erzeugen hingegen Blindleistung. Die entstehenden Verluste gehen in Form von Wärme oder Rauschen verloren, wie von Kim erläutert [81]. Zur Veranschaulichung dieses Sachverhalts kann die Formel für die Fourierreihe aus Gleichung (A.8) gemäß des Autors umgeformt werden. Dabei erfolgt eine explizite Aufteilung in den Gleichanteil f_{DC}, die fundamentale Komponente (Grundschwingung) $f_1(t)$ sowie die harmonische Komponente $f_k(t)$ der periodischen Funktion $f(t)$.

$$f(t) = \underbrace{a_0}_{f_{\mathrm{DC}}} + \underbrace{a_1 \cos(\omega_0 t) + b_1 \sin(\omega_0 t)}_{f_1(t)} + \underbrace{\sum_{k=2}^{+\infty} \left(a_k \cos(k\,\omega_0 t) + b_k \sin\left(k\,\omega_0 t\right)\right)}_{f_k(t)} \tag{A.10}$$

Die Visualisierung dieser Zerlegung in die drei Summanden aus Gleichung (A.10) ist skizzenhaft in Abbildung A.1 gezeigt. Entsprechend den Erläuterungen repräsentiert der Gleichanteil $f_{\mathrm{DC}} = a_0$

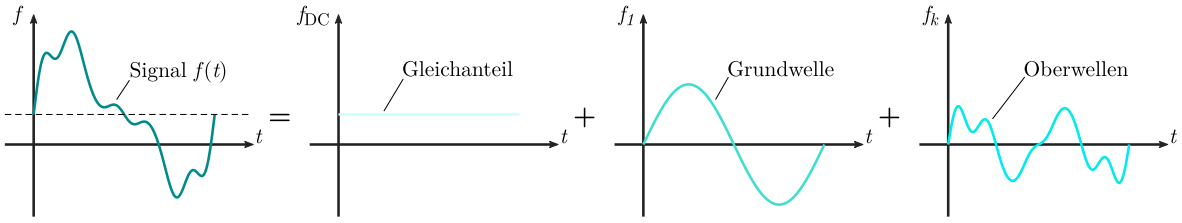


Abbildung A.1: Verbildlichte Darstellung der Fourieranalyse. Die Abbildung wurde selbst erstellt in Anlehnung an die Visualisierung von Kim [81]. Es wurden eigene Ergänzungen vorgenommen.

den arithmetischen Mittelwert und damit die vertikale Verschiebung von $f(t)$. In vielen Fällen existiert allerdings kein vertikaler Offset, weshalb der zugehörige Summand aus Gleichung (A.10) entfällt. Bei der achsensymmetrischen Kosinusfunktion handelt es sich um eine gerade, bei der punktsymmetrischen Sinusfunktion um eine ungerade Funktion. Allgemein gilt für Funktionen mit diesen Eigenschaften die Definition aus Gleichung (A.11).

$$\textbf{Gerade Funktion:} \qquad f(t) = f(-t) \tag{A.11a}$$

$$\textbf{Ungerade Funktion:} \qquad f(t) = -f(-t)\,. \tag{A.11b}$$

Demzufolge bilden die Kosinuskomponenten in Gleichung (A.8) die geraden Anteile einer periodischen

Funktion $f(t)$ und die Sinuskomponenten die ungeraden Anteile ab. Handelt es sich bei $f(t)$ selbst um eine gerade oder ungerade Funktion, vereinfacht sich Gleichung (A.8), da die jeweiligen komplementären Summanden entfallen. Im Detail gelten folgende Vereinfachungen für die Fourierkoeffizienten.

$$f(t) \equiv f(-t): \qquad a_0 = 0 \cap b_k = 0 \tag{A.12a}$$

$$f(t) \equiv -f(-t): \qquad a_0 = 0 \cap a_k = 0 \tag{A.12b}$$

Zudem genügt es aufgrund der vorliegenden Symmetrie, nur einen Teil der gesamten Periodenlänge T zu betrachten, wodurch sich die Berechnung der Integrale aus Gleichung (A.9) vereinfacht.
Diese Zerlegung eines Signals in seine einzelnen Bestandteile und dessen Transformation vom Zeitbereich in den Frequenzbereich wird als *Fouriertransformation* bezeichnet.

A.1.5 Analytische Bestimmung des Oberwellengehalts einer Rechteckfunktion

Um die Verwendung der Matlab-FFT zu legitimieren, wird in Abschnitt 4.4.2.3 eine Gegenüberstellung zwischen der numerischen Vorgehensweise gemäß den Beschreibungen aus Abschnitt A.1.6 sowie der analytischen Bestimmung auf Basis der in Anhang A.1.4 erläuterten Fourierreihe gezeigt. Hierzu wird das Beispiel der Rechteckfunktion herangezogen, welche innerhalb einer Referenzperiode T_{ref} wie folgt definiert ist.

$$f(t) = \begin{cases} 1 & \text{für} \quad 0 \leq t < \dfrac{T_{\text{ref}}}{2} \\ -1 & \text{für} \quad \dfrac{T_{\text{ref}}}{2} \leq t < T_{\text{ref}} \end{cases} \tag{A.13}$$

Mit dem Zusammenhang aus Gleichung (A.13) erfüllt die Rechteckfunktion die Bedingung aus Gleichung (A.5) und ist damit periodisch. Abbildung A.2 visualisiert den zugehörigen Verlauf. In jeder Periode weist die Rechteckfunktion einen Puls mit dem Wert $+1$ sowie einen Puls mit dem Wert -1 auf. Um den THD-Wert dieser Funktion analytisch zu bestimmen, sind die Fourierkoeffizienten gemäß der Beziehungen aus Gleichung (A.9) erforderlich, welche in ihrer Summe basierend auf Gleichung (A.8) der Rechteckfunktion entsprechen. Wie in Abbildung A.2 erkennbar, handelt es sich bei

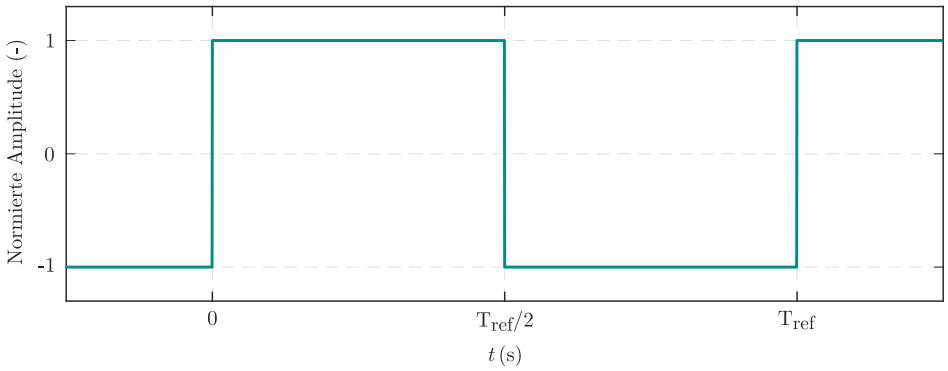


Abbildung A.2: Reckteckfunktion.

der Rechteckfunktion um eine ungerade Funktion, da der Zusammenhang aus Gleichung (A.11b) zutrifft. Somit kann die Vereinfachung aus Gleichung (A.12b) angewendet werden. In der Folge nehmen sowohl der Gleichanteil a_0 als auch die Amplituden der Kosinusanteile a_k den Wert Null an. Darüber

hinaus erfüllt die Rechteckfunktion die Bedingung $f(t) = -f\left(t + \frac{T_{\mathrm{ref}}}{2}\right)$ und weist damit eine Spiegelsymmetrie der beiden Hälften einer Periode auf. Auf Basis der Erläuterungen von Guicking ergibt sich dadurch zudem, dass alle geraden, ganzzahligen Fourierkoeffizienten b_k mit $k \in \mathbb{N}$ ebenso null sind [47]; d.h. $b_k = 0$ für $k = 2, 4, 6, \ldots$ Dieser Umstand führt zu der Vereinfachung in Gleichung (A.14).

$$b_k = \frac{4}{T_{\mathrm{ref}}} \int_0^{\frac{T_{\mathrm{ref}}}{2}} f(t)\, \sin(k\,\omega_0 t)\, \mathrm{d}t \quad \text{für} \quad k \,=\, 1,\, 3,\, 5,\, \ldots \,\cap\, k \,\in\, \mathbb{N} \tag{A.14}$$

Es müssen folglich lediglich die ungeraden Fourierkoeffizienten b_k ermittelt werden. Aus Gründen der Einfachheit sei $T_{\mathrm{ref}} = 2\,\pi$ angenommen. Damit ergibt sich durch die Anwendung von Gleichung (A.6) aus $T_{\mathrm{ref}} = \frac{1}{f_{\mathrm{ref}}}$, dass $\omega_0 = 1$ ist. Die Berechnung der Fourierkoeffizienten b_k liefert folgendes Ergebnis.

$$\begin{aligned}
\underbrace{b_k}_{k=1,\,3,\,5,\,\ldots} &= \frac{4}{T_{\mathrm{ref}}} \int_0^{\frac{T_{\mathrm{ref}}}{2}} f(t)\, \sin(k\,\omega_0 t)\, \mathrm{d}t = \frac{2}{\pi} \int_0^{\pi} 1\, \sin(k\,1\,t)\, \mathrm{d}t \\
&= \frac{2}{k\,\pi}\Big[-\cos\left(k\,t\right)\Big]_0^{\pi} = \frac{2}{k\,\pi}\Big[-\cos\left(k\,\pi\right) + \cos\left(k\,0\right)\Big] = \frac{2}{k\,\pi}\Big[1 + 1\Big] \\
&= \frac{4}{k\,\pi}
\end{aligned} \tag{A.15}$$

Unter Berücksichtigung dieses Zusammenhangs lautet die Fourierdarstellung einer Rechteckfunktion mit der Definition gemäß Gleichung (A.15) wie in (A.16) angegeben.

$$f(t) = \underbrace{\frac{4}{\pi}}_{f_1(t)} + \underbrace{\sum_{k=3,\,5,\,7\,\ldots}^{+\infty} \left(\frac{4}{k\,\pi}\right)}_{f_k(t)} \tag{A.16}$$

Dabei sind in Gleichung (A.16) die fundamentale Komponente sowie die ungeraden, ganzzahligen Oberschwingungen explizit gekennzeichnet [47, 81]. Die Kenntnis der Fourierkoeffizienten erlaubt die Berechnung des THD-Werts der Rechteckfunktion. Wendet man Gleichung (4.48) an und berücksichtigt nach der Vorgabe der Norm *IEEE Std 519-2014* lediglich die ersten 50 Harmonischen, ergibt sich für den THD-Wert der Zahlenwert [70]

$$\begin{aligned}
\mathrm{THD} &= \sqrt{\frac{\sum_{k\,>\,2}^{\infty} v_{k,\mathrm{RMS}}^2}{v_{1,\mathrm{RMS}}^2}} \cdot 100\,\% \underbrace{\rightarrow}_{\textit{IEEE Std 519-2014}} \mathrm{THD} = \sqrt{\frac{\sum_{k=3,\,5,\,7,\,\ldots}^{50} \left(\frac{4}{k\,\pi}\right)^2}{\left(\frac{4}{\pi}\right)^2}} \cdot 100\,\% = \\
&= \sqrt{\sum_{k=3,\,5,\,7,\,\ldots}^{\infty} \left(\frac{1}{k}\right)^2} = 47,30\,\%\,.
\end{aligned} \tag{A.17}$$

A.1.6 Bestimmung des Total-Harmonic-Distortion-Werts auf Basis der Matlab-Fast Fourier Transformation

Die nachfolgenden Beschreibungen basieren vorrangig auf den Quellen [47, 90, 91, 169]. Wie in Abschnitt 4.4.2 dargelegt, sind zur Ermittlung des THD-Werts eines Signals v die zugehörigen harmonischen Komponenten und somit die Spektralanteile erforderlich. Ist das zu analysierende Signal kontinuierlich und besitzt eine unendliche Länge, erfolgt diese Berechnung in der Regel mit der Fourierreihe, welche in Abschnitt A.1.4 erläutert wird. Die in dieser Arbeit durchgeführten Analysen und Untersu-

chungen werden großteils mit dem von *MathWorks* entwickelten Programm *Matlab* realisiert. Dabei liegen die Signale in endlicher Länge und zeitdiskret vor. Die Anwendung der Fourierreihe und die zugehörige Reihenentwicklung zur Bestimmung der Fourierkoeffizienten ist deshalb nicht ohne Weiteres möglich. Aus diesem Grund kommt die DFT zur Anwendung, die auf diskret abgetastete Signale endlicher Länge angewendet werden kann [90]. Da die DFT sehr eng mit der Fouriertransformation zusammenhängt und gewissermaßen deren numerische Version darstellt, wird diese auch als *diskrete Fouriertransformation* bezeichnet [169]. Das zu analysierende Signal endlicher Länge liegt sowohl im Zeit- als auch nach der DFT im Frequenzbereich diskret vor. Die DFT erlaubt die Bestimmung der Spektralanteile und damit ebenso des zugehörigen Frequenzspektrums des zu analysierenden, zeitdiskreten Signals. Bei der DFT wird die Signalperiode des Signals $f[n]$ im Zeitbereich in ein Frequenzspektrum mit identischer Anzahl an Spektrallinien transformiert. Die Ursache hierfür begründet sich aus der Periodizität der Exponentialfunktion, welche in der allgemeinen Definition der DFT enthalten ist [90, 169].

$$F[k] = \sum_{n=0}^{N_{\text{samples}}-1} f[n] \cdot e^{-j\frac{2\pi k n}{N_{\text{samples}}}} \tag{A.18}$$

$F[k]$ repräsentiert die diskrete Fourier-Transformierte im Frequenzbereich eines diskreten Signals $f[n]$ im Zeitbereich, welches aus N_{samples} Datenpunkten besteht, wobei $n = \{0 \ldots N_{\text{samples}} - 1\}$ gilt. Wie bereits erwähnt, weist das DFT-Pendant im Frequenzbereich dieselbe Signallänge N_{samples} mit $k = \{0 \ldots N_{\text{samples}} - 1\}$ auf.

Wie erwähnt, wird die DFT in der Regel auf periodische Signale angewendet, die endlicher Länge sind. Gemäß Werner benötigt die DFT jedoch einen sehr hohen Rechenaufwand, da die gegebene Summe in Gleichung (A.18) für jedes k-te Element in $F[k]$ berechnet werden muss [169]. In technischen Anwendungen kommt deshalb vor allem die FFT zum Einsatz, welche als beschleunigte Version der DFT den Rechenaufwand verringert und damit die Berechnungszeit reduziert [90, 169]. Eine effiziente Möglichkeit zur Bestimmung der Spektralkomponenten und des Frequenzspektrums eines zeitdiskreten Signals in *Matlab* stellt Werner vor [169]. Der Autor verwendet die Matlab-Funktion ‚fft(x)'. Hierzu wird zunächst ein beliebiges Signal erzeugt, welches beispielhaft analysiert werden soll. Dabei handelt es sich um ein zeitdiskretes Signal der Länge N_{samples} mit $n = \{0 \ldots N_{\text{samples}} - 1\}$. Anschließend erfolgt die FFT mittels der Funktion ‚fft(x)'. Um ein Frequenzspektrum der Form aus Abbildung 2.7 zu erhalten, muss das FFT-Ergebnis mit den resultierenden komplexen Koeffizienten weiter verarbeitet werden. Da die positiven und negativen Koeffizienten abgesehen von ihrem Vorzeichen in ihrer Amplitude identisch sind, ist es ausreichend, lediglich die Hälfte des Frequenzspektrums zu betrachten. Allerdings tragen sowohl die positiven als auch die negativen Fourierkoeffizienten zur Signaldarstellung und in der Folge zum Energiegehalt bei, weshalb bei einer reinen Betrachtung der positiven Koeffizienten die Inhalte der negativen trotzdem berücksichtigt werden müssen. Dies lässt sich durch eine Multiplikation der Amplituden der positiven Frequenzen mit dem Faktor zwei realisieren. Das erhaltene Spektrum wird im Anschluss daran auf die Amplitude der fundamentalen Komponente normiert. Wie die Erläuterungen in Abschnitt 4.4.2.3 zeigen, ist diese Vorgehensweise hinreichend genau und wird als Grundlage für die Ermittlung der Fourierkoeffizienten und des Frequenzspektrums verwendet. Die Berechnung des darauf basierenden THD-Werts erfolgt gemäß (4.49). Es sei darauf hingewiesen, dass sich bei Werner in der Berechnung des Oberwellengehalts ein Fehler befindet (siehe [169], Seite 55). Dieser besteht darin, dass in der Berechnungsformel des THD-Werts der harmonische Kontent nicht auf den Wert der Grundwelle, sondern auf den gesamten Oberwellengehalt bezogen wird.

Die Implementierung der Fouriertransformation in Form der FFT bietet die Vorteile, dass diese auf numerische Signale angewendet werden kann und zudem sehr effizient ist. Ihre Verwendung kann jedoch dazu führen, dass nicht nur Vielfache der Grundfrequenz f_{ref} einen Beitrag im resultierenden Fre-

quenzspektrum liefern, sondern ebenso nicht erwünschte zusätzliche Spektralkomponenten auftreten. Um diesen sogenannten *Leakage-Effekt* zu verringern, kann folgende Gleichung angewendet werden.

$$\frac{N_{\text{samples}}\, f_0}{F_s} \in \mathbb{N} \tag{A.19}$$

Diese Maßnahme umgeht die Auswirkungen des genannten Effekts und vermeidet folglich die Verschiebung des harmonischen Inhalts auf nicht ganzzahlige Vielfache der Grundfrequenz.

A.1.7 Grenzwertempfehlungen für den Strom-Oberwellengehalt

In Abschnitt 4.4.2 sind gemäß der Norm *IEEE Std 519-2014* empfohlene Grenzwerte für die harmonischen Komponenten von Spannungssignalen für unterschiedliche Systemspannungen aufgelistet [70]. Es existieren ebenso Grenzwertempfehlungen für auftretende Ströme. Anders als bei den Vorgaben für die Spannungssignale, gibt die IEEE-Richtlinie eine deutlich spezifischere Aufschlüsselung der maximalen Verzerrungen für die jeweiligen harmonischen Komponenten der Stromsignale vor. Da die Systemspannungen in einem BEV einige Hundert Volt betragen, können die Grenzwertvorgaben der Ströme für den Spannungsbereich von $120\,\text{V} < U \leq 69\,\text{kV}$ verwendet werden, welche sich in analoger Weise zu Tabelle 4.4 in Tabelle A.1 finden. Dabei gelten die Vorgaben lediglich für Harmonische ungerader Ordnung. Werte für die geradzahligen Harmonischen entsprechen einem Anteil von 25 % der Grenzwerte für die höher liegenden ungeraden Harmonischen. Ein weiterer Unterschied im Vergleich zu den Empfehlungen für Spannungssignale liegt darin, dass nicht der THD vorgegeben wird, sondern der sogenannte TDD-Wert. Dieser bezieht sich nicht auf die fundamentale Komponente eines auftretenden Signals, sondern auf die Grundwelle des maximal geforderten Stroms I_L in dem System am PCC. Alle angegebenen Prozentwerte in Tabelle A.1 sind dabei auf diesen Wert bezogen [70]. Die geltenden Limitierungen ergeben sich auf Basis des Verhältnisses des maximal vorherrschenden Kurzschlussstroms I_SC am PCC zum maximal geforderten Strom I_L.

Tabelle A.1: Auszug aus den IEEE-Empfehlungen *IEEE Std 519-2014* (siehe Tabelle 2, Seite 19) für die maximalen Stromkomponenten der Harmonischen, deren Frequenz ganzzahligen Vielfachen der Grundfrequenz entsprechen, sowie dem Strom-TDD-Wert [70]. Die Werte gelten für den PCC.

Maximaler Stromverzerrungswert bezogen auf den maximal geforderten Strom I_L						
	Individuelle ungerade Harmonische k					
$x = I_\text{SC}/I_\text{L}$	$3 \leq k < 11$	$11 \leq k < 17$	$17 \leq k < 23$	$23 \leq k < 35$	$35 \leq k \leq 50$	TDD
$x < 20$	4,0 %	2,0 %	1,5 %	0,6 %	0,3 %	5,0 %
$20 < x < 50$	7,0 %	3,5 %	2,5 %	1,0 %	0,5 %	8,0 %
$50 < x < 100$	10,0 %	4,5 %	4,0 %	1,5 %	0,7 %	12,0 %
$100 < x < 1000$	12,0 %	5,5 %	5,0 %	2,0 %	1,0 %	15,0 %
$x > 1000$	15,0 %	7,0 %	6,0 %	2,5 %	1,4 %	20,0 %

Abkürzungen (englisch): PCC = point of common coupling, TDD = total demand distortion.

A.1.8 Ergänzungen zur Redundanz in einem symmetrischen Multilevel-Inverter

In Abschnitt 4.3.2.2 finden sich die Beschreibungen zu den Redundanzen in einem SMLI-System, wenn ausschließlich Modulkombinationen erlaubt sind, bei welchen die Module eine identische Polung aufweisen. In diesem Abschnitt werden ergänzend die Zusammenhänge für die Ermittlung der Redundanzen unter der Voraussetzung der Implementierung von Pol-Kombinationen und damit der

Berücksichtigung von Modulkombinationen divergierender Modulpolarität behandelt. Für die Erläuterungen zu dieser Fallbetrachtung werden zwei weitere Variablen eingeführt, die sich abhängig von der Polung der Module unterscheiden. Die Zahl an Submodulen, die bei einem aktuellen Wert von l_{act} eine positive Polung aufweisen und somit einen positiven Spannungsbeitrag zur SMLI-Ausgangsspannung liefern, werden mit $P(l_{\mathrm{act}})$ indiziert. Die Zahl negativ gepolter Submodule wird durch $N(l_{\mathrm{act}})$ repräsentiert. Aus Gründen der Einfachheit werden $P(l_{\mathrm{act}})$ sowie $N(l_{\mathrm{act}})$ auch als die Anzahl positiver und negativer Module bei einem vorliegenden Spannungslevel l_{act} bezeichnet. Für jedes aktuell geforderte Spannungslevel l_{act} existiert eine bestimmte Anzahl an Modulkombinationen $n_{\mathrm{comb}}(l_{\mathrm{act}})$. Diese setzen sich aus einer bestimmten Anzahl an positiven und negativen Modulen, $P(l_{\mathrm{act}})$ sowie $N(l_{\mathrm{act}})$, zusammen. Tabelle A.2 listet hierzu in allgemeiner Weise alle vorhandenen $n_{\mathrm{comb}}(l_{\mathrm{act}})$ Modulkombinationen auf, die zur Erzeugung eines spezifischen l_{act} herangezogen werden können. Wie in Abschnitt 4.3.2.2 eingeführt, beziehen sich die Erläuterungen ausschließlich auf positive Spannungslevel, d.h. $l_{\mathrm{act}} > 0$. Diese Vereinfachung gilt ohne Einschränkung der Allgemeinheit und kann aufgrund der Punktsymmetrie in trivialer Weise auf die negativen Pendants ($l_{\mathrm{act}} < 0$) angewendet werden.

Tabelle A.2: Liste aller möglichen Modulkombinationen n_{comb} eines spezifisch zu bildenden Spannungslevels l_{act} mit den zugehörigen Zahlen positiver ($P(i)$) sowie negativer Module ($N(i)$) für jede i-te Modulkombination. Die gegebenen Werte entsprechen den Ergebnissen für positive Spannungslevel l_{act}. Für die Betrachtung negativer Spannungslevel können die Werte von $P(i)$ sowie $N(i)$ ausgetauscht werden.

Kombination n_{comb} (i)	**Anzahl positiver Module $P(i)$**	**Anzahl negativer Module $N(i)$**
$\#\,1$	$l_{\mathrm{act}}+1$	1
$\#\,2$	$l_{\mathrm{act}}+2$	2
$\vdots$	$\vdots$	$\vdots$
$\#\,n_{\mathrm{comb}}\,(l_{\mathrm{act}})$	$\left\lfloor \frac{n_{\mathrm{SM,SMLI}}+l_{\mathrm{act}}}{2} \right\rfloor$	$n_{\mathrm{SM,SMLI}} - P\,(n_{\mathrm{comb}}) - 1$

Unter der Voraussetzung divergierender Module und der Anwendung der ermittelten Werte aus Tabelle A.2 kann für die Anzahl an redundanten Kombinationen eines geforderten Spannungslevels l_{act} folgender Zusammenhang abgeleitet werden.

$$\begin{aligned} n^{\mathrm{Pol}}_{\mathrm{red,SMLI}} &= \sum_{i}^{n_{\mathrm{comb}}} \binom{n_{\mathrm{SM,SMLI}}}{P(i)} \cdot \binom{n_{\mathrm{SM,SMLI}} - P(i)}{N(i)} - 1 \\ &= \sum_{i}^{n_{\mathrm{comb}}} \left[\frac{n_{\mathrm{SM,SMLI}}!}{\big(n_{\mathrm{SM,SMLI}} - P(i)\big)! \cdot P(i)!} \cdot \frac{\big(n_{\mathrm{SM,SMLI}} - P(i)\big)!}{\big(n_{\mathrm{SM,SMLI}} - P(i) - N(i)\big)! \cdot N(i)!} \right] - 1 \\ &= \sum_{i}^{n_{\mathrm{comb}}} \frac{n_{\mathrm{SM,SMLI}}!}{P(i)! \cdot \big(n_{\mathrm{SM,SMLI}} - P(i) - N(i)\big)! \cdot N(i)!} - 1 \end{aligned} \tag{A.20}$$

Um die Gesamtsumme an Redundanzen für ein zu erzeugendes Spannungslevel l_{act} in einem SMLI-System zu ermitteln, müssen die beiden Werte aus Gleichung (4.16) sowie Gleichung (A.20) addiert werden. Es resultiert die Beziehung in Gleichung (A.21).

$$n_{\mathrm{red,SMLI}} = n^{\mathrm{NoPol}}_{\mathrm{red,SMLI}} + n^{\mathrm{Pol}}_{\mathrm{red,SMLI}} \tag{A.21}$$

Gleichung (A.21) berücksichtigt damit alle existierenden Modulkombinationen, welche sowohl divergierende als auch ausschließlich identische Modulpolungen aufweisen.
In Analogie zu Abbildung 4.3 ist in Abbildung A.3 die Zahl an Redundanzen über alle existierenden positiven Spannungslevel l_{act} für ein System bestehend aus $n_{\mathrm{c,tot}} = 63$ dargestellt. Es finden sich folglich erneut sechs unterschiedliche SM-Konfigurationen auf Basis von $\mathrm{div}\,(n_{\mathrm{c,tot}}) = \{1;\,3;\,7;\,9;\,21;\,63\}$.

Zu Vergleichszwecken sind neben den Pol-Redundanzzahlen zudem die der NoPol-Variante $n_{\mathrm{red,SMLI}}^{\mathrm{NoPol}}$ visualisiert, welche bereits in Abbildung 4.3 dargestellt sind.

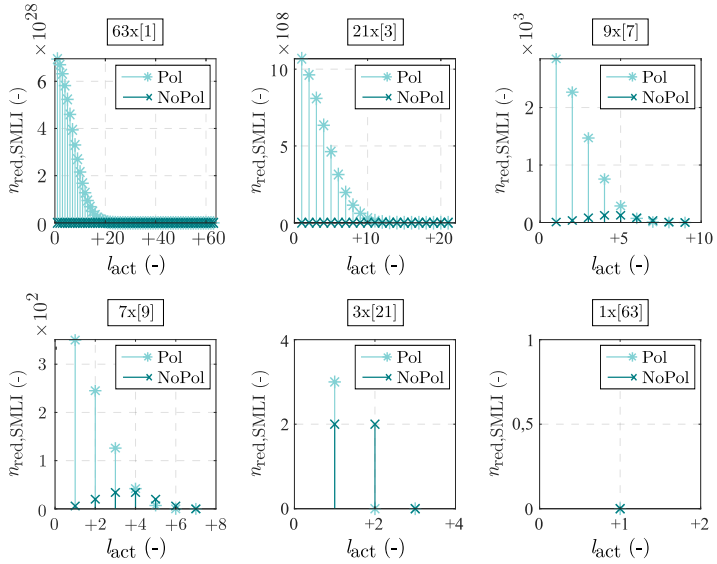


Abbildung A.3: Anzahl an Levelredundanzen bei einer gegebenen Gesamtzahl von $n_{\mathrm{c,tot}} = 63$ Batteriezellen unter der Berücksichtigung divergierender Modulpolung. Die Nomenklatur $n_{\mathrm{SM,SMLI}}\,x\,[n_{\mathrm{c,ESU}}]$ repräsentiert einen SMLI mit insgesamt $n_{\mathrm{SM,SMLI}}$ Modulen, wobei jedes Modul aus $n_{\mathrm{c,ESU}}$ Lithium-Ionen-Batteriezellen besteht.

Betrachtet man den Bereich von l_{act} für

$$l_{\mathrm{act}} < \frac{n_{\mathrm{SM,SMLI}}}{2}\,, \tag{A.22}$$

so wird deutlich, dass $n_{\mathrm{red,SMLI}}^{\mathrm{Pol}}$ signifikant größere Werte annimmt als dies für die NoPol-Pendants der Fall ist. Für den Bereich höherer Spannungslevel mit

$$l_{\mathrm{act}} \geq \frac{n_{\mathrm{SM,SMLI}}}{2} \tag{A.23}$$

stimmen die beiden Redundanzwerte überein. Das Verlaufsbild von $n_{\mathrm{red,SMLI}}^{\mathrm{Pol}}$ ergibt sich aus der Tatsache, dass mit steigendem l_{act} und damit höheren Spannungsforderungen am Eingang des MLI die Zahl vorhandener Modulkombinationen, welche Module abweichender Polung beinhalten, zur Bildung von l_{act} abnimmt. Für die Pol-Kombinationen müssen in der Regel mehr Submodule aktiviert werden als dies bei den Modulkombinationen identischer Modulpolung der Fall ist. Die abnehmende Tendenz von $n_{\mathrm{red,SMLI}}^{\mathrm{Pol}}$ für steigende l_{act} ist bei allen sechs gezeigten SM-Konfigurationen in Abbildung A.3 eindeutig erkennbar. Im Gegensatz zu $n_{\mathrm{red,SMLI}}^{\mathrm{NoPol}}$ stellt sich damit kein globales Maximum im Bereich von $l_{\mathrm{act}} = \frac{n_{\mathrm{SM,SMLI}}}{2}$ ein.

A.1.9 Beschreibung der Pareto-Optimierung

Liegt in einem Optimierungsproblem nicht nur ein Ziel vor, sondern sollen mehrere Zielvariablen optimiert werden, handelt es sich um ein sogenanntes *multikriterielles Optimierungsproblem* bzw. eine *Mehrzieloptimierung*. Auch die Entwicklung eines MLI bildet ein derartiges Optimierungsproblem ab. In vielen Anwendungsfällen, wie auch im Falle eines MLI-Designs, verhalten sich einige Zielvariablen gegenläufig. Dies bedeutet im Speziellen, dass die Verbesserung eines Optimierungsziels zur Verschlechterung eines anderen führt. Es handelt sich damit um ein zielkonträres Optimierungsproblem.

Ein Beispiel hierfür ist das Bestreben, den THD-Wert einer MLI-Ausgangsspannung durch eine Erhöhung der Schaltfrequenz zu minimieren. Aufgrund der erhöhten Anzahl an Schaltoperationen steigen auch die Schaltverluste des Systems an. Folglich führt die Verbesserung des THD-Werts gleichzeitig zu einer Verschlechterung der Verlustbilanz. Es besteht eine Zieldiskrepanz zwischen den Schaltverlusten und dem THD-Wert. Diese Gegenläufigkeit lässt sich zwischen vielen Einflussfaktoren beim MLI-Design erkennen. In derartigen Fällen kann eine sogenannte *Pareto-Optimierung* herangezogen werden. Dieses Lösungsprinzip verkörpert den Ansatz, eine Menge an optimalen Lösungen zu finden. Eine Mehrzieloptimierung lässt sich allgemein wie folgt darstellen.

$$\underbrace{\min}_{\mathbf{o}\,\in\,\Omega_{\mathrm{PO}}} \Big\{ \mu_1(\mathbf{o}),\, \mu_2(\mathbf{o}),\, \ldots,\, \mu_i(\mathbf{o}),\, \ldots,\, \mu_n(\mathbf{o}) \Big\} \tag{A.24}$$

Dabei repräsentieren $\mu_1(\mathbf{o})$ bis $\mu_n(\mathbf{o})$ die n Zielfunktionen, die optimiert werden sollen. Die Grundlage der Optimierung stellt der Vektor $\mathbf{o} = \{o_1 \ \ldots \ o_{n_{\mathrm{opt}}}\}$ dar, welcher die n_{opt} veränderbaren Optimierungsvariablen enthält. Über die Adaption dieser Variablen lassen sich die Zielfunktionen modifizieren und in der Folge optimieren. Mit Ω_{PO} wird der gesamte mögliche Werteraum der Optimierungsvariablen abgebildet. Alle Wertepaare $(o_1;\, o_2;\, \ldots;\, o_{n_{\mathrm{opt}}})$ müssen innerhalb dieses Mengenraums liegen. Es besteht damit die Bedingung $\mathbf{o} \overset{!}{\in} \Omega_{\mathrm{PO}}$. Ziel der Pareto-Optimierung ist es, eine sogenannte *Pareto-Front* zu ermitteln, welche sich aus allen optimalen Vektoren $\mathbf{o}^*$ zusammensetzt. Dabei muss auch für diese optimalen Vektoren der Zusammenhang $\mathbf{o}^* \overset{!}{\in} \Omega_{\mathrm{PO}}$ erfüllt sein. Für alle optimalen Punkte der Pareto-Front gilt, dass keine einzige Zielfunktion $\mu_i(\mathbf{o})$ aller n Zielfunktionen verbessert werden kann, ohne eine andere zu verschlechtern. Ein Vektor $\mathbf{o}^*$ ist ein Pareto-optimaler Punkt und Teil der Pareto-Front, wenn und nur wenn kein anderer Vektor $\mathbf{o}$ existiert, der folgende Beziehung erfüllt.

$$\mu_i(\mathbf{o}) \,\leq\, \mu_i(\mathbf{o}^*) \quad \forall\, i \,\in\, \{1 \ \ldots \ n\} \tag{A.25}$$

Die Ermittlung der Pareto-optimalen Wertepaare erfolgt in einem sukzessiven Iterationsprozess, wobei die Bedingung für jedes Element von Ω_{PO} geprüft wird. Ist die Bedingung aus Gleichung (A.25) erfüllt, wird dieses Wertepaar als *dominant* bezeichnet. Andernfalls liegt ein nicht-dominantes Wertepaar und damit kein Pareto-optimaler Punkt vor.

A.1.10 Systemgleichungen des Ersatzschaltbilds eines MLI-Phasenstrangs

Im Folgenden werden die Systemgleichungen für das in Abschnitt 3.6 eingeführte Ersatzschaltbild eines PECIN-MLI-Strangs hergeleitet. Die Gleichungen basieren auf der Struktur aus Abbildung 3.5. Wie angegeben, bildet die Basis der Modellierung von Parallelverbünden das Modell von Bruen et al. [16]. Für die Herleitung wird ein p-ter Parallelverbund bestehend aus einer beliebigen Anzahl von $n_{\mathrm{ESU,pp},p}$ Batteriezellen angenommen.

A.1.10.1 Zustandsraummodell einer Energiespeichereinheit

Gemäß den Beschreibungen in Abschnitt 2.2.2 entspricht die Definition einer Energiespeichereinheit der Serienschaltung von $n_{\mathrm{c,ESU}}$ Lithium-Ionen-Batteriezellen. Unter Einbezug von Abbildung 2.12 lässt sich in Analogie zu Gleichung (2.26) die Klemmenspannung der k-ten ESU mittels Gleichung (A.26) berechnen.

$$u_{\mathrm{ESU},k} = u_{\mathrm{OC},k} + R_{0,k}\, i_{\mathrm{ESU},k} + \sum_{n=1}^{n_{\mathrm{RC}}} u_{\mathrm{p},k,n} \tag{A.26}$$

Dabei repräsentiert $u_{\mathrm{p},k,n}$ die Spannung über dem n-ten RC-Glied in ESU_k. $i_{\mathrm{ESU},k}$ beschreibt den Strom durch ESU_k. Auf Basis der grundlegenden elektrischen Zusammenhänge stellt die Parallelschaltung aus einem Widerstand und einer Kapazität ein Verzögerungsglied 1. Ordnung dar. Zur Beschreibung des n-ten RC-Glieds der k-ten Energiespeichereinheit lässt sich die zugehörige Übertragungsfunktion wie folgt ableiten.

$$\frac{\mathrm{d}u_{\mathrm{p},k,n}}{\mathrm{d}t} = -\frac{1}{R_{\mathrm{p},k,n}C_{\mathrm{p},k,n}}u_{\mathrm{p},k,n} + \frac{1}{C_{\mathrm{p},k,n}} \cdot i_{\mathrm{ESU},k} \tag{A.27}$$

Wie anhand von Gleichung (A.26) ersichtlich, hängt die Klemmenspannung der k-ten Energiespeichereinheit ESU_k von der zugehörigen Leerlaufspannung $u_{\mathrm{OC},k}$ ab [16]. Diese stellt wiederum eine Funktion des SoC-Werts SoC_k dar.

$$u_{\mathrm{OC},k} = f(\mathrm{SoC}_k) \tag{A.28}$$

Unter der Berücksichtigung von Gleichung (4.4) und einem aktuellen Kapazitätswert Q_k lässt sich die Änderung des SoC-Werts $\dot{\mathrm{SoC}}_k$ der k-ten Energiespeichereinheit auf Basis des fließenden Lade- bzw. Entladestroms mit Gleichung (A.29) bestimmen.

$$\dot{\mathrm{SoC}}_k = \frac{i_{\mathrm{ESU},k}}{36\,Q_k} \tag{A.29}$$

Basierend auf der allgemeinen Beschreibung eines Zustandsraummodells, gegeben in Gleichung (A.4), und den erläuterten Beziehungen aus Gleichung (A.26) bis Gleichung (A.29), ergibt sich das Zustandsraummodell einer k-ten ESU in einem MLI-Strang mit n_{RC} RC-Gliedern zu

$$\begin{aligned} \dot{\boldsymbol{x}}_k &= \mathbf{A}_k\boldsymbol{x}_k + \mathbf{B}_k\boldsymbol{u}_k \\ \boldsymbol{y}_k &= \mathbf{C}_k\boldsymbol{x}_k + \mathbf{D}_k\boldsymbol{u}_k\,. \end{aligned} \tag{A.30}$$

Die Einträge der einzelnen Vektoren und Matrizen finden sich aus Gründen der Übersicht in Tabelle A.3. Dabei verkörpern sowohl die Leerlaufspannung $u_{\mathrm{OC},k}$ sowie alle Klemmenspannungen der n_{RC} RC-Glieder von ESU_k die Elemente des Zustandsvektors $\boldsymbol{x}_k$ im Zustandsraummodell. Der Eingangsvektor $\boldsymbol{u}_k$ entspricht dem Strom durch ESU_k, während die resultierende Klemmenspannung $u_{\mathrm{ESU},k}$ den Systemausgang $\boldsymbol{y}_k$ repräsentiert. Über die Zustandsmatrix $\mathbf{A}_k$ und die Eingangsmatrix $\mathbf{B}_k$ wird der Einfluss der jeweiligen Widerstands- und Kapazitätswerte der n_{RC} RC-Glieder berücksichtigt. Mit den beiden Matrizen $\mathbf{C}_k$ sowie $\mathbf{D}_k$ in Gleichung (A.30) wird der Einwirkung der Klemmenspannung aus Gleichung (A.26) Rechnung getragen. Für das n-te RC-Glied in einer k-ten Energiespeichereinheit ist dessen Zeitkonstante definiert als

$$\tau_{\mathrm{p},k,n} = \frac{1}{R_{\mathrm{p},k,n}C_{\mathrm{p},k,n}}\,. \tag{A.31}$$

Dieser Zusammenhang ist in der Darstellung von $\mathbf{A}_k$ in Tabelle A.3 berücksichtigt.

A.1.10.2 Zustandsraummodell eines Parallelpacks

Für die Modellierung eines Parallelpacks gemäß der Darstellung in Abbildung 3.5 muss das Zustandsraummodell aus Gleichung (A.30) erweitert werden. Dies ist insbesondere für die Ermittlung der jeweiligen Ströme durch die k-te Energiespeichereinheit von entscheidender Bedeutung. Im Speziellen muss das erläuterte Zustandsraummodell aus Gleichung (A.30) auf eine variable Anzahl von $n_{\mathrm{ESU,pp},p}$ Energiespeichereinheiten in einem Parallelverbund angepasst werden. Für die Aufstellung des Zu-

Tabelle A.3: Übersicht über die Vektoren und Matrizen des Zustandsraummodells der k-ten ESU mit n_{RC} RC-Gliedern.

Variable	Bezeichnung	Vektor-/ Matrixeinträge	Dimension
$\boldsymbol{x}_k$	Zustandsvektor	$\begin{bmatrix}\mathrm{SoC}_k & u_{\mathrm{p},k,1} & \cdots & u_{\mathrm{p},k,n} & \cdots & u_{\mathrm{p},k,n_{\mathrm{RC}}}\end{bmatrix}^\top$	$(n_{\mathrm{RC}}+1)\times 1$
$\boldsymbol{u}_k$	Eingangsvektor	$i_{\mathrm{ESU},k}$	1
$\boldsymbol{y}_k$	Ausgangsvektor	$u_{\mathrm{ESU},k}$	1
$\mathbf{A}_k$	Zustandsmatrix	$\begin{bmatrix}0 & & & & & \\ & -\frac{1}{\tau_{\mathrm{p},k,1}} & & & & \\ & & \ddots & & & \\ & & & -\frac{1}{\tau_{\mathrm{p},k,n}} & & \\ & & & & \ddots & \\ & & & & & -\frac{1}{\tau_{\mathrm{p},k,n_{\mathrm{RC}}}}\end{bmatrix}$	$(n_{\mathrm{RC}}+1)\times(n_{\mathrm{RC}}+1)$
$\mathbf{B}_k$	Eingangsmatrix	$\begin{bmatrix}\frac{1}{36\,Q_k} & \frac{1}{C_{\mathrm{p},k,1}} & \cdots & \frac{1}{C_{\mathrm{p},k,n}} & \cdots & \frac{1}{C_{\mathrm{p},k,n_{\mathrm{RC}}}}\end{bmatrix}^\top$	$(n_{\mathrm{RC}}+1)\times 1$
$\mathbf{C}_k$	Ausgangsmatrix	$\begin{bmatrix}\frac{f(\mathrm{SoC}_k)}{\mathrm{SoC}_k} & 1 & \cdots & \cdots & \cdots & 1\end{bmatrix}$	$1\times(n_{\mathrm{RC}}+1)$
$\mathbf{D}_k$	Durchgangsmatrix	$R_{0,k}$	1

standsraummodells werden die Kirchhoff'schen Knoten- und Maschengleichungen herangezogen [16].

Nach Kirchhoffs Knotengleichung gilt für die Ströme in einer elektrischen Schaltung, dass die Summe aller in einen Knoten hinein und heraus fließenden Ströme Null ist. Unter Anwendung dieses Grundsatzes lässt sich auf Basis des Parallelpack-Ersatzschaltbilds aus Abbildung 3.5 folgender Zusammenhang zwischen den Strömen in den Energiespeichereinheiten und denen in den oberen Pfaden ableiten.

$$i_{\mathrm{ESU},k} = \begin{cases} i_k - i_{k+1} & \text{für} \quad k < n_{\mathrm{ESU,pp},p} \\ i_k & \text{für} \quad k \equiv n_{\mathrm{ESU,pp},p} \end{cases} \tag{A.32}$$

$n_{\mathrm{ESU,pp},p}$ spiegelt die Anzahl an Energiespeichereinheiten im k-ten Parallelpack wider. Mittels einer sogenannten Übersetzungsmatrix $\mathbf{G}$ gemäß Bruen et al. kann die Formulierung aus Gleichung (A.32) in eine Matrixform umgewandelt werden [16]. Hierzu werden die ESU-Ströme $i_{\mathrm{ESU},1}$ bis $i_{\mathrm{ESU},n_{\mathrm{ESU,pp},p}}$ in Anlehnung an die Zustandsraumdarstellung aus Gleichung (A.30) und deren Erweiterung auf die Dimension $n_{\mathrm{ESU,pp},p}$ in einen Eingangsvektor $\boldsymbol{u}_k$ zusammengefasst. Aus Gründen der Einfachheit wird der Vektor $\boldsymbol{i}_{\mathrm{mesh}}$ eingeführt, welcher die Maschenströme i_1 bis $i_{n_{\mathrm{ESU,pp},p}}$ enthält. Diese stimmen mit den Strömen der oberen Schalterpfade überein.

$$\boldsymbol{u}_k = \begin{bmatrix} i_{\mathrm{ESU},1} \\ i_{\mathrm{ESU},2} \\ \vdots \\ i_{\mathrm{ESU},k} \\ \vdots \\ i_{\mathrm{ESU},n_{\mathrm{ESU,pp},p}} \end{bmatrix} = \mathbf{G}\cdot\boldsymbol{i}_{\mathrm{mesh}} = \begin{bmatrix} 1 & -1 & & & & \\ & 1 & -1 & & & \\ & & \ddots & \ddots & & \\ & & & & 1 & -1 \\ & & & & & 1 \end{bmatrix} \cdot \begin{bmatrix} i_1 \\ i_2 \\ \vdots \\ i_k \\ \vdots \\ i_{n_{\mathrm{ESU,pp},p}} \end{bmatrix} \tag{A.33}$$

Wie in Abbildung 3.5 ersichtlich ist, entspricht der Maschenstrom i_1 gleichzeitig dem Gesamt- bzw. dem Laststrom i_{load}. Dieser teilt sich innerhalb des Parallelverbunds auf die $n_{\mathrm{ESU,pp},p}$ vorhandenen Energiespeichereinheiten auf.
Neben den jeweiligen Strömen sind in Abbildung 3.5 ebenso die existierenden $n_{\mathrm{ESU,pp},p}$ Maschen l_1

bis $l_{n_{\mathrm{ESU,pp},p}}$ eingezeichnet. Für jede Masche gilt, dass die Summe aller Spannungen innerhalb dieser Masche gleich Null ist. Unter Anwendung dieses zweiten Kirchhoff'schen Gesetzes ergeben sich die Beziehungen aus Gleichung (A.34).

$$0 = \begin{cases} u_{\mathrm{pp},p} + u_{\mathrm{OC},k} + \sum_{n=1}^{n_{\mathrm{RC}}} u_{\mathrm{p},k,n} - i_{k+1}\, R_{\mathrm{ESU},k} - \sum_{i=2}^{n_{\mathrm{ESU,pp},p}} i_i\, R_{\mathrm{sw,lp}} \\ \qquad +i_k \left[R_{\mathrm{in,pp}} + R_{\mathrm{sw,lp}}(n_{\mathrm{ESU,pp},p} - 1) + R_{\mathrm{ESU},k}\right] & \text{für} \quad k = 1 \\ u_{\mathrm{OC},k} + \sum_{n=1}^{n_{\mathrm{RC}}} \left(u_{\mathrm{p},k,n} - u_{\mathrm{p},k-1,n}\right) - u_{\mathrm{oc},k-1} - i_{k-1}\, R_{\mathrm{ESU},k-1} - i_{k+1}\, R_{\mathrm{ESU},k} \\ \qquad +i_k \left[R_{\mathrm{sw,up}} + R_{\mathrm{sw,lp}} + R_{\mathrm{ESU},k} + R_{\mathrm{ESU},k-1}\right] - i_1\, R_{\mathrm{sw,lp}} & \text{für} \quad 1 < k < n_{\mathrm{ESU,pp},p} \\ u_{\mathrm{OC},k} + \sum_{n=1}^{n_{\mathrm{RC}}} \left(u_{\mathrm{p},k,n} - u_{\mathrm{p},k-1,n}\right) - u_{\mathrm{oc},k-1} - i_{k-1} R_{\mathrm{ESU},k-1} \\ \qquad +i_k \left[R_{\mathrm{sw,up}} + R_{\mathrm{sw,lp}} + R_{\mathrm{ESU},k} + R_{\mathrm{ESU},k-1}\right] - i_1\, R_{\mathrm{sw,lp}} & \text{für} \quad k = n_{\mathrm{ESU,pp},p} \end{cases} \tag{A.34}$$

$u_{\mathrm{pp},p}$ repräsentiert den Spannungsabfall über dem p-ten Parallelverbund PP_p. Masche l_1 bildet dabei einen Sonderfall, da sie die Masche des gesamten Parallelverbunds charakterisiert und in diese der Eingangswiderstand $R_{\mathrm{in,pp}}$ eingeht, wie in Abbildung 3.5 erkennbar. Im Falle eines Parallelpacks, welcher die Energiespeichereinheit $\mathrm{ESU}_{n_{\mathrm{ESU,tot}}}$ enthält, muss ebenso der Ausgangswiderstand R_{out} mit eingerechnet werden. Gleichung (A.34) nimmt für diesen speziellen Parallelverbund und einem Wert von $k = 1$ die Form aus Gleichung (A.35) an. Alle anderen Zusammenhänge sind identisch zu Gleichung (A.34).

$$0 = \begin{cases} u_{\mathrm{pp},p} + u_{\mathrm{OC},k} + \sum_{n=1}^{n_{\mathrm{RC}}} u_{\mathrm{p},k,n} - i_{k+1}\, R_{\mathrm{ESU},k} - \sum_{i=2}^{n_{\mathrm{ESU,pp},p}} i_i\, R_{\mathrm{sw,lp}} \\ \qquad +i_k \left[R_{\mathrm{in,pp}} + R_{\mathrm{out}} + R_{\mathrm{sw,lp}}(n_{\mathrm{ESU,pp},p} - 1) + R_{\mathrm{ESU},k}\right] & \text{für} \quad k = 1 \end{cases} \tag{A.35}$$

In Analogie zu Gleichung (A.32) können die Maschengleichungen aus Gleichung (A.34) ebenso in eine Matrixdarstellung umgeformt werden. Diese Transformation ist insbesondere für das Aufstellen des allgemeinen Zustandsraummodells eines Parallelverbunds von Bedeutung. Betrachtet man Gleichung (A.33), repräsentieren alle ESU-Ströme die Eingangsgrößen. Da diese allerdings im Zuge von Analysen ermittelt werden sollen, wird das Zustandsraummodell derart implementiert, dass ausschließlich der Laststrom i_{load} die Eingangsgröße des Zustandsraummodells bildet. Basierend auf den erläuterten Knoten- und Maschengleichungen ist es möglich, daraus die individuellen Ströme durch die Energiespeichereinheiten zu ermitteln. Die Matrixdarstellung der Beziehungen aus Gleichungen (A.34) liefert zunächst folgende allgemeine Form [16].

$$\{\mathbf{R_{sw}} + \mathbf{R_{ESU}}\}\, \boldsymbol{i}_{\mathrm{mesh}} = \mathbf{R}\, \boldsymbol{i}_{\mathrm{mesh}} = \mathbf{E}\, \boldsymbol{x} + \mathbf{F}\, i_{\mathrm{load}} \tag{A.36}$$

In Anlehnung an Tabelle A.3 sind in Tabelle A.4 sowie in Tabelle A.5 alle Vektoren und Matrizen des Zustandsraummodells eines Parallelverbunds, welcher aus $n_{\mathrm{ESU,pp},p}$ Batteriezellen besteht, mit ihren jeweiligen Einträgen aufgelistet. Der Zustandsvektor $\boldsymbol{x}$ in Gleichung (A.36) vereinigt alle $n_{\mathrm{ESU,pp},p}$ Zustandsvektoren $\boldsymbol{x}_k$, welche jeweils die Leerlaufspannung $u_{\mathrm{OC},k}$ sowie die Teilspannungen aller n_{RC} RC-Glieder der k-ten Energiespeichereinheit enthalten. Auf Basis von Gleichung (A.34) kann eine sogenannte Zustandsabhängigkeitsmatrix $\mathbf{E}$ abgeleitet werden, die die Einwirkung der Leerlaufspannungen sowie der Spannungen aller RC-Glieder in den jeweiligen Maschengleichungen definiert. Aufgrund der Sonderstellung des Laststroms i_{load} als Eingangsgröße wird über einen gesonderten Eingangsabhängigkeitsvektor $\mathbf{F}$ der Einfluss dieses Stroms abgedeckt. Wie erkennbar, geht der Laststrom in jede Masche ein. Dabei sei erwähnt, dass die gezeigte Form von $\mathbf{F}$ den Ausgangswiderstand R_{out} beinhaltet. Dieser kommt lediglich bei dem Parallelverbund zum Tragen, welcher die $n_{\mathrm{ESU,tot}}$-te Energiespeichereinheit enthält. Für alle anderen Parallelverbünde nimmt R_{out} den Wert null an. Alle auftretenden

Widerstandswerte werden in einer gesamten Widerstandsmatrix $\mathbf{R}$ zusammengefasst, über welche die Maschenströme $\boldsymbol{i}_{\text{mesh}}$ in die Beziehungen aus Gleichung (A.34) bzw. Gleichung (A.35) einwirken. Die in der Widerstandsmatrix enthaltenen Widerstandswerte setzen sich dabei aus den spezifischen Schalterpfadwiderständen ($\mathbf{R_{sw}}$) sowie den Pfadwiderständen der Energiespeichereinheiten ($\mathbf{R_{ESU}}$) zusammen. Gleichung (A.36) spiegelt diese Komposition der Gesamtwiderstandsmatrix $\mathbf{R}$ wider. Für die exakte Zusammensetzung der einzelnen Matrizen sei auf Tabelle A.4 sowie auf Tabelle A.5 verwiesen. Durch Umformung von Gleichung (A.36) resultiert die Berechnungsformel für die Ströme durch die einzelnen Energiespeichereinheiten gemäß Gleichung (A.37).

$$\boldsymbol{u} = \left\{\mathbf{R_{sw}} + \mathbf{R_{ESU}}\right\}^{-1} \mathbf{G}(\mathbf{E}\boldsymbol{x} + \mathbf{F} i_{\text{load}}) \tag{A.37}$$

Die Matrixdarstellung der Knoten- und Maschengleichungen erlaubt es, das Zustandsraummodell aus Gleichung (A.30) für eine einzelne ESU_k auf einen Parallelverbund, bestehend aus $n_{\text{ESU,pp},p}$ Energiespeichereinheiten, zu erweitern. Damit lediglich der Laststrom als Eingangsgröße des Zustandsraummodells fungiert, wird der Zusammenhang aus Gleichung (A.37) herangezogen. Um trotz dieser Substitution ein Zustandsraummodell in der allgemeinen Form gemäß Gleichung (A.4) zu erhalten, werden entsprechende Umformungen vorgenommen [16]. Gleichung (A.38) zeigt diese Umstellungen sowie das resultierende Zustandsraummodell. Dabei stellen die modifizierten Matrizen $\mathbf{A}'$, $\mathbf{B}'$, $\mathbf{C}'$ sowie $\mathbf{D}'$ eine Abwandlung ihrer ursprünglichen Form $\mathbf{A}$, $\mathbf{B}$, $\mathbf{C}$ und $\mathbf{D}$ durch Summation sowie Multiplikation der Widerstands-, der Transformations-, der Zustandsabhängigkeitsmatrix sowie des Zustandsabhängigkeitsvektors dar, welche im Zuge der erläuterten Knoten- und Maschengleichungen eingeführt wurden.

$$\begin{aligned}
\dot{\boldsymbol{x}} &= \mathbf{A}\boldsymbol{x} + \mathbf{B}\boldsymbol{u} \\
&= \mathbf{A}\boldsymbol{x} + \mathbf{B}\left[\mathbf{R}^{-1}\mathbf{G}(\mathbf{E}\boldsymbol{x} + \mathbf{F} i_{\text{load}})\right] \\
&= \underbrace{(\mathbf{A} + \mathbf{B}\mathbf{R}^{-1}\mathbf{G}\mathbf{E})}_{\mathbf{A}'}\boldsymbol{x} + \underbrace{\mathbf{B}\mathbf{R}^{-1}\mathbf{G}\mathbf{F}}_{\mathbf{B}'} i_{\text{load}} \\
&= \mathbf{A}'\boldsymbol{x} + \mathbf{B}' i_{\text{load}}
\end{aligned} \tag{A.38a}$$

$$\begin{aligned}
\boldsymbol{y} &= \mathbf{C}\boldsymbol{x} + \mathbf{D}\boldsymbol{u} \\
&= \mathbf{C}\boldsymbol{x} + \mathbf{B}\left[\mathbf{R}^{-1}\mathbf{G}(\mathbf{E}\boldsymbol{x} + \mathbf{F} i_{\text{load}})\right] \\
&= \underbrace{(\mathbf{C} + \mathbf{D}\mathbf{R}^{-1}\mathbf{G}\mathbf{E})}_{\mathbf{C}'}\boldsymbol{x} + \underbrace{\mathbf{D}\mathbf{R}^{-1}\mathbf{G}\mathbf{F}}_{\mathbf{D}'} i_{\text{load}} \\
&= \mathbf{C}'\boldsymbol{x} + \mathbf{D}' i_{\text{load}}
\end{aligned} \tag{A.38b}$$

Tabelle A.4: Übersicht über die Vektoren und Matrizen des Zustandsraummodells eines PECIN-Parallelpacks mit $n_{\mathrm{ESU,pp},p}$ Energiespeichereinheiten und n_{RC} RC-Gliedern.

Variable	Bezeichnung	Vektor-/ Matrixeinträge	Dimension
$\mathbf{A}$	Zustandsmatrix	$\begin{bmatrix} \mathbf{A}_1 & & & \\ & \ddots & & \\ & & \mathbf{A}_k & \\ & & & \ddots \\ & & & & \mathbf{A}_{n_{\mathrm{ESU,pp},p}} \end{bmatrix}$	$n_{\mathrm{ESU,pp},p}(n_{\mathrm{RC}}+1) \times n_{\mathrm{ESU,pp},p}(n_{\mathrm{RC}}+1)$
$\mathbf{B}$	Eingangsmatrix	$\begin{bmatrix} \mathbf{B}_1 & & & \\ & \ddots & & \\ & & \mathbf{B}_k & \\ & & & \ddots \\ & & & & \mathbf{B}_{n_{\mathrm{ESU,pp},p}} \end{bmatrix}$	$n_{\mathrm{ESU,pp},p}(n_{\mathrm{RC}}+1) \times n_{\mathrm{ESU,pp},p}$
$\mathbf{C}$	Ausgangsmatrix	$\begin{bmatrix} \mathbf{C}_1 & & & \\ & \ddots & & \\ & & \mathbf{C}_k & \\ & & & \ddots \\ & & & & \mathbf{C}_{n_{\mathrm{ESU,pp},p}} \end{bmatrix}$	$n_{\mathrm{ESU,pp},p} \times n_{\mathrm{ESU,pp},p}(n_{\mathrm{RC}}+1)$
$\mathbf{D}$	Durchgangsmatrix	$\begin{bmatrix} R_{0,1} & & & \\ & \ddots & & \\ & & R_{0,k} & \\ & & & \ddots \\ & & & & R_{0,n_{\mathrm{ESU,pp},p}} \end{bmatrix}$	$n_{\mathrm{ESU,pp},p} \times n_{\mathrm{ESU,pp},p}$
$\mathbf{E}$	Zustandsabhängigkeitsmatrix	$\begin{bmatrix} 1 & 0 & \cdots & & & & & & \\ -1 & -1 & 1 & 1 & 0 & & & & \\ & & 0-1 & -1 & 1 & 1 & 0 & & \\ & & & & \ddots & \ddots & \ddots & \ddots & \\ & & & & 0 & -1 & -1 & 1 & 1 \end{bmatrix}$	$n_{\mathrm{ESU,pp},p} \times n_{\mathrm{ESU,pp},p}(n_{\mathrm{RC}}+1)$
$\mathbf{F}$	Zustandsabhängigkeitsvektor	$\begin{bmatrix} R_{\mathrm{in,pp}} + R_{\mathrm{out}} + R_{\mathrm{sw,lp}}(n_{\mathrm{ESU,pp},p}-1) + R_{\mathrm{ESU},1} \\ -R_{\mathrm{sw,lp}} - R_{\mathrm{ESU},1} \\ -R_{\mathrm{sw,lp}} \\ \vdots \\ -R_{\mathrm{sw,lp}} \end{bmatrix}$	$n_{\mathrm{ESU,pp},p} \times 1$
$\mathbf{G}$	Übersetzungsmatrix	$\begin{bmatrix} 1 & -1 & & & \\ & 1 & -1 & & \\ & & \ddots & \ddots & \\ & & & 1 & -1 \\ & & & & 1 \end{bmatrix}$	$n_{\mathrm{ESU,pp},p} \times n_{\mathrm{ESU,pp},p}$

Tabelle A.5: Übersicht über die Vektoren und Matrizen des Zustandsraummodells eines PECIN-Parallelpacks mit $n_{\mathrm{ESU,pp},p}$ Energiespeichereinheiten und n_{RC} RC-Gliedern.

Variable	Bezeichnung	Vektor-/ Matrixeinträge	Dimension
$\mathbf{G}$	Übersetzungsmatrix	$\begin{bmatrix} 1 & -1 & & & \\ & 1 & -1 & & \\ & & \ddots & \ddots & \\ & & & 1 & -1 \\ & & & & 1 \end{bmatrix}$	$n_{\mathrm{ESU,pp},p} \times n_{\mathrm{ESU,pp},p}$
$\mathbf{R_{sw}}$	Schalter-Widerstandsmatrix	$\begin{bmatrix} 0 & -R_{\mathrm{sw,lp}} & -R_{\mathrm{sw,lp}} & \cdots & -R_{\mathrm{sw,lp}} \\ 0 & R_{\mathrm{sw,up}} + R_{\mathrm{sw,lp}} & & & \\ 0 & & R_{\mathrm{sw,up}} + R_{\mathrm{sw,lp}} & & \\ 0 & & & \ddots & \\ 0 & & & & R_{\mathrm{sw,up}} + R_{\mathrm{sw,lp}} \end{bmatrix}$	$n_{\mathrm{ESU,pp},p} \times n_{\mathrm{ESU,pp},p}$
$\mathbf{R_{ESU}}$	ESU-Widerstandsmatrix	$\begin{bmatrix} 0 & -R_{\mathrm{ESU},1} & & & & & \\ 0 & R_{\mathrm{ESU},1} + R_{\mathrm{ESU},2} & -R_{\mathrm{ESU},2} & & & & \\ & \ddots & \ddots & \ddots & & & \\ & & -R_{\mathrm{ESU},k-1} & R_{\mathrm{ESU},k-1} + R_{\mathrm{ESU},k} & -R_{\mathrm{ESU},k} & & \\ & & & \ddots & \ddots & \ddots & \\ & & & & -R_{\mathrm{ESU},n_{\mathrm{ESU,pp}}-1} & R_{\mathrm{ESU},n_{\mathrm{ESU,pp}}-1} + R_{\mathrm{ESU},n_{\mathrm{ESU,pp}}} \end{bmatrix}$	$n_{\mathrm{ESU,pp},p} \times n_{\mathrm{ESU,pp},p}$

A.2 Theoretische Schaltzustände in der PECIN-Mikrotopologie

In Abschnitt 3.2.1 wurde die entwickelte PECIN-Struktur eingeführt und ihr grundsätzlicher Aufbau beschrieben. In diesem Zusammenhang sind in der Tabelle aus Abbildung 3.1 die fünf in der Praxis erlaubten Schaltzustände aufgelistet. Ergänzend hierzu spiegelt Tabelle A.6 alle 16 theoretisch möglichen Schaltzustände innerhalb eines PECIN-Submoduls wider.

Tabelle A.6: Theoretisch mögliche Schaltzustände in einer PECIN-Mikrotopologie.

No. Schaltzustand	**Schalterbezeichnung**				**Betriebszustand**
	A	***B***	***C***	***D***	
1	0	0	0	0	Leerlauf (Idle)
2	1	0	0	0	Bypass/ Serienschaltung
3	0	1	0	0	Bypass/ Serienschaltung
4	0	0	1	0	Bypass/ Serienschaltung
5	0	0	0	1	Bypass/ Serienschaltung
6	1	1	0	0	Kurzschluss: Verboten
7	1	0	1	0	Kurzschluss: Verboten
8	1	0	0	1	Parallelschaltung
9	0	1	1	0	Kurzschluss: Verboten
10	0	1	0	1	Kurzschluss: Verboten
11	0	0	1	1	Kurzschluss: Verboten
12	1	1	1	0	Kurzschluss: Verboten
13	1	1	0	1	Kurzschluss: Verboten
14	1	0	1	1	Kurzschluss: Verboten
15	0	1	1	1	Kurzschluss: Verboten
16	1	1	1	1	Kurzschluss: Verboten

B Messaufbauten

Nachfolgend werden die verwendeten Messaufbauten zur Generierung der Datenwerte erläutert. Darüber hinaus finden sich Angaben zur eingesetzten Batteriezelle.

B.1 Eingesetzte Batteriezelle

Für alle Untersuchungen wird die 25 Ah Batteriezelle $UF261591\_25Ah$ von *SANYO Electric Co., Ltd.* eingesetzt, welche eine Nominalspannung von $3,7\,V$ besitzt. Dieser Parameter dient ohne Einschränkung der Allgemeingültigkeit als Grundlage für alle Simulationen. Damit gilt $u_{\mathrm{cell}} = 3{,}7\,\mathrm{V}$.

B.2 Messung der Schalttransitionen

In Abschnitt 3.7 erfolgt die Erläuterung der in der PECIN-Topologie identifizierten parasitären Effekte. Der zugehörige Messaufbau ist in Abbildung B.1 gezeigt [153]. Dieser setzt sich im Wesentlichen aus den Messgeräten zur Aufnahme der spezifischen Strom- und Spannungssignale der jeweiligen Halbleiterschalter in der PECIN-Mikrotopologie, einem Messsteuergerät zur Ansteuerung der Schalter auf der Schaltplatine, der PECIN-Platine in Kombination mit den Batteriezellen sowie einer elektronischen Last zusammen. Letztere fungiert je nach betrachteter Schalthandlung als Quelle oder Senke. Die zugrundeliegende Schaltstruktur der PECIN-Platine wird bereits in Abschnitt 3.4 vorgestellt. Bei dem verwendeten Mess-Steuer-System handelt es sich um die sogenannte *dSpace Scalexio Processing Unit* von *dSpace*. Der softwareseitige Programmcode zur Erzeugung der Gate-Signale wird mithilfe der sogenannten *Vivado Design Suite* von *Xilinx* implementiert. Über *Flachbandkabel, (flat flex cable, FFC)*-Kabel erfolgt die Übertragung der Gate-Signale auf die PECIN-PCB. Das *Prüfobjekt (device*

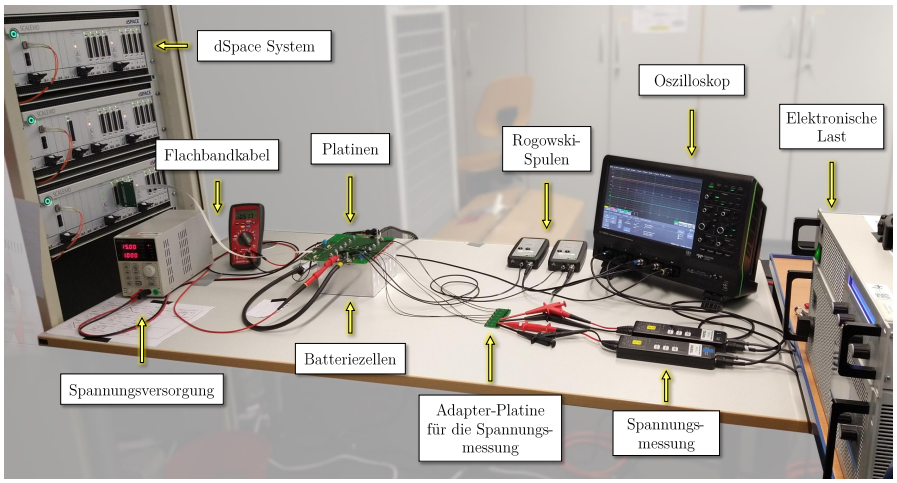


Abbildung B.1: Experimenteller Aufbau zur Messung der Schaltcharakteristika in der PECIN-Topologie.

unter test, DUT) stellt der Verbund aus den Lithium-Ionen-Batteriezellen und der PECIN-Platine dar. Im Zuge der Messungen werden die Schalthandlungen innerhalb der PECIN-Struktur gemessen. In allen Versuchen zur Messung der Schaltcharakteristik werden, wie in Anhang B.1 eingeführt, die prismatischen Lithium-Ionen-Batteriezellen von *SANYO Electric Co., Ltd.* verwendet. Um das Gefährdungspotential während der Versuche auf ein Mindestmaß zu reduzieren, besitzen die Batteriezellen einen SoC-Wert von 25 %. Abhängig von der Anzahl an Batteriezellen $n_{\mathrm{c,ESU}}$ werden je Versuch insgesamt $2\,n_{\mathrm{c,ESU}}$ Batteriezellen eingesetzt. Diese Zahl resultiert aus der in Abbildung 3.3 gezeigten Schaltstruktur, welche aus insgesamt zwei Energiespeichereinheiten besteht. Die Schaltplatinen sind auf den jeweiligen Batteriezellen über Schraubverbindungen fixiert. Zur Versorgung der Schaltplatine mit einer Versorgungsspannung von 15 V umfasst der experimentelle Aufbau eine zusätzliche Spannungsversorgung, wie in Abbildung B.1 erkennbar. Der Laststrom wird mittels der elektronischen Last *EAEl 9080-200* von *EA Elektro-Automatik* bereitgestellt. Es werden sowohl die Strom- als auch die Spannungsverläufe aller sechs auf den PECIN-Platinen vorhandenen Halbleiterelemente (*A*, *B*, *C*, *D*, *Out+*, *Out-*) aufgenommen. Für die Messung der Drainströme i_{D} in den MOSFETs kommen die Rogowski-Spulen *CWT Ultra-mini* von *Power Electronic Measurement* zum Einsatz. Zur Ermittlung der Spannungsverläufe während der Schaltoperationen werden die differentiellen Spannungsproben *TT-SI8052* von *TESTEC* verwendet. Da es sich bei den sechs Schaltern sowohl um einen einfachen MOSFET als auch eine BtB-Variante handeln kann, wird je nach Schalter entweder die Drain-Source-Spannung u_{DS} oder im Falle der BtB-Schalter die Spannung über den beiden Drain-Anschlüssen der kaskadierten MOSFETs u_{DD} gemessen. Die Strom- und Spannungssignale werden mit dem *200MHz HDO4024A*-Oszilloskop von *Teledyne LeCroy* aufgenommen. Um die Spannungsmessung in geeigneter Weise zu realisieren, wird neben der Schaltplatine eine zusätzliche Adapterplatine eingesetzt, wie in Abbildung B.1 gekennzeichnet. Diese ermöglicht im Speziellen den Abgriff der Spannungssignale mittels Hirschmannklemmen über extra vorgesehene Pins. Die Adapterplatine reduziert einerseits den Umbauaufwand des Hardwaresetups zwischen verschiedenen Versuchsdurchgängen. Andererseits zielt diese Vorkehrung darauf ab, die EMV der Messsignale zu minimieren, indem die Spannung außerhalb der eigentlichen PECIN-PCB abgegriffen wird. Da die Adapterplatine über sogenannte Mikrokoaxialkabel mit der Schaltplatine verbunden ist und die zugehörigen Konnektoren auf der Schaltplatine während der gesamten Versuchszeit nicht umgesteckt werden müssen, wird zudem unnötiges Hantieren mit der Schaltplatine und den direkt verbundenen Batteriezellen vermieden. Die Verbindung dieser Mikrokoaxial-Konnektoren mit der Schaltplatine ist in Abbildung B.2 deutlich ersichtlich, in der eine Draufsicht der Schaltplatine am Beispiel von $n_{\mathrm{c,ESU}} = 3$ dargestellt wird. Wie erkennbar, befinden sich oberhalb aller sechs Schalter, deren Positionen in der gezeigten Darstellung explizit markiert sind, die Konnektoren der Mikrokoaxialkabel. Neben den sechs Schaltern sind in Abbildung B.2 zudem die beiden Energiespeichereinheiten, ESU_1 sowie ESU_2, hervorgehoben. Diese entstehen auf Basis von $n_{\mathrm{c,ESU}} = 3$ aus der Serienschaltung von drei kaskadierten Lithium-Ionen-Batteriezellen. Um die Anbringung der Rogowski-Spulen an den Schaltern möglichst effizient zu gestalten, sind in der Schaltplatine Langlöcher in der Nähe jedes Schalters eingefügt. Dadurch wird eine 360°-Anbringung der Messschlaufe um den jeweils zu messenden Halbleiterschalter ermöglicht. Des Weiteren sind sowohl der 15 V-Anschluss als auch der Flachbandkabel-Verbinder zur Übertragung der Gate-Signale explizit gekennzeichnet. Während die Gate-Signale für die sechs Schalter softwareseitig generiert werden, erfolgt die Festlegung des Stromeintrags in die Platine über Hardwaremodifikationen. Im Detail bedeutet dies, dass vor jeder Schalthandlung der relevante Anschluss am positiven (*IN+*) oder am negativen Eingangsterminal (*IN-*) über die entsprechende Verschraubung des Laststromkabels erfolgt. Für den in Abbildung B.2 gezeigten Fall, erfolgt der Eintrag des Laststroms über den positiven Eingangsterminal. Wie in der PECIN-Schaltstruktur aus Abbildung 3.3 ersichtlich, werden die beiden Ausgangsterminals kurzgeschlossen. Dies ist in dem gezeigten Fall über eine Busbar realisiert.

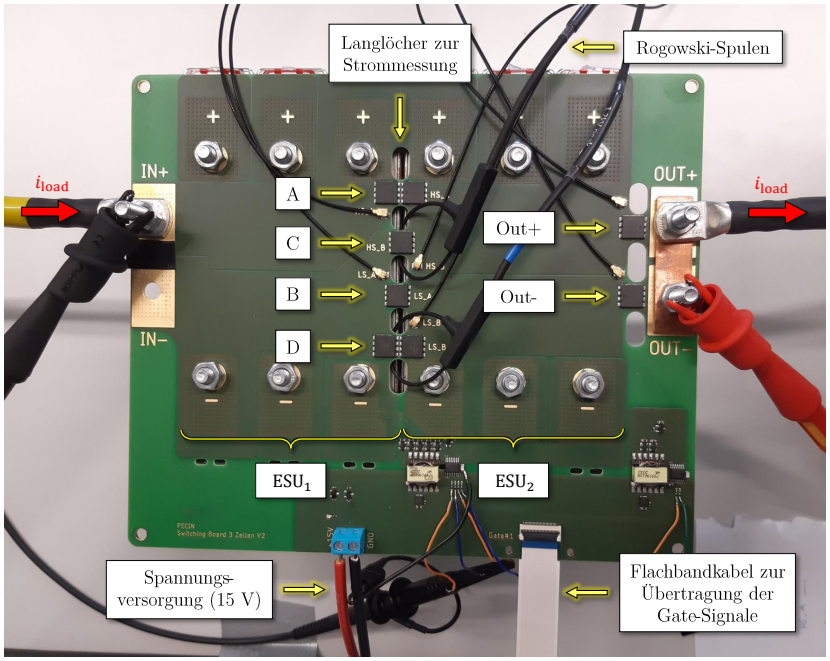


Abbildung B.2: Draufsicht auf die Schaltplatine zur Untersuchung des Schaltverhaltens und der parasitären Effekte in der PECIN-Topologie.

B.3 Messung der Schleifeninduktivitäten

Im Zuge der Erläuterungen zu den Leitverlusten in Abschnitt 4.4.1.1 sind in Abbildung 4.5 alle Induktivitätsschleifen gezeigt, die infolge einer erlaubten Schalthandlung in der PECIN-Struktur auftreten können. Abbildung B.3 zeigt den zugehörigen Testaufbau zur Messung der Schleifeninduktivitäten, der sich an den Messungen von Hanzl et al. orientiert [52, 155]. Das DUT entspricht, wie bereits in Abbildung B.1, dem Verbund aus den Batteriezellen und der PECIN-Platine. Zur Verdeutlichung einer

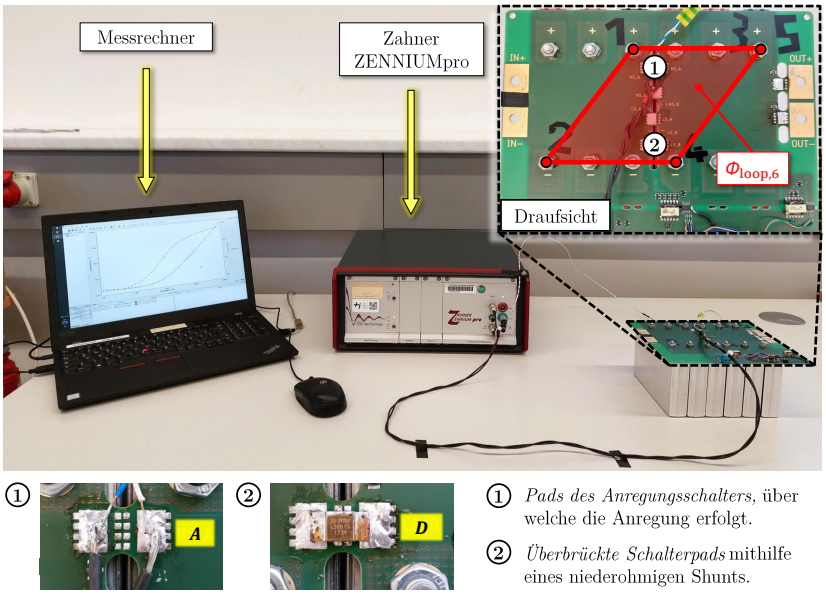


Abbildung B.3: Experimenteller Aufbau zur Messung der Schleifeninduktivitäten in der PECIN-Platine unter Variation der Anzahl an Batteriezellen $n_{c,ESU}$ je Energiespeichereinheit.

Schleife ist zudem eine vergrößerte Draufsicht der PCB gezeigt. In dieser ist skizzenhaft die Fläche der Induktivitätsschleife 6 (siehe Abbildung 4.5g) eingezeichnet, deren Induktivitätswert gemessen werden soll. Diese Schleife entsteht durch eine Schalthandlung in der PECIN-Struktur, die die zugehörige Fläche einschließt. Es sei an dieser Stelle erneut erwähnt, dass es sich bei dieser Schleifendarstellung und der eingegrenzten Schaltfläche um eine skizzenhafte Darstellung handelt, die nicht den genauen physikalischen Zusammenhängen entspricht. Als Messgerät wird das *Zahner ZenniumPro Impedanzspektrometer* von *Zahner-Elektrik GmbH & Co. KG* eingesetzt. Das Spektrometer erlaubt sowohl einen galvanostatischen als auch einen potentiostatischen Betrieb. Für die Messungen der Schleifeninduktivitäten ist der potentiostatischen Modus erforderlich, d.h. die Anregungsspannung wird konstant gehalten. Das DUT wird dabei mit einem sinusförmigen Anregungsstrom beaufschlagt, dessen Amplitude im Bereich von $\hat{i}_{\mathrm{ex}} = [0;\, 3]\,\mathrm{A}$ eingestellt werden kann. Für die vorliegenden Messungen ist ein Strom von 2 A ausreichend. Die Messdaten werden mittels des Impedanzspektrometers aufgezeichnet und über einen angeschlossenen Messrechner in der Software *Zahner Analysis* ausgewertet. Als Frequenzbereich der Messungen ist $f_{\mathrm{ex}} = [0,1;\, 1000]\,\mathrm{kHz}$ gewählt. Die Frequenzabtastung erfolgt in einem Abstand von 100 Hz. In jedem Frequenzpunkt werden dabei mehrere Zyklen durchfahren, um Messrauschen auszuschließen und eine möglichst hohe Messgenauigkeit zu erreichen.
Mithilfe des Impedanzspektrometers lässt sich die Impedanz eines DUT gemäß Gleichung (B.1) ermitteln.

$$Z_{\mathrm{DUT}} = \Re\left(Z_{\mathrm{DUT}}\right) + j\omega\Im\left(Z_{\mathrm{DUT}}\right) \tag{B.1}$$

Unter Einbezug des Zusammenhangs zwischen der Winkelgeschwindigkeit und der Frequenz aus Gleichung (A.6) kann die Induktivität der Schleife für eine bestimmte Frequenz f_{ex} durch die Beziehung

$$L_{\mathrm{DUT}} = \frac{\Im\left(Z_{\mathrm{DUT}}\right)}{2\pi f_{\mathrm{ex}}} \tag{B.2}$$

bestimmt werden. Bei der Impedanzmessung mithilfe des *Zahner ZenniumPro* handelt es sich um eine Vierleitermessung. Dabei werden sowohl die Anregungs- als auch die Messkabel direkt an die SMD-Anschlussflächen des Drain- und Source-Kontakts eines MOSFET gelötet[1]. Diese direkte Lötverbindung wird gewählt, um eine möglichst hohe Messqualität zu gewährleisten und Messungenauigkeiten zu vermeiden. Um dies zu realisieren, werden alle vorhandenen MOSFETs von den PCBs entfernt und lediglich die SMD-Pads als Stromeintrag herangezogen. Dieser Sachverhalt kann den vergrößerten Ausschnitten in Abbildung B.3 entnommen werden. Im gezeigten Fall erfolgt der Stromeintrag des Anregungsstroms über die Pads des Schalters A. Da es sich bei diesem Schalter um einen BtB-Schalter handelt, werden, wie erkennbar, alle vier Kabel an den Flächen der Drainkontakte angebracht. Bei Anregung und/oder Messung eines BtB-Schalters erfolgt die Kontaktierung stets über die Drain-Kontakte der beiden kaskadierten MOSFETs. Die Source-Kontakte sind schaltungsspezifisch kurzgeschlossen. Bei Betrachtung der Tabelle 4.3 sowie der Abbildung 4.5 ist ersichtlich, dass jede Induktivitätsschleife in der PECIN-Topologie mindestens zwei Schalter beinhaltet. Um die Induktivität der jeweiligen Schleife messen zu können, müssen abgesehen von dem Schalter, über welchen der Eintrag des Anregungsstromes erfolgt, die Kontaktflächen aller anderen Schalter in dieser Schleife kurzgeschlossen werden. Hierzu werden die jeweiligen Drain- und Source-Kontakte im Falle eines einzelnen MOSFET sowie die beiden Drain-Kontakte im Falle der BtB-Schalter mittels Shunt-Widerständen verbunden. Diese Vorkehrung, die zu einer geschlossenen Leiterschleife führt, ist ebenso in Abbildung B.3 erkennbar. Um unterschiedlichen SM-Konfigurationen und in der Folge einer Variation der Stufenhöhe Rechnung zu tragen, werden die Messungen auf Basis von fünf verschiedenen PECIN-Platinen durch-

[1] Hinweis: Die Abkürzung SMD bedeutet oberflächenmontiertes Bauteil. Im vorliegenden Fall handelt es sich um die Pads der MOSFETs.

geführt. Diese unterscheiden sich lediglich in der Anzahl an Batteriezellen je Energiespeichereinheit $n_{\mathrm{c,ESU}}$. Im Speziellen werden Platinen mit einer Zellanzahl im Bereich von $n_{\mathrm{c,ESU}} = \{1; 2; 3; 4; 6\}$ entwickelt und die zugehörigen Induktivitätswerte gemessen. Der Messaufbau ist in allen Fällen identisch. Tabelle B.1 listet die gemessenen Induktivitätswerte der sieben Schleifen aus Abbildung 4.5 für die Variation der Leiterplatten mit einer unterschiedlichen Anzahl an Batteriezellen auf. Wie von Hanzl et al. beschrieben, liegt die Zeitdauer der Stromkommutierung während einer Schalttransition maximal im Bereich weniger µs [52]. Die gegebenen Induktivitätswerte entsprechen aus diesem Grund den Messwerten für eine Anregungsfrequenz von $f_{\mathrm{ex}} = 1\,\mathrm{MHz}$. Um ebenso Modulkonfigurationen zu untersuchen, bei denen sich die Energiespeichereinheiten aus mehr als sechs Batteriezellen zusammensetzen, werden die Werte aus Tabelle B.1 inter- bzw. extrapoliert.

Tabelle B.1: Messergebnisse der Schleifeninduktivitäten über der Variation der Anzahl an Batteriezellen je Energiespeichereinheit bei einer Anregungsfrequenz von $f_{\mathrm{ex}} = 1\,\mathrm{MHz}$.

Schleifenbezeichnung	**Anzahl an Batteriezellen je Energiespeichereinheit $n_{\mathrm{c,ESU}}$**				
	1	**2**	**3**	**4**	**6**
Schleife 1	26,82 nH	53,07 nH	80,90 nH	106,36 nH	164,4 nH
Schleife 2	26,79 nH	52,12 nH	79,91 nH	106,09 nH	163,3 nH
Schleife 3	26,75 nH	53,18 nH	80,21 nH	104,88 nH	161,3 nH
Schleife 4	28,81 nH	55,03 nH	80,90 nH	107,31 nH	158,5 nH
Schleife 5	58,71 nH	116,47 nH	167,93 nH	223,00 nH	322,3 nH
Schleife 6	31,64 nH	79,95 nH	133,51 nH	187,18 nH	294,2 nH
Schleife 7	33,52 nH	61,50 nH	87,16 nH	112,35 nH	164,1 nH

B.4 Messung der Pfadwiderstände

In Abschnitt 3.4 wird die Schaltstruktur der PECIN-Platinen inklusive der Schalter- und ESU-Pfade vorgestellt. Dabei kennzeichnen die in Abbildung 3.3 angegebenen eingekreisten Ziffern skizzenhaft die Start- und Endpunkte des jeweiligen Pfads. Die Widerstände der Schalter- und ESU-Pfade bilden die Grundlage für die Berechnung der Leitverluste in den MLI-Systemen gemäß Gleichung (4.39) sowie Gleichung (4.41). Der Messaufbau zur Ermittlung der Widerstandswerte ist in Abbildung B.4 gezeigt. Die Basis der Untersuchungen stellen wie in Abschnitt B.3 die PECIN-Platinen dar, die sich in der zugrundeliegenden Anzahl an montierbaren Batteriezellen $n_{\mathrm{c,ESU}}$ unterscheiden. Der grundsätzliche Messaufbau setzt sich aus einer Spannungsversorgung, Multimeter von *Keysight* zur Strom- und Spannungsmessung, einer Spannungsquelle zur Versorgung der Platinen sowie einem Messrechner zusammen. Es werden alle in Tabelle 3.2 aufgelisteten Schalterpfade nacheinander für jede Leiterplatte gemessen. Um den zugehörigen Widerstandswert zu ermitteln, wird über Schraubverbindungen an den gekennzeichneten Ziffern in Abbildung 3.3 ein Strom von 1 A in den Schalterpfad eingespeist. Der genaue Wert des fließenden Stroms sowie der zugehörige Spannungsabfall werden mithilfe der Multimeter detektiert. Der zugehörige Widerstandswert lässt sich gemäß des Ohmschen Gesetzes über das Verhältnis der gemessenen Spannung zum Strommesswert bestimmen. Die links oben in der Grafik in Abbildung B.4 erkennbare Darstellung zeigt eine Draufsicht des Stromeintrags in die Platine für den Fall $n_{\mathrm{c,ESU}} = 6$. Darüber hinaus ist in einem weiteren Ausschnitt ebenso die Messung der Strom- und Spannungswerte gezeigt. Alle gemessenen Werte finden sich in Tabelle B.2.

In Gleichung (3.4c) zur Berechnung des parasitären Widerstandswerts einer Energiespeichereinheit fließt der Widerstandswert $R_{\mathrm{trace,np}}$ ein. Dieser repräsentiert den Widerstand der Kupferverbindung zwischen dem Pluspol einer Batteriezelle und dem Minuspol der darauf folgenden Zelle. Dieser wird

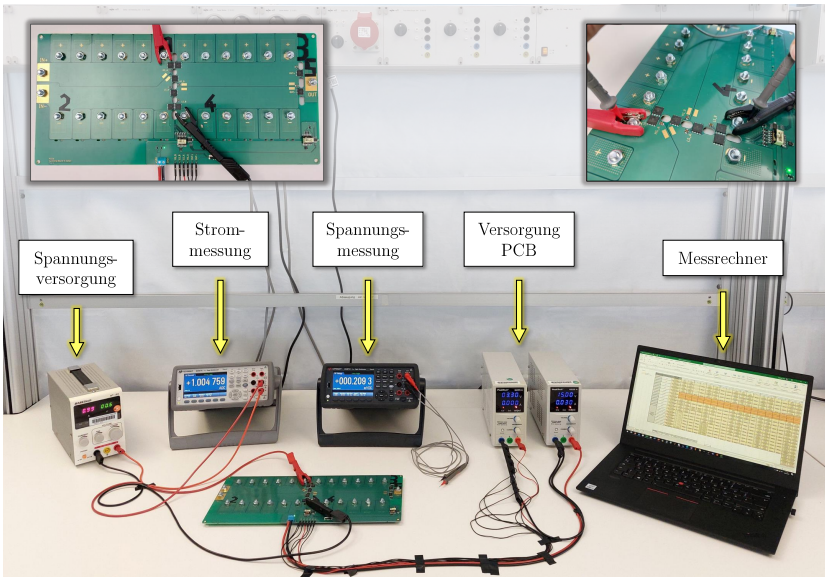


Abbildung B.4: Experimenteller Messaufbau zur Messung der Pfadwiderstände in der PECIN-Topologie für $n_{\mathrm{c,ESU}} = \{1;\ 2;\ 4;\ 6\}$.

ebenfalls experimentell mithilfe des Messaufbaus aus Abbildung B.4 ermittelt und beträgt in allen Fällen $R_{\mathrm{trace,np}} = 0,47\,\mathrm{m\Omega}$.

Tabelle B.2: Messergebnisse aus den Versuchen zur Messung der Schalterwiderstände in den PECIN-Platinen für eine Variation der Anzahl an Batteriezellen von $n_{\mathrm{c,ESU}} = \{1;\ 2;\ 4;\ 6\}$.

$n_{\mathrm{c,ESU}}$	Pfadwiderstände					
	$R_{\mathrm{sw,A}}$	$R_{\mathrm{sw,B}}$	$R_{\mathrm{sw,C}}$	$R_{\mathrm{sw,D}}$	$R_{\mathrm{sw,Out+}}$	$R_{\mathrm{sw,Out-}}$
1	1,165 mΩ	1,372 mΩ	1,344 mΩ	1,159 mΩ	0,875 mΩ	0,895 mΩ
2	1,381 mΩ	1,417 mΩ	1,541 mΩ	1,396 mΩ	0,829 mΩ	1,103 mΩ
4	1,805 mΩ	1,529 mΩ	2,430 mΩ	1,940 mΩ	0,774 mΩ	1,482 mΩ
6	2,648 mΩ	1,629 mΩ	3,708 mΩ	2,684 mΩ	0,963 mΩ	2,180 mΩ

Abkürzungsverzeichnis

AMLI	Asymmetrischer Multilevel-Inverter
BEV	*Battery electric vehicle:* batteriebetriebenes Elektrofahrzeug
BM3	*Battery modular multilevel management system*
BtB	*Back-to-back*
CCS-MLI	*Cascaded cross-switched-MLI*
CHalfB	*Cascaded half-bridge*: kaskadierte Halbbrücke
CHB	*Cascaded H-bridge*: kaskadierte H-Brücke
CMLI	*Cascaded MLI*: kaskadierter MLI
CS-MLI	*Cross-switched-MLI*
DC	*Direct current*: Gleichstrom
DFT	Diskrete Fourier-Transformation
DUT	*Device under test*: Prüfobjekt
ECIN	*Enhanced commutation integrated nested*
ECM	*Equivalent electric circuit model*: elektrische Ersatzschaltung
EMV	Elektromagnetische Verträglichkeit
ESU	*Energy storage unit:* Energiespeichereinheit
ExF	Exponentialfunktion
FC	*Flying capacitor*
FFC	*Flat flex cable*: Flachbandkabel
FFT	*Fast fourier transformation*: schnelle Fourier-Transformation
HV	*High-voltage*: Hochspannung
IGBT	*Insulated-gate bipolar transistor*: Bipolartransistor mit isolierter Gate-Elektrode
LS-PWM	*Level-shifted PWM*
MLI	Multilevel-Inverter
MMC	*Modular multilevel converter*
MMSPC	*Modular multilevel series parallel converter*
MOSFET	*Metal-oxide-semiconductor field-effect transistor*: Metall-Oxid-Halbleiter-Feldeffekttransistor
NLC	*Nearest level control*
NPC	*Neutral point clamped*
OCV	*Open-circuit voltage*: Leerlaufspannung
PCB	*Printed circuit board*: Leiterplatte
PCC	*Point of common coupling*: Einem Verbraucher nächstgelegener Netzpunkt in einem Leistungssystem, von dem aus mindestens ein weiterer Verbraucher versorgt wird

PECIN	*Parallel enhanced commutation integrated nested structure*
PP	*Parallel pack:* Parallelverbund von Energiespeichereinheiten
PS-PWM	*Phsae-shifted PWM*
PU	Polaritätsumkehr
PUE	Polaritätsumkehreinheit
PWM	Pulsweitenmodulation
RBSB	*Reduced bidirectional switch based*
RC	*Resistor-capacitor (circuit)*: Parallelschaltung bestehend aus einem Widerstand und einer Kapazität: RC-Glied
RMS	*Root mean square:* Effektivwert
SHE	*Selective harmonic elimination*: Selektive Harmonischen-Eliminierung
Si	Silizium
SiC	Siliziumcarbid
SM	Submodul
SMLI	Symmetrischer Multilevel-Inverter
SoC	*State of charge*: Ladezustand
SPWM	*Sinusoidal PWM*
STV	*Standing voltage*: Spannungsfestigkeit eines Schalters
TDD	*Total demand distortion*: harmonischer Oberwellengehalt bezogen auf den geforderten Stromwert
THD	*Total harmonic distortion*: harmonischer Oberwellengehalt
VSI	*Voltage source inverter*: konventioneller Spannungswechselrichter

Symbolverzeichnis

a	Ausgangsterminal eines MLI-Systems zum Abgriff der Phasenspannung u_a
$\mathbf{A}$	Zustandsmatrix in einem Zustandsraummodell
a_0	Gleichanteil in der Fourierreihe
a_k	k-ter Kosinus-Fourierkoeffizient
$\mathbf{A}_k$	Zustandsmatrix der k-ten Energiespeichereinheit
b	Ausgangsterminal eines MLI-Systems zum Abgriff der Phasenspannung u_b
$\mathbf{B}$	Eingangsmatrix in einem Zustandsraummodell
b_k	k-ter Sinus-Fourierkoeffizient
$\mathbf{B}_k$	Eingangsmatrix einer k-ten Energiespeichereinheit
c	Ausgangsterminal eines MLI-Systems zum Abgriff der Phasenspannung u_c
$\mathbf{C}$	Ausgangsmatrix in einem Zustandsraummodell
$C_{\mathrm{cu},k}$	Kosten der Steuereinheiten des k-ten Submoduls in einem MLI-System
$C_{\mathrm{cu,tot}}$	Gesamtkosten der Steuereinheiten in einem MLI-System
C_DC	Zwischenkreiskondensator
$C_{\mathrm{DC,link}}$	Kosten des Zwischenkreiskondensators in einem Invertersystem
C_DS	Kapazität zwischen dem Drain- und dem Source-Anschluss eines MOSFET
C_GD	Kapazität zwischen dem Gate- und dem Drain-Anschluss eines MOSFET
$C_{\mathrm{gd},i,k}$	Gate-Treiberkosten des i-ten Schalters im k-ten Submodul
$C_{\mathrm{gd,tot}}$	Gesamtsumme der Treiberkosten in einem MLI-System
C_GS	Kapazität zwischen dem Gate- und dem Source-Anschluss eines MOSFET
$C_{\mathrm{inv,tot}}$	Gesamtkosten eines Invertersystems
c_k	Vorzeichenfunktion
$\mathbf{C}_k$	Ausgangsmatrix einer k-ten Energiespeichereinheit
C_K	Klemmkondensator
C_N	Nennkapazität einer Batteriezelle
Config_i	i-te Submodul-Konfiguration
$\mathrm{Config}_\mathrm{PP}$	Parallelpack-Konfiguration
$\mathrm{Config}_\mathrm{SM}$	Submodul-Konfiguration
C_oss	Ausgangskapazität eines MOSFET
$C_{\mathrm{p,cell},n}$	Kondensator eines n-ten RC-Glieds in einem Ersatzschaltbild einer Lithium-Ionen-Batteriezelle
$C_{\mathrm{p},k,n}$	Kapazität des n-ten RC-Glieds in der k-ten Energiespeichereinheit
$C_{\mathrm{PUE,tot}}$	Gesamtkosten der Polaritätsumkehreinheit in einem MLI-System
$C_{\mathrm{sup},k}$	Versorgungskosten des k-ten Submoduls in einem MLI-System

$C_{\mathrm{sup,tot}}$	Gesamtkosten der Versorgungselemente in einem MLI-System
C_{sw}	Schalterkosten
$C_{\mathrm{sw},i,k}$	Schalterkosten des i-ten Schalters im k-ten Submodul
$C_{\mathrm{sw,tot}}$	Gesamtsumme der Schalterkosten in einem MLI-System
$\mathbf{D}$	Durchgangsmatrix in einem Zustandsraummodell
d_{A}	Package-Größe (engl. *device area*)
$d_{\mathrm{A},i,k}$	Package-Größe (engl. *device area*) des i-ten Schalters im k-ten Submodul
$\mathrm{div}(a)$	Menge aller ganzzahligen Teiler einer Ganzzahl a
$\mathbf{D}_k$	Durchgangsmatrix einer k-ten Energiespeichereinheit
D_{K}	Klemmdiode
D_{on}	Tastverhältnis (engl. *duty cycle*)
$\mathbf{E}$	Einheitsmatrix in einem Zustandsraummodell
E_{con}	Energieverluste infolge der Stromleitung in einem Invertersystem
$\tilde{E}_{\mathrm{con}}$	Normierte Verlustenergie
$E_{\mathrm{con,ESU}}$	Energieverluste infolge der Stromleitung einer Energiespeichereinheit
$E_{\mathrm{con,ph}}$	Energieverluste infolge der Stromleitung in einer Inverterphase
$E_{\mathrm{con,SO}}$	Energieverluste infolge der Stromleitung in einem MLI-Phasenstrang bei einem reinen Serienbetrieb
$E_{\mathrm{con,sw}}$	Energieverluste infolge der Stromleitung eines Schaltelements
$E_{\mathrm{inv,ph}}$	Gesamtenergieverluste innerhalb einer Inverterphase
$E_{\mathrm{inv,tot}}$	Gesamtenergieverluste eines Invertersystems
$E_{\mathrm{off,HS}}$	Ausschaltverluste des High-Side-Schalters in einer Halbbrücke
ESU_k	k-te Energiespeichereinheit in einem MLI-Phasenstrang
E_{sw}	Energieverluste infolge von Schaltvorgängen in einem Invertersystem
$E_{\mathrm{sw},i}$	Gesamtenergieverluste infolge eines Schaltvorgangs innerhalb einer i-ten Halbbrücke in einem Invertersystem
$E_{\mathrm{sw,ph}}$	Energieverluste infolge von Schaltvorgängen in einer Inverterphase
f	Frequenz einer Schwingung
$\mathbf{F}$	Eingangsabhängigkeitsvektor in einem Zustandsraummodell
$f\,[n]$	Diskretes Signal im Zeitbereich
$f(t)$	Periodische Funktion
$F\,[k]$	Diskrete Fourier-Transformierte eines Signals $f\,[n]$ im Frequenzbereich
f_0	Fundamentale Frequenz
$f_1(t)$	Grundschwingung; Fundamentale Komponente einer periodischen Funktion $f(t)$
f_{CS}	Frequenz der Trägersignale beim SPWM-Verfahren
f_{DC}	Gleichanteil einer periodischen Funktion $f(t)$
f_{ex}	Frequenz eines Anregungsstroms in einem Potentiostat
f_k	Freuenz einer k-ten Harmonischen
$f_k(t)$	Harmonische Komponente einer periodischen Funktion $f(t)$
f_{opt}	Gesamtoptimierungsfunktion

f_{ref}	Referenzfrequenz
f_{sw}	Schaltfrequenz
$\mathbf{G}$	Übersetzungsmatrix in einem Zustandsraummodell
i_{abc}	Dreiphasiger Strom in einem Antriebsstrang
i_{cell}	Strom durch eine Lithium-Ionen-Batteriezelle
i_{D}	Drainstrom eines MOSFET
$i_{\mathrm{D}}(i)$	Drainstrom eines i-ten Schalters
$I_{\mathrm{D},i,k}$	Maximaler kontinuierlicher Drainstrom des i-ten Halbleiterschalters im k-ten Submodul
i_{ESU}	Strom durch eine Energiespeichereinheit innerhalb eines MLI-Phasenstrangs
$i_{\mathrm{ESU},k}$	Strom durch die k-te Energiespeichereinheit innerhalb eines MLI-Phasenstrangs
$\tilde{i}_{\mathrm{ESU},k}$	Normierter Strom durch die k-te Energiespeichereinheit in einem Parallelverbund
$i_{\mathrm{ESU,max}}$	Maximaler Strom durch eine Energiespeichereinheit in einem Parallelverbund
$i_{\mathrm{ESU,min}}$	Minimaler Strom durch eine Energiespeichereinheit in einem Parallelverbund
$\hat{i}_{\mathrm{ex}}$	Amplitude eines Anregungsstroms in einem Potentiostat
i_{GD}	Strom über der Gate-Drain-Kapazität C_{GD} eines MOSFET
i_{GS}	Strom über der Gate-Source-Kapazität C_{GS} eines MOSFET
i_k	Strom im oberen Pfad einer k-ten Masche innerhalb eines Parallelverbunds
I_{L}	Maximal geforderter Strom
i_{load}	Laststrom
$i_{\mathrm{lp},k}$	Strom im unteren Pfad einer $(k+1)$-ten Masche innerhalb eines Parallelverbunds
$\boldsymbol{i}_{\mathrm{mesh}}$	Stromvektor bestehend aus allen Maschenströmen
I_{SC}	Maximal vorherrschender Kurzschlussstrom
$i_{\mathrm{sw},i,k}$	Strom durch den i-ten Halbleiterschalter im k-ten Submodul
k	Harmonische Komponente
k_{g}	Gemeinfaktor
L	Induktivität
l_{act}	Ein zum aktuellen Zeitpunkt t vorliegendes Spannungslevel in einem MLI-System
l_{AMLI}	Zugehöriges Spannungslevel einer spezifischen Modulkombination $\mathbf{m}$ in einem AMLI
L_{AMLI}	Menge aller erzeugbaren Spannungslevel auf Basis der realisierbaren Modulkombinationen $\mathbf{m}$ in einem AMLI
$l_{\mathrm{AMLI},i}$	i-tes Spannungslevel in einem AMLI
L_{cell}	Induktivität einer Batteriezelle
L_{D}	Draininduktivität eines MOSFET
l_k	k-te Masche im Ersatzschaltbild eines Parallelverbunds
L_{loop}	Schleifeninduktivität
$L_{\mathrm{loop},i}$	Induktivität der i-ten Schleife
$\mathbf{m}$	Existierende Modulkombination in einem AMLI für die Erzeugung eines spezifischen Spannungslevels auf Basis einer definierten Anzahl an Submodulen $n_{\mathrm{SM,AMLI}}$

m_a	Amplitudenmodulationsindex
m_f	Frequenzmodulationsindex
m_k	k-tes Element einer Modulkombination $\mathbf{m}$
$\mathrm{M_{MK}}$	Menge aller Modulkombinationen in einem AMLI für eine gegebene Anzahl an Modulen $n_\mathrm{SM,AMLI}$
n	Ordnung einer Harmonischen k
N	Neutralpunkt
$N(i)$	Anzahl aller negativ gepolter Module zur Bildung eines spezifischen aktuellen Spannungslevels i in einem SMLI
$N(l_\mathrm{act})$	Anzahl aller negativ gepolter Module zur Bildung eines spezifischen aktuellen Spannungslevels l_act in einem SMLI
n_AMLI	Anzahl an möglichen Konfigurationen in einem AMLI, basierend auf einer Gesamtzahl an Batteriezellen $n_\mathrm{c,tot}$
$n_\mathrm{c,ESU}$	Anzahl an Lithium-Ionen-Batteriezellen je Energiespeichereinheit
$n_\mathrm{c,ESU},k$	Anzahl an Lithium-Ionen-Batteriezellen einer k-ten Energiespeichereinheit
n_comb	Anzahl aller möglichen Modulkombinationen zur Bildung eines spezifischen aktuellen Spannungslevels l_act in einem SMLI
$n_\mathrm{c,ph}$	Anzahl an Lithium-Ionen-Batteriezellen je MLI-Phasenstrang
n_CS	Anzahl der Trägersignale
$n_\mathrm{c,tot}$	Gesamtzahl an Lithium-Ionen-Batteriezellen in einem MLI-System
n_div	Anzahl aller möglichen Teiler einer ganzen Zahl
$n_\mathrm{ESU,ph}$	Anzahl an Energiespeichereinheiten in einem MLI-Phasenstrang
$n_\mathrm{ESU,pp}$	Anzahl an Energiespeichereinheiten in einem Parallelpack
$n_\mathrm{ESU,pp},p$	Anzahl an Energiespeichereinheiten in einem p-ten Parallelpack
N_i	i-ter Knoten des gerichteten Graphen eines MLI-Phasenstrangs
n_in	Negativer Eingangsterminal einer PECIN-Mikrotopologie
$n_\mathrm{l,AMLI}$	Anzahl an erzeugbaren Spannungslevel in einem AMLI
$n_\mathrm{l,AMLI,max}$	Maximale Anzahl an erzeugbaren Spannungslevel in einem AMLI
$n_\mathrm{l,diff}$	Anzahl unterschiedlicher Spannungslevel in einem AMLI
n_level	Anzahl an Spannungslevel, die von einem MLI erzeugt werden können
$n_\mathrm{l,SMLI}$	Anzahl an erzeugbaren Spannungslevel in einem SMLI
n_opt	Anzahl an Optimierungsvariablen in einem Mehrzieloptimierungsproblem
n_out	Negativer Ausgangsterminal einer PECIN-Mikrotopologie
n_p	Anzahl an parallel geschalteten Batteriezellen in einem Invertersystem
n_ph	Phasenzahl in einem Invertersystem
n_pp	Anzahl an Parallelverbünden in einem MLI, die auf Basis der aktuellen Spannungsreferenz gebildet werden können
n_RC	Anzahl an RC-Gliedern
$n_\mathrm{red,AMLI}$	Anzahl an existierenden Modulkombinationen zur Erzeugung eines spezifischen Ausgangsspannungslevels in einem AMLI
$n_\mathrm{red,ExF2}$	Anzahl an einmaligen Spannungslevel in einem AMLI, dessen Zellverteilung der Exponentialfolge mit der Basis $b = 2$ folgt

$n_{\mathrm{red,SMLI}}$	Anzahl an existierenden Modulkombinationen zur Erzeugung eines spezifischen Ausgangsspannungslevels in einem SMLI
$n_{\mathrm{red,SMLI}}^{\mathrm{NoPol}}$	Anzahl an existierenden Modulkombinationen zur Erzeugung eines spezifischen Ausgangsspannungslevels in einem SMLI bei einer reinen Berücksichtigung von NoPol-Kombinationen
$n_{\mathrm{red,SMLI}}^{\mathrm{Pol}}$	Anzahl an existierenden Modulkombinationen zur Erzeugung eines spezifischen Ausgangsspannungslevels in einem SMLI bei einer reinen Berücksichtigung von Pol-Kombinationen
n_{rem}	Anzahl an Energiespeichereinheiten, die zu einem Zeitpunkt t_k im ungenutzen Zustand vorliegen
n_{s}	Anzahl an in Serie geschalteten Submodulen zur Erzeugung eines definierten Spannungslevels am Ausgang eines MLI
N_{samples}	Signallänge eines diskreten Signals $f\,[n]$
n_{seq}	Anzahl an Sequenzen im Zuge der Vorauswahl der PP-Konfiguration bei Anwendung des Radikalalgorithmus
n_{SM}	Anzahl an Submodulen je Inverterphase in einem MLI-System
$n_{\mathrm{SM,AMLI}}$	Anzahl an Submodulen in einem AMLI
n_{SMLI}	Anzahl an möglichen Konfigurationen in einem SMLI, basierend auf einer Gesamtzahl an Batteriezellen $n_{\mathrm{c,tot}}$
$n_{\mathrm{SM,SMLI}}$	Anzahl an Submodulen in einem SMLI
n_{so}	Anzahl an Schaltoperationen innerhalb eines Invertersystems zu einem Zeitpunkt t_k
$n_{\mathrm{step,AMLI}}$	Anzahl an Spannungsstufen in der Ausgangsspannung eines AMLI
$n_{\mathrm{step,SMLI}}$	Anzahl an Spannungsstufen in der Ausgangsspannung eines SMLI
$n_{\mathrm{sw,par}}$	Anzahl an parallel zu schaltenden Halbleiterelementen zur Gewährleistung der Stromtragfähigkeit
$n_{\mathrm{sw,par},i,k}$	Anzahl an parallel zu schaltenden Halbleiterelementen zur Gewährleistung der Stromtragfähigkeit des i-ten Schalters im k-ten Submodul
$n_{\mathrm{sw,SM}}$	Anzahl an Schalter in einem Submodul eines kaskadierten MLI
n_{uni}	Anzahl an Spannungslevel, welche sich mit lediglich einer einzigen Modulkombination erzeugen lassen
$n_{\mathrm{uni,ExF2}}$	Anzahl an einmaligen Spannungslevel in einem AMLI, dessen Zellverteilung der Exponentialfolge mit der Basis $b=2$ folgt
$\mathbf{o}$	Vektor, welcher die n_{opt} veränderbaren Systemvariablen bei der Pareto-Optimierung enthält
$\mathbf{o}^*$	Pareto-optimaler Punkt auf der Pareto-Front
o_k	k-tes Element eines Vektors $\mathbf{o}$
$P(i)$	Anzahl aller positiv gepolter Module zur Bildung eines spezifischen aktuellen Spannungslevels i in einem SMLI
$P(l_{\mathrm{act}})$	Anzahl aller positiv gepolter Module zur Bildung eines spezifischen aktuellen Spannungslevels l_{act} in einem SMLI
P_{con}	Verlustleistung infolge der Stromleitung in einem Invertersystem
$P_{\mathrm{con,ESU}}$	Verlustleistung infolge der Stromleitung einer Energiespeichereinheit
$P_{\mathrm{con,PP}}$	Verlustleistung in einem MLI-Phasenstrang unter der Voraussetzung der Bildung eines Parallelverbunds

$P_{\mathrm{con,SO}}$	Verlustleistung in einem MLI-Phasenstrang bei einem reinen Serienbetrieb
$P_{\mathrm{con,sw}}$	Verlustleistung infolge der Stromleitung eines Schaltelements
p_{in}	Positiver Eingangsterminal einer PECIN-Mikrotopologie
p_{out}	Positiver Ausgangsterminal einer PECIN-Mikrotopologie
PP_p	p-ter Parallelverbund in einem MLI-Phasenstrang
P_{sw}	Verlustleistung infolge von Schaltvorgängen in einem Invertersystem
Q_{b}	Ladungsmenge einer Batteriezelle
Q_i	i-ter MOSFET in einem MLI
$Q_{i,k}$	i-ter MOSFET im k-ten Submodul
Q_k	Kapazitätswert der k-ten Energiespeichereinheit in einem MLI-Phasenstrang
$\boldsymbol{r}$	Randvektor
R	Elektrischer Widerstand
$\mathbf{R}$	Gesamtwiderstandsmatrix in einem Zustandsraummodell
$R_{0,\mathrm{cell}}$	Ohmscher Innenwiderstand einer Lithium-Ionen-Batteriezelle
$R_{0,k}$	Ohmscher Innenwiderstand der k-ten Energiespeichereinheit in einem MLI-Phasenstrang
R_{BtB}	Widerstandswert eines Back-to-Back-Schalterpfads
R_{c}	Gesamtkontaktwiderstand einer Energiespeichereinheit
$R_{\mathrm{c},k}$	Gesamtkontaktwiderstand einer k-ten Energiespeichereinheit
R_{cn}	Kontaktwiderstand einer Batteriezelle als Folge der Kontaktierung des Minuspols
R_{cp}	Kontaktwiderstand einer Batteriezelle als Folge der Kontaktierung des Pluspols
$R_{\mathrm{DS(on)}}$	Drain-Source-Einschaltwiderstand eines MOSFET
$R_{\mathrm{DS(on)},i}$	Drain-Source-Einschaltwiderstand des i-ten MOSFET
$R_{\mathrm{DS(on)},i,k}$	Drain-Source-Einschaltwiderstand des i-ten MOSFET im k-ten Submodul
R_{ESU}	Gesamtwiderstand des Pfads einer Energiespeichereinheit
$\mathbf{R_{ESU}}$	Matrix, bestehend aus den Widerständen der Energiespeichereinheiten in einem Zustandsraummodell
$R_{\mathrm{ESU},k}$	Gesamtwiderstand eines ESU-Pfads der k-ten Energiespeichereinheit
R_{G}	Gatewiderstand
$R_{\mathrm{G,off}}$	Wirksamer Widerstand im Gate-Treiberkreis beim Ausschalten eines MOSFET
$R_{\mathrm{G,on}}$	Wirksamer Widerstand im Gate-Treiberkreis beim Einschalten eines MOSFET
$R_{\mathrm{in,pp}}$	Eingangswiderstand eines Parallelverbunds von Energiespeichereinheiten
$\boldsymbol{r}_k$	k-tes Element eines Randvektors
$R_{\mathrm{nw},k}$	Netzwerkwiderstand aus Sicht der k-ten Energiespeichereinheit
$\tilde{R}_{\mathrm{nw},k}$	Normierter Netzwerkwiderstand aus Sicht der k-ten Energiespeichereinheit
$R_{\mathrm{nw,max}}$	Maximaler Netzwerkwiderstand in einem Parallelverbund
$R_{\mathrm{nw,min}}$	Minimaler Netzwerkwiderstand in einem Parallelverbund
R_{int}	Interner Gate-Widerstand spezifiziert im Datenblatt eines MOSFET
R_{out}	Ausgangswiderstand eines PECIN-Phasenstrangs
$R_{\mathrm{p,cell},n}$	Ohmscher Widerstand eines n-ten RC-Glieds in einem Ersatzschaltbild einer Lithium-Ionen-Batteriezelle

$R_{\mathrm{p},k,n}$	Ohmscher Widerstand eines n-ten RC-Glieds in der k-ten Energiespeichereinheit
$\mathbf{R_{sw}}$	Schalterwiderstandsmatrix in einem Zustandsraummodell
$R_{\mathrm{sw},i}$	Gesamtwiderstand eines Schalterpfads des i-ten Schalters
$R_{\mathrm{sw},i,k}$	Gesamtwiderstand eines Schalterpfads des i-ten Schalters im k-ten Submodul
$R_{\mathrm{sw,lp}}$	Widerstandswert eines unteren Schalterpfads im Ersatzschaltbild eines Parallelverbunds von Energiespeichereinheiten
$R_{\mathrm{sw,up}}$	Widerstandswert eines oberen Schalterpfads im Ersatzschaltbild eines Parallelverbunds von Energiespeichereinheiten
$R_{\mathrm{trace,ESU},k}$	Parasitärer Leitungswiderstand der Kupferbahn des k-ten ESU-Pfads
$R_{\mathrm{trace,np}}$	Parasitärer Leitungswiderstand der Kupferbahn einer PCB zur elektrischen Verbindung des Minuspols einer Batteriezelle mit dem Pluspol der darauffolgenden Batteriezelle
$R_{\mathrm{trace,sw},i}$	Parasitärer Leitungswiderstand der Kupferbahn innerhalb eines Schalterpfads des i-ten Schalters
$R_{\mathrm{trace,sw},i,k}$	Parasitärer Leitungswiderstand der Kupferbahn innerhalb eines Schalterpfads des i-ten Schalters eines k-ten Submoduls
s_i	i-tes Schaltsignal
S_i	Pfad einer i-ten Komponente (Schalter, Energiespeichereinheit) einer Leiterplatte
$s_{i,k}$	Schaltkoeffizient eines i-ten Schaltelements im k-ten Submodul
s_k	Schaltkoeffizient einer k-ten Energiespeichereinheit
SM_j	j-tes Submodul in einem MLI-Phasenstrang
SM_k	k-tes Submodul in einem MLI-Phasenstrang
$\overline{\mathrm{SoC}}$	Durchschnittswert der Ladezustände aller Energiespeichereinheiten in einem MLI-Phasenstrang
$\mathrm{SoC_{bw}}$	Bandbreite des SoC-Bands beim Radikalalgorithmus
SoC_k	Ladezustand der k-ten Energiespeichereinheit in einem MLI-Phasenstrang
$\mathrm{sw}_{i,k}$	i-tes Schaltelement im k-ten Submodul
t	Zeit
T	Periodendauer
t_0	Anfangszeitpunkt
T_0	Fundamentale Periodendauer
t_{edge}	Anteil an der Einschaltzeit einer Energiespeichereinheit, in welchem sich diese am Rand eines Parallelverbunds befindet
t_{fi}	Abstiegszeit des Drainstroms beim Abschalten eines MOSFET
$\mathrm{THD_i}$	THD-Wert eines Stromsignals
$\mathrm{THD_{i,max}}$	Vorgabe des maximalen THD-Werts eines Stromsignals
$\mathrm{THD_u}$	THD-Wert eines Spannungssignals
$\mathrm{THD_{u,max}}$	Vorgabe des maximalen THD-Werts eines Spannungssignals
t_k	Diskreter Zeitpunkt
T_{L}	Lastmoment
t_{off}	Ausschaltzeit eines Bauteils
t_{on}	Einschaltzeit eines Bauteils

$\bar{t}_{\mathrm{on}}$	Durchschnittliche Einschaltzeit eines Bauteils
$t_{\mathrm{on,max}}$	Maximale Einschaltzeit eines Bauteils
$t_{\mathrm{on,min}}$	Minimale Einschaltzeit eines Bauteils
T_{ref}	Periodendauer eines Referenzsignals
t_{rv}	Anstiegszeit der Drain-Source-Spannung beim Abschalten eines MOSFET
t_{sim}	Simulationszeit
T_{sw}	Schaltperiode

$\boldsymbol{u}$	Eingangsvektor in einem Zustandsraummodell
u_{a}	Phasenspannung am Ausgang eines Inverters zwischen dem Abgriff a und dem Neutralpunkt N des Systems
u_{ab}	Spannung zwischen den Abgriffen a und b in einem Invertersystem
u_{abc}	Dreiphasige Spannung in einem Antriebsstrang
$u_{\mathrm{abc}}{}^{*}$	Sollwert einer dreiphasigen Spannung in einem Antriebsstrang
u_{AV}	Drain-Source-Spannung im Avalanche-Durchbruch
u_{b}	Phasenspannung am Ausgang eines Inverters zwischen dem Abgriff b und dem Neutralpunkt N des Systems
$u_{\mathrm{(BR)DSS}}$	Durchbruchspannung eines MOSFET
$u_{\mathrm{(BR)DSS},i,k}$	Durchbruchspannung eines i-ten Schalters im k-ten Submodul
u_{c}	Phasenspannung am Ausgang eines Inverters zwischen dem Abgriff c und dem Neutralpunkt N des Systems
u_{cell}	Spannung einer Lithium-Ionen-Batteriezelle an den Ausgangsklemmen
$u_{\mathrm{CS},i}$	Spannungsverlauf des i-ten Trägersignals
u_{DC}	Gleichspannung
u_{DD}	Spannung zwischen den Drain-Anschlüssen eines Back-to-Back-Schalters in Form der Kaskade zweier einzelner MOSFETs
$u_{\mathrm{DD}}(i)$	Spannung zwischen den Drain-Anschlüssen eines i-ten Back-to-Back-Schalters in Form der Kaskade zweier einzelner MOSFETs
u_{DS}	Spannung zwischen dem Drain- und dem Source-Anschluss eines MOSFET
$u_{\mathrm{DS}}(i)$	Spannung zwischen dem Drain- und dem Source-Anschluss eines i-ten MOSFET
$u_{\mathrm{DS,sat}}$	Drain-Source-Sättigungsspannung eines MOSFET
u_{ESU}	Spannung einer Energiespeichereinheit
$u_{\mathrm{ESU},k}$	Spannung der k-ten Energiespeichereinheit
u_{F}	Vorwärtsspannungsabfall über der Body-Diode eines MOSFET
u_{GD}	Spannung zwischen dem Gate- und dem Drain-Anschluss eines MOSFET
$u_{\mathrm{GD}}(i)$	Spannung zwischen dem Gate- und dem Drain-Anschluss eines i-ten MOSFET
u_{GS}	Spannung zwischen dem Gate- und dem Source-Anschluss eines MOSFET
$u_{\mathrm{GS}}(i)$	Spannung zwischen dem Gate- und dem Source-Anschluss eines i-ten MOSFET
$u_{\mathrm{GS,th}}$	Schwellspannung eines MOSFET
$\boldsymbol{u}_k$	Eingangsvektor einer k-ten Energiespeichereinheit
$\hat{u}_k$	Amplitude der k-ten Harmonischen eines Spannungssignals u
u_{load}	Lastspannung

u_{MLI}	MLI-Phasenspannung
$u_{\mathrm{MLI,max}}$	Maximal erzeugbare Spannung eines MLI
$u_{\mathrm{OC,cell}}$	Leerlaufspannung einer Lithium-Ionen-Batteriezelle
$u_{\mathrm{OC},k}$	Leerlaufspannung einer k-ten Energiespeichereinheit
u_{out}	Ausgangsspannung
$u_{\mathrm{p,cell},n}$	Spannungsabfall über einem n-ten RC-Glied in einem Ersatzschaltbild einer Lithium-Ionen-Batteriezelle
$u_{\mathrm{p},k,n}$	Klemmenspannung des n-ten RC-Glieds der k-ten Energiespeichereinheit in einem MLI
$u_{\mathrm{pp},p}$	Spannungsabfall über dem p-ten Parallelverbund von Batteriezellen
$u_{\mathrm{q,max}}$	Maximaler Wert der Stufenspannung in einem MLI
$u_{\mathrm{q,max,ExF}}$	Maximaler Wert der Stufenspannung in einem AMLI-System, dessen Zellverteilung der Exponentialfolge entspricht
$u_{\mathrm{q,min}}$	Minimaler Wert der Stufenspannung in einem MLI
$u_{\mathrm{q,min,ExF}}$	Minimaler Wert der Stufenspannung in einem AMLI-System, dessen Zellverteilung der Exponentialfolge entspricht
u_{ref}	Referenzspannung am Eingang eines MLI
$\hat{u}_{\mathrm{ref}}$	Amplitude der Referenzspannung am Eingang eines MLI
u_{SM}	Spannung an den Ausgangsklemmen eines Submoduls
$u_{\mathrm{SM},j}$	Klemmenspannung eines j-ten Submoduls in einem MLI-Phasenstrang
$u_{\mathrm{SM},k}$	Klemmenspannung eines k-ten Submoduls in einem MLI-Phasenstrang
u_{step}	Stufenspannung in der MLI-Ausgangsspannung
$u_{\mathrm{step},i}$	i-te Stufenspannung in der MLI-Ausgangsspannung
$u_{\mathrm{step,min}}$	Minimal erzeugbare Stufenhöhe eines MLI
$u_{\mathrm{stv},i,k}$	Erforderliche Spannungsfestigkeit des i-ten Schaltelements im k-ten Submodul
$u_{\mathrm{stv,Out-}}$	Erforderliche Spannungsfestigkeit des Ausgangsschalters *Out-* in einem PECIN-Phasenstrang
$u_{\mathrm{stv,Out+}}$	Erforderliche Spannungsfestigkeit des Ausgangsschalters *Out+* in einem PECIN-Phasenstrang
v	Signal
$\hat{v}_{\mathrm{sin}}$	Amplitude eines Sinussignals v
v_{EV}	Fahrzeuggeschwindigkeit
${v_{\mathrm{EV}}}^*$	Sollwert der Fahrzeuggeschwindigkeit
v_k	k-te harmonische Komponente eines Signals v
$\hat{v}_k$	Amplitude der k-ten harmonischen Komponente eines Signals v
$v_{k,\mathrm{RMS}}$	Effektivwert der k-ten harmonischen Komponente eines Signals v
$\boldsymbol{x}$	Zustandsvektor in einem Zustandsraummodell
$\boldsymbol{x}_k$	Zustandsvektor einer k-ten Energiespeichereinheit
$\boldsymbol{y}$	Ausgangsvektor in einem Zustandsraummodell
$\boldsymbol{y}_k$	Ausgangsvektor einer k-ten Energiespeichereinheit
$\boldsymbol{z}$	Zählvektor

z_k	k-tes Element eines Zählvektors
$\Delta i_{\mathrm{ESU,max}}$	Maximale Stromdifferenz zwischen den Energiespeichereinheiten in einem Parallelverbund
$\Delta P_{\mathrm{con,PP}}$	Eingesparte Verlustleistung in einem MLI-Phasenstrang unter der Voraussetzung der Bildung eines Parallelverbunds von Energiespeichereinheiten
θ_i	i-ter Schaltwinkel beim SHE-Verfahren
$\mu_i(\mathbf{o})$	i-te Zielfunktion bei einer Pareto-Optimierung
ρ_{PP}	Widerstandsverhältnisfaktor
$\tau_{\mathrm{p},k,n}$	Zeitkonstante des n-ten RC-Glieds in der k-ten Energiespeichereinheit
φ	Phasenverschiebung
ω	Elektrische Winkelgeschwindigkeit
ω_0	Fundamentale Winkelgeschwindigkeit
$\omega_{C_{\mathrm{sw}}}$	Gewicht der Zielfunktion der Schalterkosten C_{sw}
$\omega_{d_{\mathrm{A}}}$	Gewicht der Zielfunktion der Gehäusefläche d_{A}
ω_{EM}	Mechanische Winkelgeschwindigkeit des Rotors einer elektrischen Maschine
$\omega_{\mathrm{EM}}{}^*$	Sollwert der mechanischen Winkelgeschwindigkeit des Rotors einer elektrischen Maschine
$\omega_{\mathrm{ESU},k}$	Kantengewicht des Pfads der k-ten Energiespeichereinheit im gerichteten Grahen eines MLI-Phasenstrangs
$\omega_{i,k}$	Kantengewicht des i-ten Schalterpfads im k-ten Submodul im gerichteten Graphen eines MLI-Phasenstrangs
$\omega_{R_{\mathrm{DS(on)}}}$	Gewicht der Zielfunktion des Einschaltwiderstands $R_{\mathrm{DS(on)}}$
Ω_{PO}	Werteraum der Systemvariablen bei der Pareto-Optimierung
$\mathbb{N}$	Körper der natürlichen Zahlen
$\mathbb{R}$	Körper der reellen Zahlen
$\Im$	Imaginärteil
$\Re$	Realteil
$\{a;\, b\}$	Menge, bestehend aus a und b
$\{a \ldots b\}$	Menge, bestehend aus ganzzahligen Elementen von a bis b, Kurzform von $\{a, a+1, \ldots, b-1, b\}$
$(a;\, b)$	Wertepaar, bestehend aus a und b
$[a;\, b]$	Wertebereich, bestehend aus allen Zahlen zwischen a und b
$A{-}B$	Halbbrückenschaltung zweier Schalter A und B
$A \,\|\|\, B$	Parallele Verschaltung zweier Bauelemente A und B

Literaturverzeichnis

[1] Ahmad, S., Meraj, M., Iqbal, A. und Ashraf, I., „Selective harmonics elimination in multilevel inverter by a derivative-free iterative method under varying voltage condition," *ISA Transactions*, Jg. 92, S. 241–256, 2019. DOI: 10.1016/j.isatra.2019.02.015.

[2] Aishwarya, M., Sailaja, M. und Brisilla, R. M., „Modeling of Lithium-ion Batteries: An Overview," in *2021 Innovations in Power and Advanced Computing Technologies (i-PACT)*, 2021, S. 1–9. DOI: 10.1109/i-PACT52855.2021.9696920.

[3] Alishah, R. S., Hosseini, S. H., Babaei, E. und Sabahi, M., „Optimal Design of New Cascaded Switch-Ladder Multilevel Inverter Structure," *IEEE Transactions on Industrial Electronics*, Jg. 64, Nr. 3, S. 2072–2080, 2017. DOI: 10.1109/TIE.2016.2627019.

[4] Babaei, E., „A Cascade Multilevel Converter Topology With Reduced Number of Switches," *IEEE Transactions on Power Electronics*, Jg. 23, Nr. 6, S. 2657–2664, Nov. 2008. DOI: 10.1109/TPEL.2008.2005192.

[5] Babaei, E., Hosseini, S., Gharehpetian, G., Haque, M. T. und Sabahi, M., „Reduction of DC voltage sources and switches in asymmetrical multilevel converters using a novel topology," *Electric Power Systems Research*, Jg. 77, Nr. 8, S. 1073–1085, 2007. DOI: 10.1016/j.epsr.2006.09.012.

[6] Babaei, E. und Hosseini, S. H., „New multilevel converter topology with minimum number of gate driver circuits," in *2008 International Symposium on Power Electronics, Electrical Drives, Automation and Motion*, 2008, S. 792–797. DOI: 10.1109/SPEEDHAM.2008.4581263.

[7] Babaei, E. und Hosseini, S. H., „New cascaded multilevel inverter topology with minimum number of switches," *Energy Conversion and Management*, Jg. 50, Nr. 11, S. 2761–2767, 2009. DOI: 10.1016/j.enconman.2009.06.032.

[8] Babaei, E., Kangarlu, M. F. und Mazgar, F. N., „Symmetric and asymmetric multilevel inverter topologies with reduced switching devices," *Electric Power Systems Research*, Jg. 86, S. 122–130, 2012. DOI: 10.1016/j.epsr.2011.12.013.

[9] Babaei, E., Laali, S. und Bayat, Z., „A Single-Phase Cascaded Multilevel Inverter Based on a New Basic Unit With Reduced Number of Power Switches," *IEEE Transactions on Industrial Electronics*, Jg. 62, Nr. 2, S. 922–929, 2015. DOI: 10.1109/TIE.2014.2336601.

[10] Baker, R. und Bannister, L., „Electric Power Converter," *US Patent*, US 386743A, 1975.

[11] Barkati, S., Baghli, L., Berkouk, E. M. und Boucherit, M.-S., „Harmonic elimination in diode-clamped multilevel inverter using evolutionary algorithms," *Electric Power Systems Research*, Jg. 78, Nr. 10, S. 1736–1746, 2008. DOI: 10.1016/j.epsr.2008.03.010.

[12] Batarseh, I. und Wei, H., „19 - Power Factor Correction Circuits," in *Power Electronics Handbook (Third Edition)*, Rashid, M. H., Hrsg., Third Edition, Boston: Butterworth-Heinemann, 2011, S. 523–547. DOI: 10.1016/B978-0-12-382036-5.00019-7.

[13] Baumann, M., Wildfeuer, L., Rohr, S. und Lienkamp, M., „Parameter variations within Li-Ion battery packs – Theoretical investigations and experimental quantification," *Journal of Energy Storage*, Jg. 18, S. 295–307, 2018. DOI: 10.1016/j.est.2018.04.031.

[14] Benker, H., *Kombinatorik mit MATLAB*, 1. Aufl. Berlin, Heidelberg: Springer, 2010, S. 113–114. DOI: 10.1007/978-3-642-05453-2_15.

[15] Berger, P., *Das Urnenmodell*, 1. Aufl. Berlin, Heidelberg: Springer, 2023, S. 33–58. DOI: 10.1007/978-3-662-67396-6_4.

[16] Bruen, T. und Marco, J., „Modelling and experimental evaluation of parallel connected lithium ion cells for an electric vehicle battery system," *Journal of Power Sources*, Jg. 310, S. 91–101, 2016. DOI: 10.1016/j.jpowsour.2016.01.001.

[17] Buccella, C., Cecati, C., Santis, E. de und Khalid, H. A., „Impact of the number of angles and levels on harmonic mitigation in multilevel converters," in *IECON 2015 - 41st Annual Conference of the IEEE Industrial Electronics Society*, 2015, S. 002 834–002 839. DOI: 10.1109/IECON.2015.7392532.

[18] Burkart, R. und Kolar, J. W., „Component cost models for multi-objective optimizations of switched-mode power converters," in *2013 IEEE Energy Conversion Congress and Exposition*, 2013, S. 2139–2146. DOI: 10.1109/ECCE.2013.6646971.

[19] Chang, F., Ilina, O., Hegazi, O., Voss, L. und Lienkamp, M., „Adopting MOSFET multilevel inverters to improve the partial load efficiency of electric vehicles," in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, S. 1–13. DOI: 10.23919/EPE17ECCEEurope.2017.8099071.

[20] Chang, F., Ilina, O., Lienkamp, M. und Voss, L., „Improving the Overall Efficiency of Automotive Inverters Using a Multilevel Converter Composed of Low Voltage Si MOSFETs," *IEEE Transactions on Power Electronics*, Jg. 34, Nr. 4, S. 3586–3602, Apr. 2019. DOI: 10.1109/TPEL.2018.2854756.

[21] Chang, F., Roemer, F. und Lienkamp, M., „Influence of Current Ripples in Cascaded Multilevel Topologies on the Aging of Lithium Batteries," *IEEE Transactions on Power Electronics*, Jg. 35, Nr. 11, S. 11 879–11 890, 2020. DOI: 10.1109/TPEL.2020.2989145.

[22] Chappa, A., Gupta, S., Sahu, L. K., Gautam, S. P. und Gupta, K. K., „Symmetrical and Asymmetrical Reduced Device Multilevel Inverter Topology," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Jg. 9, Nr. 1, S. 885–896, 2021. DOI: 10.1109/JESTPE.2019.2955279.

[23] Chattopadhyay, S., Mitra, M. und Sengupta, S., *Electric Power Quality*. Springer Dordrecht, 2011, Kap. Harmonics. DOI: 10.1007/978-94-007-0635-4.

[24] Chen, Z., Boroyevich, D. und Burgos, R., „Experimental parametric study of the parasitic inductance influence on MOSFET switching characteristics," in *The 2010 International Power Electronics Conference - ECCE ASIA -*, 2010, S. 164–169. DOI: 10.1109/IPEC.2010.5543851.

[25] Ci, S., Lin, N. und Wu, D., „Reconfigurable Battery Techniques and Systems: A Survey," *IEEE Access*, Jg. 4, S. 1175–1189, 2016. DOI: 10.1109/ACCESS.2016.2545338.

[26] D'Arco, S., Piegari, L. und Tricoli, P., „A modular converter with embedded battery cell balancing for electric vehicles," in *2012 Electrical Systems for Aircraft, Railway and Ship Propulsion*, Okt. 2012, S. 1–6. DOI: 10.1109/ESARS.2012.6387499.

[27] Deng, Y. und Harley, R. G., „Space-Vector Versus Nearest-Level Pulse Width Modulation for Multilevel Converters," *IEEE Transactions on Power Electronics*, Jg. 30, Nr. 6, S. 2962–2974, 2015. DOI: 10.1109/TPEL.2014.2331687.

[28] Di Tullio, L., Arefifar, S. A. und Ordonez, M., „An optimization approach for designing multilevel converters," in *2016 IEEE 7th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, 2016, S. 1–6. DOI: 10.1109/PEDG.2016.7527097.

[29] Diong, B., Sepahvand, H. und Corzine, K. A., „Harmonic Distortion Optimization of Cascaded H-Bridge Inverters Considering Device Voltage Drops and Noninteger DC Voltage Ratios," *IEEE Transactions on Industrial Electronics*, Jg. 60, Nr. 8, S. 3106–3114, Aug. 2013. DOI: 10.1109/TIE.2012.2202351.

[30] Dixon, J. und Moran, L., „Multilevel inverter, based on multi-stage connection of three-level converters scaled in power of three," in *IEEE 2002 28th Annual Conference of the Industrial Electronics Society. IECON 02*, Bd. 2, 2002, S. 886–891. DOI: 10.1109/IECON.2002.1185389.

[31] Dixon, J. u. a., „High-Power Machine Drive, Using Nonredundant 27-Level Inverters and Active Front End Rectifiers," *IEEE Transactions on Power Electronics*, Jg. 22, Nr. 6, S. 2527–2533, Nov. 2007. DOI: 10.1109/TPEL.2007.909276.

[32] Dixon, J., Pereda, J., Castillo, C. und Bosch, S., „Asymmetrical Multilevel Inverter for Traction Drives Using Only One DC Supply," *IEEE Transactions on Vehicular Technology*, Jg. 59, Nr. 8, S. 3736–3743, Okt. 2010. DOI: 10.1109/TVT.2010.2057268.

[33] Domingues-Olavarría, G., Fyhr, P., Reinap, A., Andersson, M. und Alaküla, M., „From Chip to Converter: A Complete Cost Model for Power Electronics Converters," *IEEE Transactions on Power Electronics*, Jg. 32, Nr. 11, S. 8681–8692, 2017. DOI: 10.1109/TPEL.2017.2651407.

[34] Doppelbauer, M., *Grundlagen der Elektromobilität: Technik, Praxis, Energie und Umwelt*, 1. Aufl. Wiesbaden: Springer Fachmedien Wiesbaden GmbH, 2020. DOI: 10.1007/978-3-658-29730-5.

[35] Durak, E. S., Okumus, H. I., Usta, M. A. und Kahveci, H., „Selective Harmonic Elimination with Particle Swarm Optimization in Multilevel Inverters," in *2018 IEEE 18th International Power Electronics and Motion Control Conference (PEMC)*, 2018, S. 1019–1024. DOI: 10.1109/EPEPEMC.2018.8521959.

[36] Ebrahimi, J., Babaei, E. und Gharehpetian, G. B., „A New Multilevel Converter Topology With Reduced Number of Power Electronic Components," *IEEE Transactions on Industrial Electronics*, Jg. 59, Nr. 2, S. 655–667, 2012. DOI: 10.1109/TIE.2011.2151813.

[37] Einhorn, M., Conte, F. V., Kral, C. und Fleig, J., „Comparison, Selection, and Parameterization of Electrical Battery Models for Automotive Applications," *IEEE Transactions on Power Electronics*, Jg. 28, Nr. 3, S. 1429–1437, 2013. DOI: 10.1109/TPEL.2012.2210564.

[38] Etesami, M., Ghasemi, N., Vilathgamuwa, D. M. und Malan, W., „Particle swarm optimisation-based modified SHE method for cascaded H-bridge multilevel inverters," *IET Power Electronics*, Jg. 10, S. 18–28, 2017. DOI: 10.1049/iet-pel.2015.0864.

[39] Fateh, F. und Gruenbacher, D., „Minimization of power loss and harmonic distortion in grid-tied cascaded multilevel inverters," in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014, S. 3490–3495. DOI: 10.1109/APEC.2014.6803811.

[40] Franquelo, L. G., Rodriguez, J., Leon, J. I., Kouro, S., Portillo, R. und Prats, M. A., „The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, Jg. 2, Nr. 2, S. 28–39, 2008. DOI: 10.1109/MIE.2008.923519.

[41] Gautam, S., Gupta, S. und Sahu, L., „Reduction in number of devices for symmetrical and asymmetrical multilevel inverters," *IET Power Electronics*, Jg. 9, Nov. 2016. DOI: 10.1049/iet-pel.2015.0176.

[42] Göbel, H., *Einführung in die Halbleiter-Schaltungstechnik*, 6. Aufl. Berlin, Heidelberg: Springer Vieweg, 2018, Kap. 4, S. 105–132. DOI: 10.1007/978-3-662-56563-6_4.

[43] Goetz, S. M., Li, Z., Liang, X., Zhang, C., Lukic, S. M. und Peterchev, A. V., „Control of Modular Multilevel Converter With Parallel Connectivity - Application to Battery Systems," *IEEE Transactions on Power Electronics*, Jg. 32, Nr. 11, S. 8381–8392, 2017. DOI: 10.1109/TPEL.2016.2645884.

[44] Goetz, S. M., Peterchev, A. V. und Weyh, T., „Modular Multilevel Converter With Series and Parallel Module Connectivity: Topology and Control," *IEEE Transactions on Power Electronics*, Jg. 30, Nr. 1, S. 203–215, Jan. 2015. DOI: 10.1109/TPEL.2014.2310225.

[45] Gohari, A., Afjei, E., Torkaman, H. und Mosallanejad, A., „Minimizing switching losses in cascaded multilevel inverters by proper switching array selection," in *2018 9th Annual Power Electronics, Drives Systems and Technologies Conference (PEDSTC)*, 2018, S. 432–436. DOI: 10.1109/PEDSTC.2018.8343836.

[46] Graovac, D., Pürschel, M. und Andreas, K., „MOSFET power losses calculation using the data-sheet parameters," in Neubiberg, Germany: Infineon Technologies, Juli 2006.

[47] Guicking, D., *Schwingungen: Theorie und Anwendungen in Mechanik, Akustik, Elektrik und Optik*, 1. Aufl. Wiesbaden: Springer Vieweg Wiesbaden, 2016. DOI: 10.1007/978-3-658-14136-3.

[48] Gupta, K. K. und Jain, S., „Comprehensive Review of a Recently Proposed Multilevel Inverter," *IET Power Electronics*, Jg. 7, Nr. 3, S. 467–479, 2014. DOI: 10.1049/iet-pel.2012.0438.

[49] Gupta, K. K. und Jain, S., „A Novel Multilevel Inverter Based on Switched DC Sources," *IEEE Transactions on Industrial Electronics*, Jg. 61, Nr. 7, S. 3269–3278, Juli 2014. DOI: 10.1109/TIE.2013.2282606.

[50] Gupta, K. K., Ranjan, A., Bhatnagar, P., Sahu, L. K. und Jain, S., „Multilevel Inverter Topologies With Reduced Device Count: A Review," *IEEE Transactions on Power Electronics*, Jg. 31, Nr. 1, S. 135–151, 2016. DOI: 10.1109/TPEL.2015.2405012.

[51] Hanzl, C., Hartmann, C., Hölzle, M., Liebhart, B., Schmid, M. und Endisch, C., „Current Commutation in a Switched Lithium–Ion Cell used in Cascaded Half–Bridge Multilevel Inverters," *IET Power Electronics*, 2021. DOI: 10.1049/pel2.12088.

[52] Hanzl, C., Stöttner, J., Hölzle, M. und Endisch, C., „Experimental Investigation and Analytical Modeling of Half-Bridge Switching Losses in Reconfigurable Lithium-Ion Cells," in *2023 11th International Conference on Power Electronics and ECCE Asia (ICPE 2023 - ECCE Asia)*, 2023, S. 1058–1065. DOI: 10.23919/ICPE2023-ECCEAsia54778.2023.10213901.

[53] Hardy, G. H. und Wright, E. M., *An Introduction to the Theory of Numbers*, 4. Aufl. Oxford at the Clarendon Press, 1975, S. 1, 239.

[54] Hasan, N. S., Rosmin, N., Osman, D. A. A. und Musta'amal@Jamal, A. H., „Reviews on multilevel converter and modulation techniques," *Renewable and Sustainable Energy Reviews*, Jg. 80, S. 163–174, 2017. DOI: 10.1016/j.rser.2017.05.163.

[55] He, H., Xiong, R. und Fan, J., „Evaluation of Lithium-Ion Battery Equivalent Circuit Models for State of Charge Estimation by an Experimental Approach," *Energies*, Jg. 4, Nr. 4, S. 582–598, 2011. DOI: 10.3390/en4040582.

[56] Helling, F., Glück, J., Singer, A., Weyh, T. und Pfisterer, H.-J., „The AC Battery - A Novel Approach for Integrating Batteries into AC Systems," *International Journal of Electrical Power & Energy Systems*, Jg. 104, S. 150–158, Feb. 2019. DOI: 10.1016/j.ijepes.2018.06.047.

[57] Helling, F., Götz, S., Singer, A. und Weyh, T., „Fast Modular Multilevel Series/Parallel Converter for direct-drive gas turbines," in *2015 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EIConRusNW)*, 2015, S. 198–202. DOI: 10.1109/EIConRusNW.2015.7102262.

[58] Helling, F., Götz, S. und Weyh, T., „A battery modular multilevel management system (BM3) for electric vehicles and stationary energy storage systems," in *2014 16th European Conference on Power Electronics and Applications*, 2014, S. 1–10. DOI: 10.1109/EPE.2014.6910821.

[59] Herzog, M., Ebentheuer, A. W., Lahlou, T. und Herzog, H., „Management Algorithms for Cascaded H-Bridge Multilevel Inverters," in *2018 53rd International Universities Power Engineering Conference (UPEC)*, Sep. 2018, S. 1–6. DOI: 10.1109/TPEL.2014.2310225.

[60] Hinago, Y. und Koizumi, H., „A Single-Phase Multilevel Inverter Using Switched Series/Parallel DC Voltage Sources," *IEEE Transactions on Industrial Electronics*, Jg. 57, Nr. 8, S. 2643–2650, 2010. DOI: 10.1109/TIE.2009.2030204.

[61] Hinterberger, M., Endisch, C., Terbrack, C. und Stöttner, J., „Batterie mit einem Batteriemodul und Verfahren zu deren Betrieb," Patent, angemeldet in Deutschland (DE102019130736A1), 2019.

[62] Hinterberger, M., Endisch, C., Terbrack, C. und Stöttner, J., „Batterie mit einem Batteriemodul und Verfahren zu deren Betrieb," Patent, angemeldet in Deutschland (DE102019130738A1), den USA (US020210151726A1) und China (CN000112793469A), 2019.

[63] Hinterberger, M., Endisch, C., Terbrack, C. und Stöttner, J., „Batterie mit einer Batteriezelle und Verfahren zu deren Betrieb," Patent, angemeldet in Deutschland (DE102019130739A1), den USA (US020210151727A1) und China (CN000112793472A), 2019.

[64] Hinterberger, M., Endisch, C., Terbrack, C. und Stöttner, J., „Batterie mit einer Batteriezelle und Verfahren zu deren Betrieb," Patent, angemeldet in Deutschland (DE102019130740A1), den USA (US020210146791A1) und China (CN000112793470A), 2019.

[65] Hinterberger, M., Endisch, C., Terbrack, C. und Stöttner, J., „Batterie mit einer Batteriezelle und Verfahren zu deren Betrieb," Patent, angemeldet in Deutschland (DE102019130741A1), den USA (US020210151728A1) und China (CN000112793471A), 2019.

[66] Hinterberger, M., Endisch, C., Terbrack, C. und Stöttner, J., „Verfahren zum Betrieb einer Batterie und Steuereinrichtung hierfür," Patent, angemeldet in Deutschland (DE102019130737A1), 2019.

[67] El-Hosainy, A., Hamed, H. A., Azazi, H. Z. und El-Kholy, E. E., „A review of multilevel inverter topologies, control techniques, and applications," in *2017 Nineteenth International Middle East Power Systems Conference (MEPCON)*, 2017, S. 1265–1275. DOI: 10.1109/MEPCON.2017.8301344.

[68] Hren, A., Truntič, M. und Mihalič, F., „A Survey on the State-of-the-Art and Future Trends of Multilevel Inverters in BEVs," *Electronics*, Jg. 12, Nr. 13, 2023, DOI: 10.3390/electronics 12132993.

[69] Hu, X., Li, S. und Peng, H., „A comparative study of equivalent circuit models for Li-ion batteries," *Journal of Power Sources*, Jg. 198, S. 359–367, 2012. DOI: 10.1016/j.jpowsour.2011.10.013.

[70] „IEEE Recommended Practice and Requirements for Harmonic Control in Electric Power Systems," *IEEE Std 519-2014 (Revision of IEEE Std 519-1992)*, S. 1–29, 2014. DOI: 10.1109/IEEESTD.2014.6826459.

[71] Islam, M., Jobayer, M. A., Mahi, M. und Mamun, K., „Pure sine wave gain and efficiency improvement of three-phase cascade multilevel inverter," in *2016 5th International Conference on Informatics, Electronics and Vision (ICIEV)*, Mai 2016, S. 287–292. DOI: 10.1109/ICIEV.2016.7760012.

[72] Islam, M. R., Guo, Y. und Zhu, J. G., „Performance and cost comparison of NPC, FC and SCHB multilevel converter topologies for high-voltage applications," in *2011 International Conference on Electrical Machines and Systems*, 2011, S. 1–6. DOI: 10.1109/ICEMS.2011.6073827.

[73] Islam, N., Mohammad, K., Khan, R. A., Sarwer, Z. und Sarwar, A., „Symmetrical and Asymmetrical Multilevel Inverter Topologies With Reduced Device Count: A Review," in *2021 2nd International Conference for Emerging Technology (INCET)*, 2021, S. 1–6. DOI: 10.1109/INCET51464.2021.9456047.

[74] Kahwa, A., Obara, H. und Fujimoto, Y., „Estimation and Analysis of Power Loss in a Reduced Switches Count H-Bridge Multilevel Inverter," in *2019 IEEE International Conference on Mechatronics (ICM)*, Bd. 1, 2019, S. 25–30. DOI: 10.1109/ICMECH.2019.8722859.

[75] Kangarlu, M. F. und Babaei, E., „Cross-switched multilevel inverter: an innovative topology," *IET Power Electronics*, Jg. 6, Nr. 4, S. 642–651, Apr. 2013. DOI: 10.1049/iet-pel.2012.0265.

[76] Kangarlu, M. F., Babaei, E. und Sabahi, M., „Cascaded cross-switched multilevel inverter in symmetric and asymmetric conditions," *IET Power Electronics*, Jg. 6, Nr. 6, S. 1041–1050, Juli 2013. DOI: 10.1049/iet-pel.2012.0563.

[77] Kashappa, N., „Total harmonic distortion investigation on multilevel inverter systems," *International Journal of Emerging Technologies and Innovative Research*, Jg. 4, Nr. 10, S. 451–547, 2017.

[78] Kersten, A., Grunditz, E. und Thiringer, T., „Efficiency of Active Three-Level and Five-Level NPC Inverters Compared to a Two-Level Inverter in a Vehicle," in *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, 2018, S. 1–9.

[79] Khasim, S. R. und Dhanamjayulu, C., „Design and Implementation of Asymmetrical Multilevel Inverter With Reduced Components and Low Voltage Stress," *IEEE Access*, Jg. 10, S. 3495–3511, 2022. DOI: 10.1109/ACCESS.2022.3140354.

[80] Khomfoi, S. und Tolbert, L. M., „17 - Multilevel Power Converters," in *Power Electronics Handbook (Third Edition)*, Rashid, M. H., Hrsg., Boston: Butterworth-Heinemann, 2011, S. 455–486. DOI: 10.1016/B978-0-12-382036-5.00017-3.

[81] Kim, S.-H., „Chapter 7: Pulse width modulation inverters," in *Electric Motor Control: DC, AC, and BLDC Motors*, Elsevier Science & Technology, Mai 2017, S. 265–340. DOI: 10.1016/B978-0-12-812138-2.00007-6.

[82] Kleiner, J., Heider, A., Hanzl, C., Komsiyska, L., Elger, G. und Endisch, C., „Thermal Behavior of an Intelligent Li-Ion Cell under Vehicle Conditions," in *IECON 2020 The 46th Annual Conference of the IEEE Industrial Electronics Society*, 2020, S. 2081–2086. DOI: 10.1109/IECON43393.2020.9254336.

[83] Kleiner, J., Heider, A., Komsiyska, L., Elger, G. und Endisch, C., „Thermal behavior of intelligent automotive lithium-ion batteries: Experimental study with switchable cells and reconfigurable modules," *Journal of Energy Storage*, Jg. 44, S. 103 274, 2021. DOI: 10.1016/j.est.2021.103274.

[84] Komsiyska, L. u. a., „Critical Review of Intelligent Battery Systems: Challenges, Implementation, and Potential for Electric Vehicles," *Energies*, Jg. 14, Nr. 18, 2021. DOI: 10.3390/en14185989.

[85] Korte, C., Specht, E., Hiller, M. und Goetz, S., „Efficiency evaluation of MMSPC/CHB topologies for automotive applications," in *2017 IEEE 12th International Conference on Power Electronics and Drive Systems (PEDS)*, 2017, S. 324–330. DOI: 10.1109/PEDS.2017.8289145.

[86] Kouro, S. u. a., „Recent Advances and Industrial Applications of Multilevel Converters," *IEEE Transactions on Industrial Electronics*, Jg. 57, Nr. 8, S. 2553–2580, Aug. 2010. DOI: 10.1109/TIE.2010.2049719.

[87] Krishnachaitanya, D. und A., C., „Quantitative Analysis of Asymmetric Multilevel Inverters With Reduced Device Count From Reliability and Cost Function Perspective—A Review," *IEEE Transactions on Power Electronics*, Jg. 36, Nr. 10, S. 11 068–11 086, 2021. DOI: 10.1109/TPEL.2021.3071375.

[88] Kubendran, V. und Shuaib, Y. M., „An improved switched diode multilevel inverter topology with fewer on state switches," *Frontiers in Energy Research*, Jg. 10, 2022. DOI: 10.3389/fenrg.2022.953709.

[89] Kuder, M., Schneider, J., Kersten, A., Thiringer, T., Eckerle, R. und Weyh, T., „Battery Modular Multilevel Management (BM3) Converter applied at Battery Cell Level for Electric Vehicles and Energy Storages," in *PCIM Europe digital days 2020; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2020, S. 1–8.

[90] Lange, D., „Methoden der Signal- und Systemanalyse: Eine Einführung mit dem Personalcomputer," in 1. Aufl. Braunschweig, Wiesbaden: Vieweg+Teubner Verlag, 1985. DOI: 10.1007/978-3-322-83936-7.

[91] Lange, J. und Lange, T., *Fourier-Transformation zur Signal- und Systembeschreibung: Kompakt, visuell, intuitiv verständlich*, 1. Aufl. Wiesbaden: Springer Vieweg, 2019, Kap. Fourier-Reihe. DOI: 10.1007/978-3-658-24850-5_3.

[92] Li, L., Czarkowski, D., Liu, Y. und Pillay, P., „Multilevel selective harmonic elimination PWM technique in series-connected voltage inverters," *IEEE Transactions on Industry Applications*, Jg. 36, Nr. 1, S. 160–170, 2000. DOI: 10.1109/28.821811.

[93] Liang, H., Guo, L., Song, J., Yang, Y., Zhang, W. und Qi, H., „State-of-Charge Balancing Control of a Modular Multilevel Converter with an Integrated Battery Energy Storage," *Energies*, Jg. 11, Nr. 4, 2018. DOI: 10.3390/en11040873.

[94] Liao, Y.-H. und Lai, C.-M., „Newly-Constructed Simplified Single-Phase Multistring Multilevel Inverter Topology for Distributed Energy Resources," *IEEE Transactions on Power Electronics*, Jg. 26, Nr. 9, S. 2386–2392, 2011. DOI: 10.1109/TPEL.2011.2157526.

[95] Liebhart, B., Satzke, M., Komsiyska, L. und Endisch, C., „Application of nonlinear impedance spectroscopy for the diagnosis of lithium-ion battery cells under various operating conditions," *Journal of Power Sources*, Jg. 480, S. 228 673, 2020. DOI: 10.1016/j.jpowsour.2020.228673.

[96] Lutz, J., *Halbleiter-Leistungsbauelemente: Physik, Eigenschaften, Zuverlässigkeit*, 2. Aufl. Berlin, Heidelberg: Springer-Verlag, 2012. DOI: 10.1007/978-3-642-29796-0.

[97] Lutz, J., Schlangenotto, H., Scheuermann, U. und Doncker, R. D., *Semiconductor Power Devices, Physics, Characteristics, Reliability*, 2. Aufl. Cham: Springer International Publishing AG, 2018, S. 359–364. DOI: 10.1007/978-3-319-70917-8.

[98] Maharjan, L., Inoue, S., Akagi, H. und Asakura, J., „State-of-Charge (SOC)-Balancing Control of a Battery Energy Storage System Based on a Cascade PWM Converter," *IEEE Transactions on Power Electronics*, Jg. 24, Nr. 6, S. 1628–1636, 2009. DOI: 10.1109/TPEL.2009.2014868.

[99] Mandal, S. und Paul, B., „Effect of Modulation Index on THD of Reduced Switch MLI," in *2nd International Conference on Non-Conventional Energy: Nanotechnology & Nanomaterials for Energy & Environment (ICNNEE) 2019*, Dez. 2019, S. 50–55. DOI: 10.2139/ssrn.3511601.

[100] Marquardt, R., „Modular Multilevel Converter: An universal concept for HVDC-Networks and extended DC-Bus-applications," in *The 2010 International Power Electronics Conference - ECCE ASIA -*, 2010, S. 502–507. DOI: 10.1109/IPEC.2010.5544594.

[101] McGrath, B. P., Teixeira, C. A. und Holmes, D. G., „Optimized Phase Disposition (PD) Modulation of a Modular Multilevel Converter," *IEEE Transactions on Industry Applications*, Jg. 53, Nr. 5, S. 4624–4633, Sep. 2017. DOI: 10.1109/TIA.2017.2697953.

[102] Memon, A. J., Mahar, M. A., Larik, A. S. und Shaikh, M. M., „A Comprehensive Review of Reduced Device Count Multilevel Inverters for PV Systems," *Energies*, Jg. 16, Nr. 15, 2023. DOI: 10.3390/en16155638.

[103] Meshram, P. M. und Borghate, V. B., „A Simplified Nearest Level Control (NLC) Voltage Balancing Method for Modular Multilevel Converter (MMC)," *IEEE Transactions on Power Electronics*, Jg. 30, Nr. 1, S. 450–462, Jan. 2015. DOI: 10.1109/TPEL.2014.2317705.

[104] Meynard, T. und Foch, H., „Multi-Level Choppers for High Voltage Applications," *EPE Journal*, Jg. 2, Nr. 1, S. 45–50, 1992. DOI: 10.1080/09398368.1992.11463285.

[105] Michel, M., *Leistungselektronik: Einführung in Schaltungen und deren Verhalten*, 4. Aufl. Berlin, Heidelberg: Springer-Verlag, 2008. DOI: 10.1007/978-3-540-75611-8.

[106] Minai, A. F., Khan, A. A., Alam, Q. und Mallick, M., „Performance Analysis of Various Switching Scheme in Multilevel Inverters using MATLAB/SIMULINK," *International Journal of Current Engineering and Technology*, Jg. 4, S. 718–724, Apr. 2014.

[107] Mohammed, M. F. und Qasim, M. A., „Single Phase T-Type Multilevel Inverters for Renewable Energy Systems, Topology, Modulation, and Control Techniques: A Review," *Energies*, Jg. 15, Nr. 22, 2022. DOI: 10.3390/en15228720.

[108] Mohd.Ali, J. S. und Krishnaswamy, V., „An assessment of recent multilevel inverter topologies with reduced power electronics components for renewable applications," *Renewable and Sustainable Energy Reviews*, Jg. 82, S. 3379–3399, 2018. DOI: 10.1016/j.rser.2017.10.052.

[109] Morris, J., *Combinatorics: An Upper-Level Introductory Course In Enumeration, Graph Theory, And Design Theory* (Online access: Center for Open Education Open Textbook Library). University of Lethbridge, Curriculum Redevelopment Centre, 2017, S. 35.

[110] *MOSFET Avalanche Ruggedness*. Toshiba Electronic Devices & Storage Corporation, Juli 2018, S. 1–10, Application Note.

[111] *MOSFET Gate Drive Circuit*. Toshiba Electronic Devices & Storage Corporation, Juli 2018, S. 1–22, Application Note.

[112] *MOSFET Self-Turn-On Phenomenon Application Note*. Toshiba Electronic Devices & Storage Corporation, Juli 2018, S. 1–19, Application Note.

[113] Mostafa, M., Abdou, A. F., El-Gawad, A. F. A. und El-kholy, E., „Comparison of multicarrier and SHE-PWM for a nine levels cascaded H-bridge inverter," in *2017 Nineteenth International Middle East Power Systems Conference (MEPCON)*, 2017, S. 1483–1491. DOI: 10.1109/MEPCON.2017.8301379.

[114] Nabae, A., Takahashi, I. und Akagi, H., „A New Neutral-Point-Clamped Inverter," *IEEE Transactions on Industry Applications*, Jg. IA-17, Nr. 5, S. 518–523, Sep. 1981. DOI: 10.1109/TIA.1981.4503992.

[115] Najafi, E. und Yatim, A. H. M., „Design and Implementation of a New Multilevel Inverter Topology," *IEEE Transactions on Industrial Electronics*, Jg. 59, Nr. 11, S. 4148–4154, 2012. DOI: 10.1109/TIE.2011.2176691.

[116] Nguyen, N.-V., Tu Nguyen, T.-K. und Lee, H.-H., „A Reduced Switching Loss PWM Strategy to Eliminate Common-Mode Voltage in Multilevel Inverters," *IEEE Transactions on Power Electronics*, Jg. 30, Nr. 10, S. 5425–5438, 2015. DOI: 10.1109/TPEL.2014.2377152.

[117] Omer, P., Kumar, J. und Surjan, B. S., „A Review on Reduced Switch Count Multilevel Inverter Topologies," *IEEE Access*, Jg. 8, S. 22 281–22 302, 2020. DOI: 10.1109/ACCESS.2020.2969551.

[118] Öz, N., Erhan, K. und Baba, A. F., „Module and Cell Configuration Optimization for Multiple Voltage Level EV Battery Pack," in *2023 14th International Conference on Electrical and Electronics Engineering (ELECO)*, 2023, S. 1–5. DOI: 10.1109/ELECO60389.2023.10416031.

[119] Poorfakhraei, A., Narimani, M. und Emadi, A., „A Review of Modulation and Control Techniques for Multilevel Inverters in Traction Applications," *IEEE Access*, Jg. 9, S. 24 187–24 204, 2021. DOI: 10.1109/ACCESS.2021.3056612.

[120] Porselvi, T. und Muthu, R., „Comparison of Cascaded H-Bridge, Neutral Point Clamped and Flying Capacitor multilevel inverters using multicarrier PWM," in *2011 Annual IEEE India Conference*, 2011, S. 1–4. DOI: 10.1109/INDCON.2011.6139534.

[121] *Power MOSFET Basics: Understanding Gate Charge and Using it to Assess Switching Performance*. Vishay, Feb. 2016, S. 1–6, device Application Note AN608A.

[122] *Power MOSFET Electrical Characteristics*. Toshiba Electronic Devices & Storage Corporation, Juli 2018, S. 1–11, Application Note.

[123] *Power MOSFET Structure and Characteristics*. Toshiba Electronic Devices & Storage Corporation, Juli 2018, S. 1–11, Application Note.

[124] Prabaharan, N. und Palanisamy, K., „A comprehensive review on reduced switch multilevel inverter topologies, modulation techniques and applications," *Renewable and Sustainable Energy Reviews*, Jg. 76, S. 1248–1282, 2017. DOI: 10.1016/j.rser.2017.03.121.

[125] Prasad, D., Dhanamjayulu, C., Padmanaban, S., Holm-Nielsen, J. B., Blaabjerg, F. und Khasim, S. R., „Design and Implementation of 31-Level Asymmetrical Inverter With Reduced Components," *IEEE Access*, Jg. 9, S. 22 788–22 803, 2021. DOI: 10.1109/ACCESS.2021.3055368.

[126] Quach, N.-T., Chae, S. H., Hong Ahn, J. und Kim, E.-H., „Harmonic analysis of a modular multilevel converter using double fourier series," *Journal of Electrical Engineering and Technology*, Jg. 13, S. 3298–306, 2018. DOI: 10.5370/JEET.2018.13.1.298.

[127] Quraan, M., Tricoli, P., D'Arco, S. und Piegari, L., „Efficiency Assessment of Modular Multilevel Converters for Battery Electric Vehicles," *IEEE Transactions on Power Electronics*, Jg. 32, Nr. 3, S. 2041–2051, 2017. DOI: 10.1109/TPEL.2016.2557579.

[128] Quraan, M., Yeo, T. und Tricoli, P., „Design and Control of Modular Multilevel Converters for Battery Electric Vehicles," *IEEE Transactions on Power Electronics*, Jg. 31, Nr. 1, S. 507–517, 2016. DOI: 10.1109/TPEL.2015.2408435.

[129] Rani, P. S., Prasadarao, K. V. S. und Subbarao, K. R. N. V., „Comparison of symmetrical and asymmetrical multilevel inverter topologies with reduced number of switches," in *2014 International Conference on Smart Electric Grid (ISEG)*, 2014, S. 1–5. DOI: 10.1109/ISEG.2014.7005581.

[130] Ray, R. N., Chatterjee, D. und Goswami, S. K., „A PSO based optimal switching technique for voltage harmonic reduction of multilevel inverter," *Expert Systems with Applications*, Jg. 37, Nr. 12, S. 7796–7801, 2010. DOI: 10.1016/j.eswa.2010.04.060.

[131] Ren, Y., Xu, M., Zhou, J. und Lee, F., „Analytical loss model of power MOSFET," *IEEE Transactions on Power Electronics*, Jg. 21, Nr. 2, S. 310–319, 2006. DOI: 10.1109/TPEL.2005.869743.

[132] Rodriguez, J., Lai, J.-S. und Peng, F. Z., „Multilevel inverters: a survey of topologies, controls, and applications," *IEEE Transactions on Industrial Electronics*, Jg. 49, Nr. 4, S. 724–738, 2002. DOI: 10.1109/TIE.2002.801052.

[133] Rodriguez, J. u. a., „Multilevel Converters: An Enabling Technology for High-Power Applications," *Proceedings of the IEEE*, Jg. 97, Nr. 11, S. 1786–1817, 2009. DOI: 10.1109/JPROC.2009.2030235.

[134] Rohner, S., Bernet, S., Hiller, M. und Sommer, R., „Modulation, Losses, and Semiconductor Requirements of Modular Multilevel Converters," *IEEE Transactions on Industrial Electronics*, Jg. 57, Nr. 8, S. 2633–2642, 2010. DOI: 10.1109/TIE.2009.2031187.

[135] Roy, T. und Sadhu, P. K., „A Step-Up Multilevel Inverter Topology Using Novel Switched Capacitor Converters With Reduced Components," *IEEE Transactions on Industrial Electronics*, Jg. 68, Nr. 1, S. 236–247, Jan. 2021. DOI: 10.1109/TIE.2020.2965458.

[136] Ruderman, A., „About Voltage Total Harmonic Distortion for Single- and Three-Phase Multilevel Inverters," *IEEE Transactions on Industrial Electronics*, Jg. 62, Nr. 3, S. 1548–1551, 2015. DOI: 10.1109/TIE.2014.2341557.

[137] Rushiraj, G. J. und Kapil, P., „Analysis of different modulation techniques for multilevel inverters," in *2016 International Conference on Electrical, Electronics, and Optimization Techniques (ICEEOT)*, 2016, S. 3017–3024. DOI: 10.1109/ICEEOT.2016.7755254.

[138] Sabyasachi, S., Borghate, V. und Maddugari, S., „A 21-level bipolar single-phase modular multilevel inverter," *Journal of Circuits, Systems and Computers*, Jg. 29, Nr. 1, Jan. 2020. DOI: 10.1142/S0218126620500048.

[139] Sarwer, Z., Siddique, M. D., Iqbal, A., Sarwar, A. und Mekhilef, S., „An Improved Asymmetrical Multilevel Inverter Topology with Reduced Semiconductor Device Count," Jg. 30, Nr. 11, e12587, Apr. 2020. DOI: 10.1002/2050-7038.12587.

[140] Schlienz, U., *Schaltnetzteile und ihre Peripherie: Dimensionierung, Einsatz, EMV*, 3. Aufl. Wiesbaden: Vieweg+Teubner Verlag, 2007. DOI: 10.1007/978-3-8348-9222-5.

[141] Schmid, M., Kneidinger, H.-G. und Endisch, C., „Data-Driven Fault Diagnosis in Battery Systems Through Cross-Cell Monitoring," *IEEE Sensors Journal*, Jg. 21, Nr. 2, 2021. DOI: 10.1109/JSEN.2020.3017812.

[142] Schmid, M., Gebauer, E., Hanzl, C. und Endisch, C., „Active Model-Based Fault Diagnosis in Reconfigurable Battery Systems," *IEEE Transactions on Power Electronics*, Jg. 36, Nr. 3, S. 2584–2597, März 2021. DOI: 10.1109/TPEL.2020.3012964.

[143] Schmid, M., Vögele, U. und Endisch, C., „A novel matrix-vector-based framework for modeling and simulation of electric vehicle battery packs," *Journal of Energy Storage*, Jg. 32, S. 101 736, 2020. DOI: 10.1016/j.est.2020.101736.

[144] Schneider, D., Liebhart, B. und Endisch, C., „Active state and parameter estimation as part of intelligent battery systems," *Journal of Energy Storage*, Jg. 39, S. 102 638, Juli 2021. DOI: 10.1016/j.est.2021.102638.

[145] Schröder, D., *Elektrische Antriebe- Regelung von Antriebssystemen*, 4. Aufl. Berlin, Heidelberg: Springer-Verlag, 2015. DOI: 10.1007/978-3-642-30096-7.

[146] Siddique, M. D., Mekhilef, S., Shah, N. M. und Memon, M. A., „Optimal Design of a New Cascaded Multilevel Inverter Topology With Reduced Switch Count," *IEEE Access*, Jg. 7, S. 24 498–24 510, Feb. 2019. DOI: 10.1109/ACCESS.2019.2890872.

[147] Singer, A., Helling, F., Weyh, T., Jungbauer, J. und Pfisterer, H.-J., „Modular multilevel parallel converter based split battery system (M2B) for stationary storage applications," in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, S. 1–10. DOI: 10.23919/EPE17ECCEEurope.2017.8099064.

[148] Sirisukprasert, S., Lai, J.-S. und Liu, T.-H., „Optimum harmonic reduction with a wide range of modulation indexes for multilevel converters," *IEEE Transactions on Industrial Electronics*, Jg. 49, Nr. 4, S. 875–881, 2002. DOI: 10.1109/TIE.2002.801226.

[149] Sorokina, N. u. a., „Efficiency Investigation of a Battery Modular Multilevel Management Converter System," in *PCIM Europe 2022; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2022, S. 1–8. DOI: 10.30420/565822231.

[150] Specovius, J., *Grundlagen Leistungselektronik: Bauelemente, Schaltungen und Systeme*, 9. Aufl. Wiesbaden: Springer Vieweg, 2018. DOI: 10.1007/978-3-658-21169-1.

[151] Srinivasan, G. K., Rivera, M., Loganathan, V., Ravikumar, D. und Mohan, B., „Trends and Challenges in Multi-Level Inverter with Reduced Switches," *Electronics*, Jg. 10, Nr. 4, 2021. DOI: 10.3390/electronics10040368.

[152] Stöttner, J., Hanzl, C. und Endisch, C., „Extensive investigation of symmetrical and asymmetrical cascaded multilevel inverters for electric vehicle applications," *Electric Power Systems Research*, Jg. 209, S. 108 009, 2022. DOI: 10.1016/j.epsr.2022.108009.

[153] Stöttner, J., Hanzl, C. und Endisch, C., „Experimental investigation of parasitic side effects in MOSFET-based multilevel inverter for electric vehicle applications," *Electric Power Systems Research*, Jg. 218, S. 109 197, 2023. DOI: 10.1016/j.epsr.2023.109197.

[154] Stöttner, J., Hanzl, C. und Endisch, C., „Investigation and optimization of parallel pack formation and the impact of resistance proportion factor in multilevel inverters enabling parallelization," *Energy Reports*, Jg. 16, S. 109 473, 2026. DOI: 10.1016/j.egyr.2026.109473.

[155] Stöttner, J., Hanzl, C., Terbrack, C. und Endisch, C., „Holistic evaluation and optimization in the design process of multilevel inverter topologies for electric vehicle applications," *Energy Reports*, Jg. 13, S. 3561–3573, 2025. DOI: 10.1016/j.egyr.2025.03.001.

[156] Stöttner, J., Rauscher, A. und Endisch, C., „Pareto optimization of multilevel inverter structures regarding the DC magnitude, switching frequency and switching angles," *International Journal of Electric Power & Energy Systems*, Jg. 142, S. 108 259, 2022. DOI: 10.1016/j.ijepes.2022.108259.

[157] Sugimoto, T., Nozaki, T. und Murakami, T., „Multilevel Inverter Topology for Switching Loss Reduction," in *IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society*, 2018, S. 1345–1350. DOI: 10.1109/IECON.2018.8591722.

[158] Tashakor, N., Kacetl, J., Kacetl, T. und Goetz, S., „Modular Battery-Integrated Power Electronics-Modelling, Advantages, and Challenges," in *2022 24th European Conference on Power Electronics and Applications (EPE'22 ECCE Europe)*, 2022, S. 1–10.

[159] Tayyab, M., Sarwar, A., Murshid, S., Tariq, M., Al-Durra, A. und Bakhsh, F. I., „Active and reactive power control of grid-connected single-phase asymmetrical eleven-level inverter," *IET Generation, Transmission & Distribution*, Jg. 17, Nr. 3, S. 632–644, 2023. DOI: 10.1049/gtd2.12442.

[160] Terbrack, C., Stöttner, J. und Endisch, C., „Operation of an Externally Excited Synchronous Machine with a Hybrid Multilevel Inverter," in *2020 22nd European Conference on Power Electronics and Applications (EPE'20 ECCE Europe)*, Sep. 2020, S. 1–12.

[161] Terbrack, C., Stöttner, J. und Endisch, C., „Design and Validation of the Parallel Enhanced Commutation Integrated Nested Multilevel Inverter Topology," *IEEE Transactions on Power Electronics*, Jg. 37, Nr. 12, S. 15 163–15 174, 2022. DOI: 10.1109/TPEL.2022.3183859.

[162] Tolbert, L., Peng, F. Z., Cunnyngham, T. und Chiasson, J., „Charge balance control schemes for cascade multilevel converter in hybrid electric vehicles," *IEEE Transactions on Industrial Electronics*, Jg. 49, Nr. 5, S. 1058–1064, 2002. DOI: 10.1109/TIE.2002.803213.

[163] Vasiladiotis, M. und Rufer, A., „Analysis and Control of Modular Multilevel Converters With Integrated Battery Energy Storage," *IEEE Transactions on Power Electronics*, Jg. 30, Nr. 1, S. 163–175, Jan. 2015. DOI: 10.1109/TPEL.2014.2303297.

[164] Vasu, R., Chattopadhyay, S. K. und Chakraborty, C., „Asymmetric Cascaded H-Bridge Multilevel Inverter With Single DC Source per Phase," *IEEE Transactions on Industrial Electronics*, Jg. 67, Nr. 7, S. 5398–5409, 2020. DOI: 10.1109/TIE.2019.2934080.

[165] Venkataramanaiah, J., Suresh, Y. und Panda, A. K., „A review on symmetric, asymmetric, hybrid and single DC sources based multilevel inverter topologies," *Renewable and Sustainable Energy Reviews*, Jg. 76, S. 788–812, 2017. DOI: 10.1016/j.rser.2017.03.066.

[166] Vijeh, M., Samadaei, E., Rezanejad, M., Vahedi, H. und Al-Haddad, K., „A New Asymmetrical Cascaded Multilevel Inverter with Reduced Number of Components," in *IECON 2018 - 44th Annual Conference of the IEEE Industrial Electronics Society*, 2018, S. 4429–4433. DOI: 10.1109/IECON.2018.8591578.

[167] Wang, J., Chung, H. S.-h. und Li, R. T.-h., „Characterization and Experimental Assessment of the Effects of Parasitic Elements on the MOSFET Switching Performance," *IEEE Transactions on Power Electronics*, Jg. 28, Nr. 1, S. 573–590, 2013. DOI: 10.1109/TPEL.2012.2195332.

[168] Weißgerber, W., *Elektrotechnik für Ingenieure 1.* Wiesbaden: Springer Vieweg, 2013, Kap. 2, S. 86. DOI: 10.1007/978-3-8348-2065-5_2.

[169] Werner, M., *Digitale Signalverarbeitung mit MATLAB*, 6. Aufl. Wiesbaden: Springer Vieweg, 2019, Kap. Klirrfaktormessung mit der DFT, 53ff. DOI: 10.1007/978-3-658-18647-0.

[170] Wintrich, A., Nicolai, U., Tursky, W. und Reimann, T., *Application Manual Power Semiconductors*, 2. Aufl., SEMIKRON International GmbH, Hrsg. Ilmenau: ISLE Verlag, 2015, S. 61.

[171] Yousofi-Darmian, S. und Masoud Barakati, S., „A New Asymmetric Multilevel Inverter With Reduced Number of Components," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, Jg. 8, Nr. 4, S. 4333–4342, 2020. DOI: 10.1109/JESTPE.2019.2945757.

[172] Zhang, C., Li, K., Mcloone, S. und Yang, Z., „Battery modelling methods for electric vehicles - A review," in *2014 European Control Conference (ECC)*, 2014, S. 2673–2678. DOI: 10.1109/ECC.2014.6862541.

[173] Zhu, Y., Zhang, W., Cheng, J. und Li, Y., „A novel design of reconfigurable multicell for large-scale battery packs," in *2018 International Conference on Power System Technology (POWERCON)*, 2018, S. 1445–1452. DOI: 10.1109/POWERCON.2018.8602284.