

UNIVERSITÄT DER BUNDESWEHR MÜNCHEN
Fakultät für Elektrotechnik und Informationstechnik

Realisierung und Charakterisierung eines neuen Konzepts für siliziumbasierte Sperrschichtfeldeffekttransistoren

Leonhard Sturm-Rogon

Vollständiger Abdruck der von der Fakultät für
Elektrotechnik und Informationstechnik
der Universität der Bundeswehr München
zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs

genehmigten Dissertation.

Gutachter: 1. Prof. Dr. Christoph Kutter
 2. Prof. Dr. Roland Thewes
 Technische Universität Berlin

Die Dissertation wurde am 7.12.2021 bei der
Universität der Bundeswehr München eingereicht und durch die
Fakultät für
Elektrotechnik und Informationstechnik am 12.04.2021 angenommen.
Die mündliche Prüfung fand am 2.05.2022 statt.

Eidesstattliche Erklärung

Ich, Leonhard Sturm-Rogon, erkläre hiermit, dass die hier vorliegende Arbeit, „Realisierung und Charakterisierung eines neuen Konzepts für siliziumbasierte Sperrschichtfeldeffekttransistoren“, und die darin präsentierten Ergebnisse in eigenständiger Arbeit entstanden von und mir selbst angefertigt sind.

Wenn ich aus der Arbeit anderer zitiert habe, ist die Quelle immer angegeben. Mit Ausnahme solcher Zitate ist diese Arbeit vollständig mein eigenes Werk.

Personen die Hilfestellungen gegeben haben, werden lobend in der Danksagung erwähnt.

Dort wo Teile dieser Arbeit in Zusammenarbeit mit anderen entstanden sind, wird dies deutlich gekennzeichnet.

Unterschrift:

Datum:

„Wir müssen Ausdauer und vor allem Vertrauen in uns selbst haben. Wir müssen glauben, dass wir begabt sind und dass wir etwas erreichen können.“

Marie Curie

UNIVERSITÄT DER BUNDESWEHR

Zusammenfassung

Fakultät für Elektrotechnik und Informationstechnik

Fakultät für Elektrotechnik und Informationstechnik - Institut für Physik

Doktor Ingenieur

Realisierung und Charakterisierung eines neuen Konzepts für siliziumbasierte Sperrschichtfeldeffekttransistoren

von Leonhard Sturm-Rogon

Diese Arbeit beschreibt Simulation, Herstellung und Charakterisierung von Sperrschichtfeldeffekttransistoren, JFETs, nach einem auf Siliziumsubstrat bisher noch nicht realisierten Konzept. Dieses neue Konzept besteht darin, den Kanal der JFETs in zwei Bereiche zu teilen: in einen Hauptkanal, Main-Channel, und einen erweiterten Drain-Kanal, den extended-Drain-Channel. Dieses Konzept erlaubt es, Gleichstromeigenschaften, wie Kanalstrom und Transkonduktanz, weitestgehend unabhängig von der Länge der oberflächennahen Steuerelektrode, dem Top-Gate, einzustellen. Zunächst werden alle relevanten theoretischen Grundlagen zu Gleichstrom und Rauschverhalten von JFETs erörtert. Besonderer Schwerpunkt liegt hier auf dem thermischen Rauschen von Kurzkanal-JFETs. Im nächsten Kapitel werden Machbarkeit und erwartete Parameter durch Simulation des Herstellungsprozesses sowie elektrische Simulation des daraus resultierenden Bauteils abgeschätzt. Um die Voraussagewahrscheinlichkeit der Simulation zu erhöhen, wurden Simulationsparameter an Messergebnisse aus Vorversuchen angepasst. Die daraus gewonnenen neuen Werte werden mit Messergebnissen verglichen. Die Realisierung erfolgt im Rahmen einer Technologieplattform, welche an einen CMOS-Herstellungsprozess angelehnt ist. Es wird ein Überblick über den prinzipiellen Ablauf des Herstellungsprozesses gegeben und Strukturvarianten erläutert. Die Charakterisierung umfasst Gleichstromparameter, wie Kanalstrom, Transkonduktanz, Ausgangswiderstand und Eingangsstrom. Als Wechselstromparameter werden Kapazitäten von Top- und Bottom-Gate zum Kanal sowie frequenzabhängiges und frequenzunabhängiges Rauschen gemessen. Für die Charakterisierung des weißen Rauschens wird ein Vergleich mit simulierten Werten vorgenommen und die Diskrepanz zwischen Simulation, Messung und etablierten Modellen aus Veröffentlichungen erörtert. Zum Schluss werden Anwendungen, die während der Bearbeitung des Themas mit Partnern realisiert wurden, vorgestellt und die erzielten Ergebnisse mit dem Stand der Technik verglichen sowie ein Ausblick auf das Thema gegeben.

UNIVERSITÄT DER BUNDESWEHR

Abstract

Fakultät für Elektrotechnik und Informationstechnik
Fakultät für Elektrotechnik und Informationstechnik - Institut für Physik

Doktor Ingenieur

Fabrication and Characterization of Silicon Junction Field Effect Transistors based on a Split-Channel Concept

by Leonhard Sturm-Rogon

This work describes simulation, fabrication and characterization of junction field effect transistors, JFETs, following a concept not previously realized on silicon substrate. This new concept consists in dividing the channel of the JFETs into two regions: a main channel and an extended drain channel. This concept allows DC characteristics, such as channel current and transconductance, to be set largely independent of the length of the top gate control electrode. In the first chapter, all relevant theoretical fundamentals of dc current and noise characteristics of JFETs are reviewed. Special emphasis is placed here on the thermal noise of short-channel JFETs. In the next chapter, feasibility and expected parameters are evaluated by simulating the fabrication process as well as electrical simulation of the resulting device. To increase the prediction probability of the simulator, simulation parameters were adjusted to measurement results from preceding tests. The new values obtained are compared with measurement results. The realization is carried out within the framework of a technology platform, which is based on a CMOS manufacturing process. An overview of the basic manufacturing process is given and structure variants are explained. The characterization includes DC parameters such as channel current, transconductance, output resistance and input current. AC current parameters measured are capacitances of top and bottom gate to channel, and frequency-dependent and frequency-independent noise. For white noise characterization, a comparison is made with simulated values and the discrepancy between simulation, measurement and established models from publications is discussed. Finally, applications realized with partners during the work on the topic are presented and the obtained results are compared with the state of the art as well as an outlook on the topic is given.

Danksagung

Ich möchte mich bei allen bedanken die mir diese Arbeit ermöglicht und mich in der Bearbeitungs- und Erstellungsphase unterstützt haben. Ein besonderer Dank geht an Prof. Dr. Christoph Kutter, der mir die Bearbeitung dieses Themas ermöglicht hat.

Ebenfalls möchte ich Prof. Ignaz Eisele danken, der mit interessanten, fruchtbaren Diskussionen diese Arbeit bereichert hat.

Weiterer Dank geht an das Reinraumteam der Abteilung Siliziumtechnologien und Devices (SiD) der Fraunhofer Einrichtung für Mikrosysteme und Festkörpertechnologien, EMFT, die Wafer nach meinen Vorgaben prozessiert haben. Ohne sie hätte ich diese Arbeit nicht durchführen können.

Ich möchte mich gesondert bei Karl Neumeier bedanken für den Informationsaustausch zu Herstellung und Bauteileigenschaften.

Ein spezieller Dank geht an Werner Muth der im richtigen Moment am richtigen Ort war. Ohne den Rauschmessplatz wären viele Messungen, die hier vorgestellt werden, nicht entstanden.

Vielen Dank für Dr. Wilfried Lerch für die Diskussionen zum Thema Leckstromverhalten von Dioden. Es sei auch Dirk Eckert und Stephan Altmannshofer gedankt die die Annealings durchgeführt haben.

Ein Dank geht an Dr. Thomas Göbel für die Bereitstellung der Messungen der Mn-K- α -Linie und für Diskussionen zum Thema Elektronik für Röntgenfluoreszenz. Ein weiterer Dank geht an Dr. Michael Pirschel für die Diskussionen zur Reduktion des Stoßionisationsstroms.

Prof. Dr. Josef Kölbl und seinen Mitarbeitern an der technischen Hochschule Deggendorf möchte ich danken, für das Bereitstellen und Teilen seiner Ergebnisse zur time-of-flight- und Oszillatoranwendung.

Ich möchte mich bei Matthias Kurz bedanken, für die Zusammenarbeit in der Anfangszeit.

Als letztes möchte ich mich bei meiner Frau Cordelia bedanken, ohne deren Motivation und Unterstützung diese Arbeit niemals fertig geworden wäre.

Inhaltsverzeichnis

Eidesstattliche Erklärung	iii
Zusammenfassung	vii
Danksagung	ix
1 JFETS: Grundlage und Theorie	1
1.1 JFET	1
1.1.1 Grundstruktur	1
1.1.2 Langkanal JFET	3
1.1.3 Effekte in Kurzkanal JFETs	7
JFETs mit kleinem Längen-zu-Dicken-Verhältnis des Kanals	7
Mobilitätsabhängigkeit der Ladungsträger von ihrer Energie	8
Stoßionisation	8
Drain Induced Barrier Lowering (DIBL)	9
Channel Length Modulation (CLM)	9
1.2 Split-Channel JFETs	11
1.3 Rauschen	11
1.3.1 Thermisches Rauschen	11
1.3.2 Thermisches Rauschen in Kurzkanaltransistoren	13
1.3.3 $1/f$ Rauschen	14
1.3.4 $1/f^2$ Rauschen	15
1.3.5 Rauschquellen in Feldeffekttransistoren	15
1.3.6 Weißes Rauschen eines Transistors aufgrund von parasitären Zuleitungswiderständen	16
1.3.7 Definition eines Gütemaßes en_{cip}	17
1.4 Rauschsimulation - Methodik	18
2 Technologie- und Bauteilsimulation	21
2.1 Elektrische Feldgrößen im JFET	23
2.1.1 JFETs mit Main-Channel, Langkanal	23
2.1.2 JFETs mit Main-Channel, Kurzkanal	30
2.1.3 JFETs mit Split-Channel	33
2.2 Anpassung von Prozesssimulation an SIMS Messung	41
2.3 Wahl der Modelle für die Bauteilsimulation	43
2.4 Vergleich der elektrischen Parameter	45

2.4.1	Transferkennlinie	46
2.4.2	Ausgangskennlinie	50
2.4.3	Gatestrom	54
2.4.4	Optimierung der Implantationsparameter der Kanaldotierungen	60
2.4.5	Variante Übergang Main-Channel zu extended-Drain-Channel	63
2.4.6	Zusammenfassung Simulation DC	66
2.4.7	Kapazitäten	66
3	Realisierung	69
3.1	Technologieplattform	69
3.2	Integration in die Technologieplattform	69
3.3	Layout	72
3.3.1	Split-Channel JFETs	72
3.3.2	JFET Normal Zelle	72
3.3.3	p-n Dioden	76
	Versuchsaufbau	76
	Ergebnisse	76
4	Charakterisierung	79
4.1	DC Charakterisierung	79
4.1.1	Eingangskennlinie	79
4.1.2	Ausgangskennlinie	85
4.2	Kapazitäten	90
4.3	Statistische Analyse	91
4.4	Rauschen	96
4.4.1	Messung	96
4.4.2	Frequenzabhängiger Rauschanteil	99
4.4.3	Frequenzunabhängiger Rauschanteil	100
	Rauschen aufgrund von Zuleitungswiderständen der Gates . .	101
	Erhöhtes weißes Rauschen aufgrund von Kurzkanaleffekten . .	104
	Messung	105
	Simulation	107
	Diskussion erhöhtes weißes Rauschen bei Kurkanal-JFETs . . .	107
5	Anwendungen, Stand der Technik und Ausblick	111
5.1	Oszillator	111
5.2	Abstandsmessung	113
5.3	Röntgenfluoreszenzspektroskopie	116
5.3.1	Stand der Technik	123
5.4	Ausblick	124
6	Publikationen	129
A	Unterstützende Informationen	131

B	Flowchart Herstellungsprozess	141
B.1	Simulationsscript zur Herstellung eines JFET	141
B.2	Device Simulation	148
B.3	Meshing Script	150
C	Flowchart Herstellungsprozess	153
	Literatur	155

Abbildungsverzeichnis

1.1	Schema Sperrschicht	2
1.2	Schema Querschnitt JFET	3
1.3	Schema JFET Grundlagen	4
1.4	Schema Querschnitt JFET mit kleinen Längen- zu Dickenverhältnis	7
1.5	Ausgangskennlinie JFET mit kleinen Längen- zu Dickenverhältnis	8
1.6	Ausgangskennlinie mit Gatestrom	10
1.7	Querschnittschemazeichnung Split-Channel	12
1.8	Schema Split-Channel	12
1.9	Spektrum Rauschen	16
1.10	Rauschquellen in JFETs	17
1.11	Schema Impedanzfeldmethode	19
2.1	Querschnitt Dotierung JFET	22
2.2	Ausgangskennlinie Main-Channelvs Split-Channel $L_{\text{cheff}}1.4 \mu\text{m}$	24
2.3	Elektronenstromdichte Main-Channel $L_{\text{tg}}:1.4 \mu\text{m}$, $V_{\text{ds}}1 \text{ V}$	25
2.4	Elektronenstromdichte Main-Channel $L_{\text{tg}}:1.4 \mu\text{m}$, $V_{\text{ds}}1 \text{ V}$	26
2.5	Elektronenstromdichte Main-Channel $L_{\text{tg}}:1.4 \mu\text{m}$, $V_{\text{ds}}3 \text{ V}$	26
2.6	Stoßionisationsrate Main-Channel $L_{\text{tg}}:1.4 \mu\text{m}$, $V_{\text{ds}}1 \text{ V}$	27
2.7	Stoßionisationsrate Main-Channel $L_{\text{tg}}:1.4 \mu\text{m}$, $V_{\text{ds}}3 \text{ V}$	27
2.8	Potential, E-Feld Main-Channel $L_{\text{tg}}:1.4 \mu\text{m}$, Stoßionisationsrate	29
2.9	Ausgangskennlinie Main-Channelvs Split-Channel $L_{\text{cheff}}0.7 \mu\text{m}$	30
2.10	Elektronenstromdichte Main-Channel $L_{\text{tg}}:0.7 \mu\text{m}$, $V_{\text{ds}}1 \text{ V}$	31
2.11	Elektronenstromdichte Main-Channel $L_{\text{tg}}:0.7 \mu\text{m}$, $V_{\text{ds}}3 \text{ V}$	31
2.12	Stoßionisationsrate Main-Channel $L_{\text{tg}}:0.7 \mu\text{m}$, $V_{\text{ds}}3 \text{ V}$	32
2.13	Elektronenstromdichte Split-Channel $L_{\text{tg}}1.4 \mu\text{m}$, $L_{\text{cheff}}0.7 \mu\text{m}$, $V_{\text{ds}}1 \text{ V}$	33
2.14	Elektronenstromdichte Split-Channel $L_{\text{tg}}1.4 \mu\text{m}$, $L_{\text{cheff}}0.7 \mu\text{m}$, $V_{\text{ds}}3 \text{ V}$	34
2.15	Elektronenstromdichte Split-Channel $L_{\text{tg}}1.4 \mu\text{m}$, $L_{\text{cheff}}0.7 \mu\text{m}$, $V_{\text{ds}}3 \text{ V}$	35
2.16	Stoßionisationsrate Split-Channel $L_{\text{tg}}1.4 \mu\text{m}$, $L_{\text{cheff}}0.7 \mu\text{m}$, $V_{\text{ds}}3 \text{ V}$	36
2.17	Stoßionisationsrate Split-Channel $L_{\text{tg}}1.4 \mu\text{m}$, $L_{\text{cheff}}0.7 \mu\text{m}$, $V_{\text{ds}}3 \text{ V}$	36
2.18	Potential, E-Feld Split-Channel $L_{\text{tg}}1.4 \mu\text{m}$, $L_{\text{cheff}}0.7 \mu\text{m}$	37
2.19	Ausgangskennlinie extended-Drain-Channel $L_{\text{tg}}1.4 \mu\text{m}$	38
2.20	Potential Main-Channel extended-Drain-Channel-JFET $L_{\text{tg}}:1.4 \mu\text{m}$	39
2.21	Mobilität Split-Channel $L_{\text{cheff}}:0.7 \mu\text{m}$, extended-Drain-Channel-JFET $L_{\text{tg}}:1.4 \mu\text{m}$	40
2.22	Vergleich Simulation Main-Channel-Dotierung mit SIMS	44

2.23	Vergleich Simulation extended-Drain-Channel-Dotierung mit SIMS . . .	44
2.24	Vergleich Messung Simulation IdVg KS	46
2.25	Vergleich Messung Simulation IdVg KS	47
2.26	Vergleich Messung Simulation IdVg SC	48
2.27	Vergleich Messung zu Simulation g_{m0} vs L_{cheff}	48
2.28	Schwelspannung Main-Channel -Split-Channel	49
2.29	Potential, Dotierung variierte L_{cheff}	49
2.30	Vergleich Messung Simulation IdVg KS	50
2.31	Vergleich Messung Simulation IdVg KD	51
2.32	Vergleich Messung Simulation IdVd SC	52
2.33	Vergleich Messung zu Simulation Sättigungsstrom vs L_{cheff}	53
2.34	Simulierte Elektronengeschwindigkeit Split-Channel	55
2.35	Simulationen mit Drift-Diffusion und Energy Balance Modell	57
2.36	Simulierte Stoßionisation und Elektronenstromdichte Split-Channel DD-EB	58
2.37	Simulationen mit Variation von L_{edc}	59
2.38	Simulation Drain und Top-Gate-Strom Variation extended-Drain-Channel- Implant	61
2.39	Messung Top-Gate-Strom mit Variation von L_{edc}	62
2.40	Messung Top-Gate-Strom Optimierung	63
2.41	Simulation IdVd SC45	64
2.42	Simulation Querschnitt SC45	64
2.43	Simulation Querschnitt SC45	65
2.44	Querschnittschema JFET	67
2.45	Simulation Eingangskapazität	68
3.1	Schema Herstellungsprozess	70
3.2	Split-Channel Split	72
3.3	Aufsicht JFET Layout	73
3.4	Aufsicht JFET Layout mit IN Ebene	74
3.5	Aufsicht JFET Gatekontakt	74
3.6	Aufsicht JFET Split-Channel	75
3.7	Aufsicht JFET_Normal Zelle	75
3.8	Layout p-n Diode	76
3.9	Leckstrom p-n Dioden	78
3.10	Leckstrom Oberfläche	78
4.1	Messung Eingangskennlinie, variable Drainspannung	80
4.2	Messung Eingangskennlinie, Vergleich Split II bis V	82
4.3	Messung Schwellspannungsverschiebung bei variabler Kanallänge	84
4.4	Messung g_{m0} an Split "III, n"	84
4.5	Ausgangskennlinienfelder Gatespannung variabel	85
4.6	Ausgangskennlinienfelder über Splits	86

4.7	V_{dsIg1p} vs. L_{edc}	87
4.8	Messung I_{ds0} an Split "III, n"	88
4.9	Messung intrinsische Verstärkung	89
4.10	Simulation Potential entlang Split-Channel	90
4.11	Messung Eingangskapazität	91
4.12	Wafermap 100 1.4 0.6	92
4.13	Wafermap 120 1.4 0.6	93
4.14	Wafermap 120 1.4 0.6	93
4.15	Wafermap 120 1.4 0.6	94
4.16	Wafermap 120 1.4 0.6	94
4.17	Rauschmessung Schema	97
4.18	Testfixture	97
4.19	Gatekontakte kompakt	100
4.20	Rauschmessung	101
4.21	Transferkennlinie V_{bgs} variiert	103
4.22	Alpha vs Gatespannung	106
4.23	Kritisches elektrisches Feld vs effektive Kanallänge	106
4.24	Simulation Alpha	108
4.25	g_{d0} / g_{max} vs V_{gs}	110
5.1	Butler Oscillator	112
5.2	Seitenbandphasenrauschens	113
5.3	Setup Time of Flight	114
5.4	Schaltung Time of Flight	115
5.5	Beispielmessung Time of Flight	115
5.6	Spektrum der Mn-K- α -Linie	117
5.7	Rauschen Ladungsverstärker	121
5.8	Vergleich Layout Gateweite 100 μm vs 500 μm	124
5.9	Selbstjustierter Prozess	127
5.10	Selbstjustierter Prozess 2	128
A.1	Eingangskennlinie Splitvergleich V_d 50 mV	132
A.2	Dotierprofil P+ Substrat n	133
A.3	Streudiagramm $V_d(Ig1p)$ vs I_{d0}	133
A.4	Q-Q-Plot gm_0	134
A.5	Q-Q-Plot I_{ds0}	134
A.6	Q-Q-Plot V_dIg1p	135
A.7	fit V_dIg1p	135
A.8	Rbb Ermittlung	136
A.9	Rauschen $V_{bgs}=0$ V	137
A.10	Rauschen $V_{bgs}=0$ V	137
A.11	Rauschmessung Ofen-RTP	138
A.12	weißes Rauschen verschiedene Drainspannungen	138

A.13 maximales elektrisches Feld Querschnitt 139

Tabellenverzeichnis

2.1	Korrekturfaktoren für Diffusion und Implantation	42
2.2	Simulierte Eingangskapazität und Grenzfrequenz	67
3.1	Übersicht JFET Splits	71
3.2	Übersicht p-n Dioden Splits	77
3.3	Ergebnisse p-n Dioden Splits	77
4.1	Wafermap	95
4.2	Rauschmessungen	98
5.1	Ergebnisse Time-of-Flight-Messung	115
5.2	Ladungsverstärkerrauschen JFET	121
5.3	Ladungsverstärkerrauschen PMOS	122
5.4	Stand der Technik	123

Abkürzungsverzeichnis

Abb.	Abbildung
Gl.	Gleichung
Tab.	Tabelle
engl.	englisch
JFET	Sperrschichtfeldeffekttransistor (engl. Junction Field Effect Transistor)
PSD	Spektrale Leistungsdichte (engl. Power Spectral Density)
MC-JFET	Einfacher JFET nur mit Main-Channel
SC-JFET	Split-Channel JFET
Nomenklatur der Split-Channel-JFETs:	
“WW GG LL (CG;MG), (0;I;II) (n;p)”	Nomenklatur der Split-Channel-JFETs
WW	Top-Gate-Weite in Mikrometer
GG	Top-Gate-Länge in Mikrometer
LL	Effektive-Kanallänge in Mikrometer
CG;MG	Kontaktierung des Top-Gates
CG	Punktkontakt am Top-Gate
MG	Linienkontakt am Top-Gate
0;I;II	Splitzuordnung.
0	Vorversuch
I	Split-Channel Variante 1
II	Split-Channel Variante 2
n;p	Verwendetes Substratmaterial
n	hochdotiertes n-Material mit n-Epitaxie
p	hochdotiertes p-Material mit p-Epitaxie

Physikalische Konstanten

Elementarladung	$q = 1.602 \times 10^{-19} \text{ A s}$
Boltzmannkonstante	$k = 1.380\,649\,10 \times 10^{-23} \text{ J K}^{-1}$
Plancksches Wirkungsquantum	$h = 6.626\,070\,151\,0 \times 10^{-34} \text{ J s}$
Dielektrizitätskonstante	$\epsilon = 8.854 \times 10^{-12} \text{ C/Vm}$
relative Permittivität von Silizium	$\epsilon_S = 12.4$

Symbolverzeichnis

$A_{n/p}$	Vorfaktor Stoßionisation	
a	halber Abstand Top-zu-Bottom-Gate	m
A_F	Faktor 1/f-Rauschen-Exponent	
b	halbe el. leitfähige Kanaldicke Top-zu-Bottom-Gate	m
$B_{n/p}$	Faktor Stoßionisation Exponent	
$DIBL$	Drain-Induced-Barrier-Lowering	
E	elektrisches Feld	V/cm
E_c	kritisches elektrisches Feld	V/cm
E_y	elektrisches Feld in y-Richtung	V m ⁻¹
en_{cip}	Eingangsräuschspannung normiert auf Eingangskapazität	nV/ $\sqrt{\text{HzpF}}$
f	Frequenz	Hz
f_c	flicker-corner-Frequenz	Hz
f_T	Grenzfrequenz	Hz
g_0	Kanalkonduktanz	S
G_i	maximale Kanalkonduktanz mit W/L	S
$g_{m_{tg}}$	Transkonduktanz des Top-Gates	S
$g_{m_{bg}}$	Transkonduktanz des Bottom-Gates	S
g_m	Transkonduktanz beider Gates	S
I_d	Drainstrom	A
I_{bg}	Top-Gate-Strom	A
I_{tg}	Top-Gate-Strom	A
$J_{n/p}$	Ladungsträgerstromdichte	A
K_F	Vorfaktor 1/f-Rauschen	
L	Gatelänge	m
lg	Logarithmus zur Basis 10	
L_{cheff}	Effektive Kanallänge	m
L_{edc}	Kanallänge extended-Drain-Channel	m
N_D	Konzentration von n-Dotierstoffen	m ⁻³
N_C	Zustandsdichte des Leitungsbands	m ⁻³
P	Leistung	W
R	Widerstand	Ω
R_{bg}	Bottom-Gate Zuleitungswiderstand	Ω
R_{tg}	Top-Gate Zuleitungswiderstand	Ω
r_{ds}	Kleinsignalwiderstand Source-Drain	Ω
S_i	Rauschstromleistungsdichte	A ² /Hz

S_{id}	Drain-Rauschstromleistungsdichte	A^2/Hz
$S_{en_{tg}}$	Gate-Rauschspannungsleistungsdichte	V^2/Hz
T	Temperatur	K
T_e	Ladungsträgertemperatur	K
v	Ladungsträgergeschwindigkeit	$cm\ s^{-1}$
v_{sat}	Ladungsträgersättigungsgeschwindigkeit	$cm\ s^{-1}$
V_{sat}	Drainspannung bei der FET in Sättigung ist	V
V_{ds}	Drain-Source-Potential	V
V_{Dex}	Drain-Source-Potential über der Pinch-Off-Spannung	V
V_{tgs}	Top-Gate-Source-Potential	V
V_{bgs}	Bottom-Gate-Source-Potential	V
V_{gs}	Gate-Source-Potential	V
V_{geff}	effektive Gatespannung	V
V_{d1g1p}	Drainspannung bei der 1 pA Top-Gate-Strom beobachtet wird	V
V_{th}	Schwellspannung	V
$V_{TDD-low}$	Schwellspannung bei niedriger Drainspannung	V
$V_{TDD-high}$	Schwellspannung bei hoher Drainspannung	V
W	Gateweite	m
Z	Impedanz	Ω
$\alpha_{n/p}$	Faktor Stoßionisation Potenz	
α_{sat}	Vorfaktor für Rauschen eines FETs im Sättigungsbereich, Kurzkanal	
γ	Vorfaktor für Rauschen eines FETs im Sättigungsbereich	
μ_0	Ladungsträgermobilität, niedriges el. Feld	m^2/Vs
μ	Ladungsträgermobilität	m^2/Vs
ω	Kreisfrequenz	Hz^{-1}
ϕ_{bi}	build-in Potential	V
ϕ_p	pinch-off Potential	V
τ	Zeitkonstante	s

Kapitel 1

JFETS: Grundlage und Theorie

1.1 JFET

In diesem Kapitel werden die Struktur und Funktionsweise eines Sperrschichtfeldeffekttransistors, JFET, erläutert. Ausgehend von der Theorie für Langkanaltransistoren werden die zusätzlich für Kurzkanaltransistoren zu berücksichtigenden Effekte dargestellt.

1.1.1 Grundstruktur

JFETs können in Halbleitermaterialien, hier Silizium, realisiert werden. Die elektrischen Eigenschaften von Halbleitern können durch Einbringen von Fremdatomen, Dotierstoffen, verändert werden. Diese Dotierstoffe erzeugen elektrische Zustände nahe am Valenz- bzw. Leitungsband des Halbleiters. Aus diesen Zuständen können Elektronen bzw. Löcher thermisch angeregt werden und das Elektron, bzw. das Loch, zur Leitfähigkeit des Halbleiters beitragen. Bereiche mit erhöhter Löcherkonzentration werden p-dotierte Gebiete, die mit erhöhter Elektronenkonzentration n-dotierte Gebiete genannt. In Bereichen, wo sich p- und n-Dotierung trifft entsteht ein Diffusionsstrom von Löchern aus dem p-Gebiet in das n-Gebiet und von Elektronen aus dem n-Gebiet in das p-Gebiet. Die p- und n-dotierten Gebiete werden durch die Ausdiffusion der frei beweglichen Ladungsträger in die angrenzenden, gegensätzlich dotierten Gebiete geladen, da die Ladung der zurückbleibenden Dotierstoffatome nicht mehr durch ihre freien Ladungsträger kompensiert wird. Der Rand des p-dotierten Gebiets wird negativer, der Rand des n-dotierten Gebiets positiver - es entsteht ein elektrisches Feld zwischen p- und n-dotierten Gebiet. Für Löcher ist im n-dotierten, für Elektronen im p-dotierten Gebiet kein freier Zustand im Valenz- bzw. Leitungsband mehr vorhanden und sie rekombinieren mit ihrem Gegenpart, sodass eine Zone entsteht, wo keine Ladungsträger vorhanden sind: die Raumladungszone. In dieser Raumladungszone herrscht ein elektrisches Feld welches als Barriere wirkt. Durch Anlegen einer Spannung an das p- und n-Gebiet kann die Raumladungszone in ihrer Größe variiert werden. Eine positives Potential im p-Gebiet gegenüber dem n-Gebiet bewirkt eine Verkleinerung des Raumladungszone und damit einen Barriereabbau, ein negatives Potential hingegen vergrößert die Raumladungszone

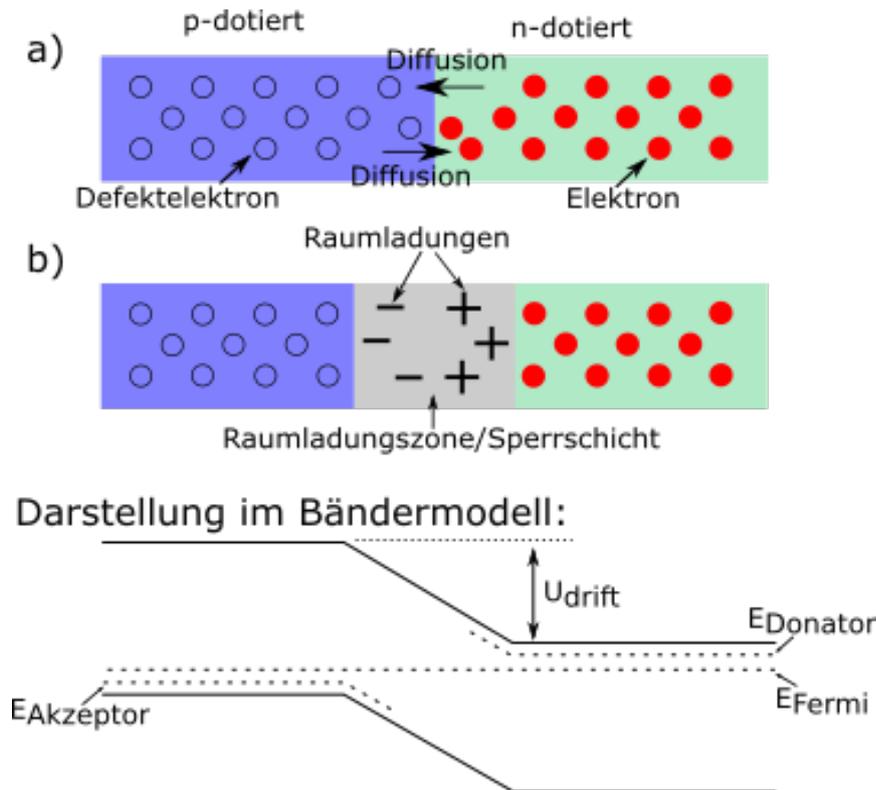


ABBILDUNG 1.1: Schematischer Querschnitt eines p-n Übergangs mit eingezeichneten Richtungen von Diffusionsströmen und Markierung der Raumladungszone und Bändermodell. [1]

und damit auch die Barriere. Dieses Verhalten beschreibt ein grundlegendes Bauelement welches sich mit Halbleitern realisieren lässt, eine Diode. Sie ist leitend bei Anlegen einer Spannung in Durchflussrichtung und quasi nicht-leitend bei Anlegen einer Spannung in Sperrrichtung. Eine Übersicht über die beschriebenen Zusammenhänge in diesem Absatz ist in Abb. 1.1 abgebildet. Für Silizium wird Bor für p-Dotierung und Phosphor, Arsen und Antimon für n-Dotierung verwendet.

Ein JFET ist aufgebaut aus einem, hier n-, halbleitenden Gebiet, welches zwei gegenüberliegende Anschlüsse, Source und Drain, aufweist. Zwischen Source und Drain liegen zwei entgegengesetzt leitende Gebiete, hier p-leitend, die senkrecht zur Achse Source-Drain als Sandwich die Verbindung zwischen Source und Drain umschließen. Dies ist in Abb. 1.2 verdeutlichend dargestellt. In dieser Arbeit wird ein Layout verwendet, das es erlaubt, Gate und Bottom-Gate getrennt voneinander anzusteuern. Bei JFETs als einzelnes Bauelement, ist Gate und Bottom-Gate so gut wie immer kurzgeschlossen; Ausnahme bilden Spezialbauteile wie z.B. JFETs für Hochfrequenzanwendungen. Als Konvention wird nun eingeführt: Der Eingang, der näher an Oberfläche des Kristalls liegt, wird als Top-Gate bezeichnet, der von der Oberfläche weiter entfernte Bottom-Gate. Als g_m wird die Transkonduktanz bezeichnet, bei der Top- und Bottom Gate kurzgeschlossen, also als ein gemeinsamer Eingang,

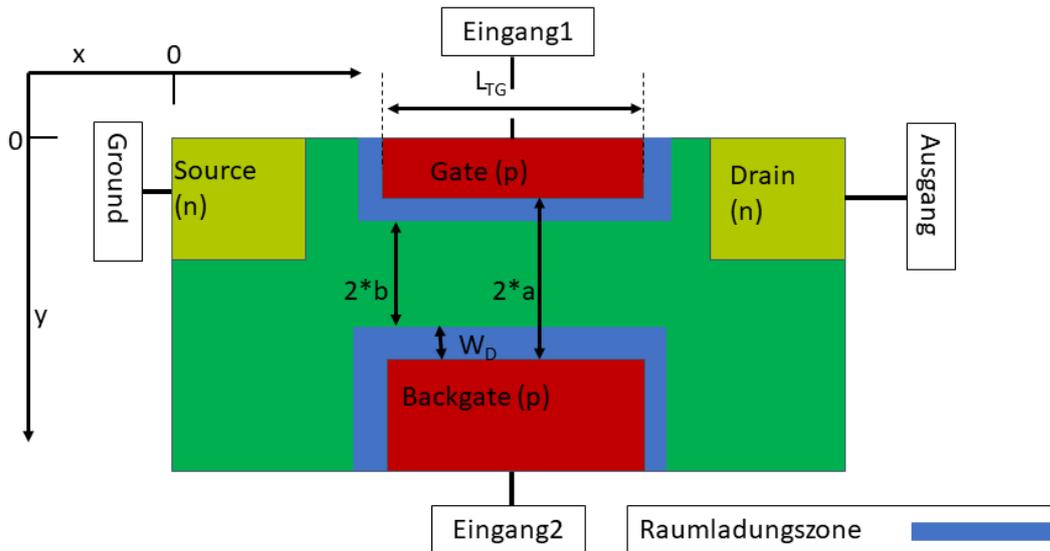


ABBILDUNG 1.2: Schematischer Querschnitt eines n-Kanal JFET mit Bezeichnung der verfügbaren Terminals und Abmessungen des Kanals

agieren. $g_{m_{tg}}$ bezeichnet die Transkonduktanz bei Ansteuerung des Top Gates alleine, $g_{m_{bg}}$ bezeichnet die Transkonduktanz bei Ansteuerung des Bottom Gates alleine. Analog zur gerade genannten Konvention werden Spannungen und Ströme bezeichnet.

1.1.2 Langkanal JFET

JFETs werden in der Literatur als spannungsgesteuerte Widerstände beschrieben, was bei Betrachtung der Struktur klar wird.

Im Folgenden wird ein n-Kanal-Typ-JFET vorgestellt, bei dem Elektronen für den Stromfluss sorgen. Für einen p-Kanal-Typ müssen Dotierungen und Ladungsträger des jeweilig anderen Ladungsträgertyps verwendet werden.

Ein JFET besteht aus einem leitenden Kanal eines Ladungsträgertyps, an dessen lateralen Enden sich jeweils ein ohmscher Kontakt befindet: einer als Ladungsträgerquelle (Source) und einer als Ladungsträgersenke (Drain), deren Stromfluss bei angelegter Spannung zwischen Source und Drain durch dazu senkrechte, entgegengesetzt zum Kanal dotierte Gebiete (Gates), kontrolliert wird. Der Stromfluss wird durch die Raumladungszone kontrolliert, die ein gleichrichtender Kontakt, beim JFET ein p-n Übergang, bei Polung in Sperrichtung ausbildet. Wenn die Ausdehnung der Raumladungszonen um die p-n Übergänge minimal ist, ist der Widerstand des Kanals minimal. Wenn die Ausdehnung der Raumladungszonen den Kanal komplett einnimmt, spricht der Kanal keine freien Ladungsträger aufweist, ist der Widerstand sehr hoch – es fließt (fast) kein Strom. Die für die Berechnung der Grundparameter nötigen Abmessungen eines JFETs sind in Abb. 1.2 dargestellt. L_{tg} stellt die Gatelänge dar, a die Kanaldicke. Daraus leiten sich die Größen W_D , die Breite der Raumladungszone und b , die Nettokanalöffnung, ab. Alle Spannungen

werden in Bezug auf den Sourcekontakt angegeben. Für die analytische Beschreibung wird davon ausgegangen, dass beide Gatekontakte miteinander verbunden sind. Die angelegte Spannung wird als Gatespannung V_g bezeichnet. Die Situation im Transistor wird als spiegelsymmetrisch zur mittleren Achse, also von Source nach Drain entlang $a/2$ betrachtet.

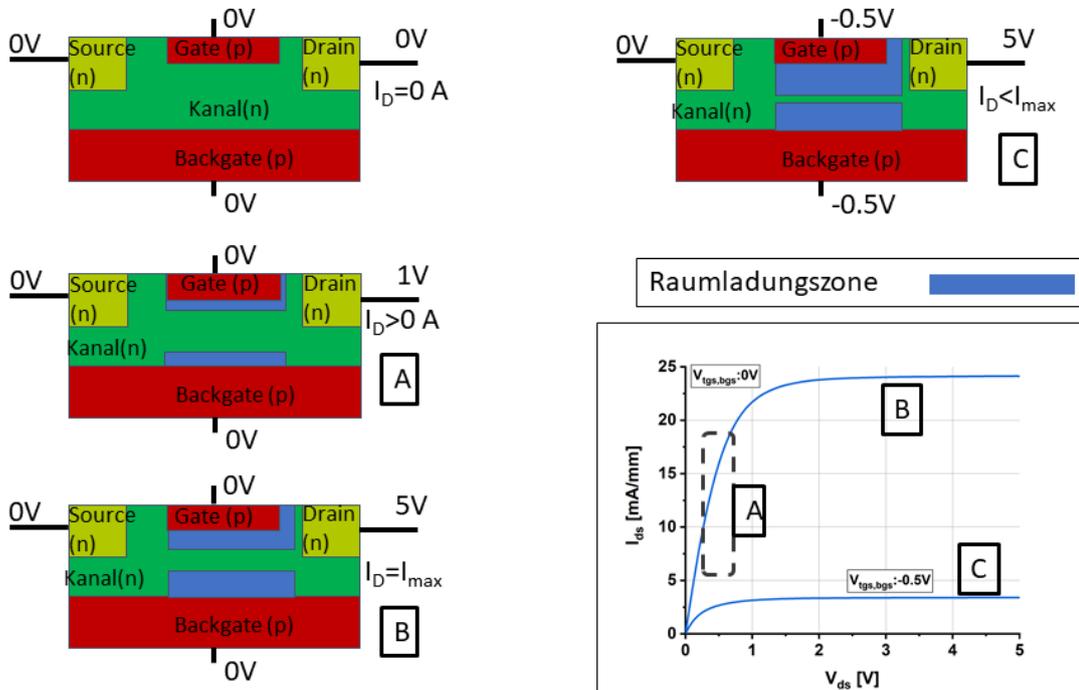


ABBILDUNG 1.3: Schematische Darstellung der Betriebsmodi eines JFET: Linearer Bereich(A), Sättigungsbereich mit Gatespannung 0V (B), Sättigungsbereich mit Gatespannung <0 V (C), Ausgangskennlinie mit markierten Arbeitsbereichen

In Abb. 1.3 sind die Betriebsmodi eines JFET anhand eines Querschnittsschemas und einer Ausgangskennlinie abgebildet. Die weitere Beschreibung folgt den Bezeichnungen in Abb. 1.3. Wie schon oben erwähnt, fließt für Gatespannung 0V und Drainspannung 0V kein Strom durch das Bauelement. Für Drainspannungen > 0 V fließt ein Elektronenstrom von Source nach Drain (A) der bei steigender Drainspannung sättigt und nicht weiter ansteigt (B). Die Steigung des Drainstroms in Bereich A und der Sättigungsstrom in Bereich B können durch Anlegen einer Sperrspannung am Gate, bei n-Kanal Typen negativ, verringert werden. Die Spannung am Gate 0V nicht überschreiten, da der Strom, der dann über das Gate in den Kanal fließt, den Feldsteuereffekt aufhebt. Für die analytische Berechnung der JFET-Charakteristiken werden folgende Annahmen getroffen und folgen den Ausführungen von Sze [2] [3][4]:

1. Die Dotierung im Kanal ist homogen
2. Verwendung der „graduelle-Kanal-Näherung“ (engl.:gradual-channel approximation): das elektrische Feld in Y-Richtung ist viel größer als das elektrische

Feld in X-Richtung

3. Der p-n Übergang Gate-Kanal ist abrupt, die Raumladungszone im Gate ist vernachlässigbar.
4. Der Gatestrom ist vernachlässigbar
5. Die Beweglichkeit der Ladungsträger im Kanalgebiet ist konstant.

Damit lässt sich entlang des Kanals die Poissongleichung für das elektrische Feld in y-Richtung aufstellen und lösen:

$$dE_y/dy = -(d^2\Delta\phi)/(dy^2) = (qN_D)/\epsilon_s \quad (1.1)$$

Dabei sind q die Elementarladung, N_D die Dotierstoffkonzentration im Kanal, ϵ_s die Dielektrizitätskonstante und E_y das elektrische Feld in y-Richtung. Die Raumladungszone in y-Richtung im Abstand x von Source ergibt sich damit zu

$$W_D(x) = \frac{\sqrt{2\epsilon_s[\phi_{bi} + \Delta\phi_i(x) - V_{gs}]}}{qN_D} \quad (1.2)$$

mit dem built-in Potential $\phi_{bi} \approx 1/(q[E_g - kT \ln(\frac{N_C}{N_D})])$, N_C die Zustandsdichte im Leitungsband, $\Delta\phi_i(x)$ dem Potential entlang des Pfads im Kanal ohne elektrisches Feld in y-Richtung, V_{gs} dem Gatepotential gegenüber Source. Daraus ergibt sich $\Delta\phi_i(0) = 0$, $\Delta\phi_i(L) = V_{ds}$ und

$$W_D(0) = \sqrt{2\epsilon_s(\phi_{bi} - V_{gs})/qN_D}$$

sowie

$$W_D(L) = \sqrt{2\epsilon_s[\phi_{bi} + V_{ds} - V_{gs}]/qN_D}$$

Der Fall $W_D = a$ definiert das pinch-off Potential:

$$\phi_P := \frac{qN_D a^2}{2\epsilon_s} \quad (1.3)$$

Die Einsatzspannung, die Spannung ab der ein Stromfluss von Source nach Drain möglich ist, ergibt sich damit zu

$$V_{th} = \phi_{bi} - \phi_P \quad (1.4)$$

Die Sättigungsspannung, bei der der Strom auch bei Erhöhung der Drainspannung nicht weiter ansteigt, ergibt sich damit zu

$$V_{dsat} = \phi_P - \phi_{bi} + V_{gs} = V_{gs} - V_{th} \quad (1.5)$$

Für den Fall eines scharfen Übergangs von Raumladungszone zum Kanal, also Vernachlässigung der Debye-Länge, kann für das elektrische Feld folgender Ausdruck

verwendet werden

$$E_y = 0; y = b \quad (1.6)$$

innerhalb des Kanals und

$$\frac{dE_y}{dy} = \frac{qN_D}{\epsilon_s}$$

für $y < b$, in der Raumladungszone.

In der Raumladungszone lässt sich damit das elektrische Feld durch

$$E_y = -qN_D/\epsilon_s(y - b) \quad (1.7)$$

ausdrücken.

Der Strom entlang des Kanals ist durch die verfügbare Ladung und die Geschwindigkeit der Ladungsträger bestimmt.

$$I_d = \frac{W}{L} \int_0^L Q_n(x)v(x)dx \quad (1.8)$$

Dabei sind W die Gateweite, L die Gatelänge, $Q_n(x)$ die freie Ladung im Kanal am Punkt x und $v(x)$ die Ladungsträgergeschwindigkeit.

Bei konstanter Mobilität kann unter Verwendung von $v = \mu E_x$ und $E_x = d\Delta\phi_i/dx$ folgender Ausdruck verwendet werden:

$$I_d = \frac{q\mu N_D W}{L} \int_0^{V_{ds}} a - \sqrt{\frac{2\epsilon_s(\phi_{bi} + \Delta\phi_i - V_{gs})}{qN_D}} d\Delta\phi_i \quad (1.9)$$

beziehungsweise

$$I_d = G_i \left\{ V_{ds} - \frac{2}{3\phi_p} [(\phi_{bi} + V_{ds} - V_{gs})^{3/2} - (\phi_{bi} - V_{gs})^{3/2}] \right\}$$

mit

$$G_i := \frac{Wq\mu N_D a}{L}$$

Der Sättigungsstrom ergibt sich durch Einsetzen von Gl. 1.5 in 1.9 für V_{ds} zu:

$$I_{Dsat} = G_i \left[\frac{\phi_p}{3} - (\phi_{bi} - V_{gs}) \left(1 - \frac{2}{3} \sqrt{\frac{\phi_{bi} - V_{gs}}{\phi_p}} \right) \right] \quad (1.10)$$

Die Transkonduktanz g_m ergibt sich damit zu

$$g_m := \frac{dI_{Dsat}}{dV_{gs}} = G_i \left(1 - \sqrt{\frac{\phi_{bi} - V_{gs}}{\phi_p}} \right) \quad (1.11)$$

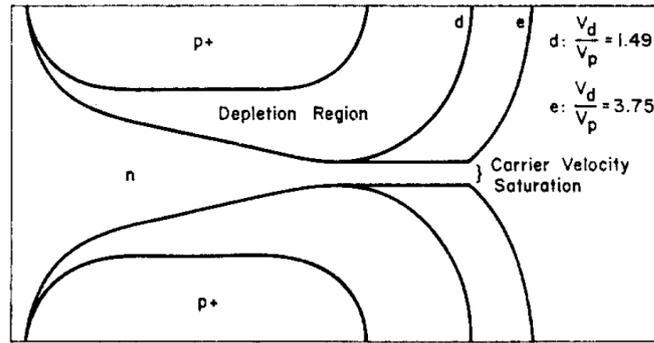


FIG. 10. Shape of conductive channel when carrier velocity saturation occurs. Curve *d* is assumed to be just at the verge of velocity saturation.

ABBILDUNG 1.4: Abbildung aus [5]. Stellt die Raumladungszonen für verschiedene Drain und Gatespannungen bei einem Längen zu Dickenverhältnis von 2:1 dar. Die Kanallänge bezieht sich auf die Punkte an denen die Dotierung den Rand der Zeichenfläche trifft.

Gleichungen Gl. 1.10 und Gl. 1.11 können mittels Taylorentwicklung um $V_G = V_T$ vereinfacht werden zu

$$I_{Dsat} \approx \frac{W}{L} q \mu N_D a (V_{gs} - V_{th})^2 \quad (1.12)$$

$$g_m \approx \frac{dI_{Dsat}}{dV_G} = \frac{W}{L} q \mu N_D a (V_{gs} - V_{th}) \quad (1.13)$$

Es besteht also in erster Näherung ein quadratischer Zusammenhang zwischen der Gatespannung und dem Sättigungsstrom und ein linearer Zusammenhang für die Transkonduktanz im Sättigungsbereich des Transistors.

1.1.3 Effekte in Kurzkanal JFETs

Für kurze Kanallängen müssen weitere Effekte berücksichtigt werden. Sie hängen von der Geometrie des Kanals als auch vom Dotierprofil des JFETs ab.

JFETs mit kleinem Längen-zu-Dicken-Verhältnis des Kanals

Da in JFETs die Kanaldicke, $2a$, der Abstand zwischen Top-Gate zu Bottom-Gate, nicht verschwindend gering ist gegenüber der Kanallänge, sind diesbezüglich weitere Effekte zu beachten. Eine ausgiebige Behandlung dieser Situation wurde in [5] veröffentlicht. Es zeigt sich, dass die Ränder der Gatedotierung, als Kreissegmente angenommen, eine kleinere Raumladungszone ausbilden, siehe Abb. 1.4. Wie in Abb. 1.5 ersichtlich, wirkt sich dies auf das Sättigungsverhalten aus. Die Pinch-Off-Spannung und damit der Sättigungsstrom liegen höher als im Modell von Shockley erwartet. Eine nähere Betrachtung des Pinch-Off und Schwellspannungsverhaltens der hier realisierten JFETs findet im Abschnitt 2.4 in Kapitel 2 statt.

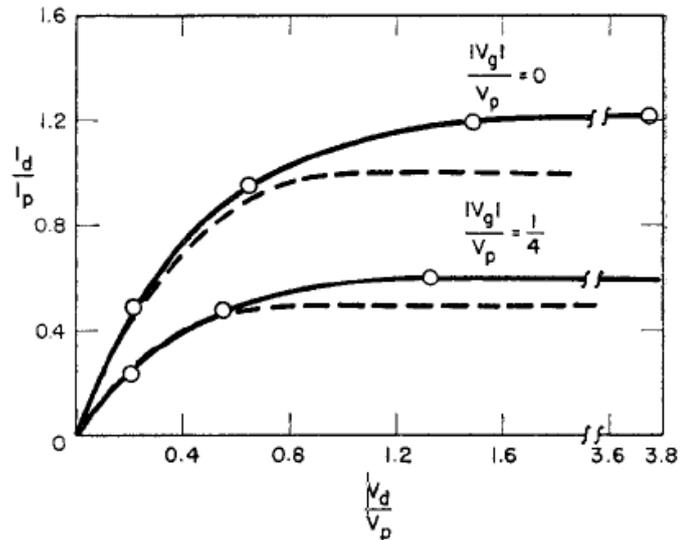


FIG. 8. Normalized drain current vs. normalized drain voltage for a channel length-to-width ratio of 2.

ABBILDUNG 1.5: Ausgangskennlinie mit normalisierten Drainstrom aus [5]

Mobilitätsabhängigkeit der Ladungsträger von ihrer Energie

Die Mobilität von Ladungsträgern ist für Energien der Ladungsträger nahe der sie umgebenden Gittertemperatur vor allem abhängig von der vorherrschenden lokalen Defektdichte, wie zum Beispiel der Dotierstoffdichte. Erreichen die Ladungsträger höhere Energien, verändert sich ihr energieabhängiger Streuquerschnitt und neue Streumechanismen können wirken. Dies resultiert, im Fall von Silizium, in einer reduzierten Mobilität mit zunehmender Ladungsträgerenergie [2]. Aus dieser reduzierten Mobilität resultiert eine verringerte Transkonduktanz, verringerte Pinch-Off-Spannung und daraus folgend ein verringerter Sättigungsstrom. Da die Physik hinter den Streumechanismen relativ kompliziert ist, wird dieser Effekt durch den empirischen Parameter einer kritischen Ladungsträgergeschwindigkeit v_c , bzw. im Drift-Diffusionsmodell durch ein kritisches elektrisches Feld E_c modelliert. Ein Beispiel für eine Modellierung ist gegeben durch folgende Formel:

$$\mu = \frac{\mu_0}{1 + E/E_c} \quad (1.14)$$

Stoßionisation

In realen JFETs ist der Potentialabfall über die Länge des Kanalgebiets, wie vorher in Teil 1.1.2 angenommen, nicht homogen. Im Sättigungsbereich tritt eine Abschnürung des Kanals auf der Drainseite auf, wo die Drainspannung abfällt, die über die die Pinch-Off-Spannung $V_{ex} = V_{ds} - V_{sat}$ hinaus geht [6][7].

Wie oben erwähnt, ist die Beweglichkeit der Ladungsträger aufgrund von Streuung an Atomen im Kristallgitter limitiert. Mit steigendem elektrischen Feld steigt die

Energie der Ladungsträger und damit die Wahrscheinlichkeit, dass bei einer Kollision mit einem Gitteratom ein freies Elektron-Loch-Paar erzeugt wird [2]. Dieser Mechanismus heißt Stoßionisation. Die erzeugten Minoritätsladungsträger gelangen zu einem der Gates und treten dort als Strom zusätzlich zum Leckstrom auf. Beispielhaft ist das durch den exponentiellen Top-Gate-Stromanstieg bei einem n-Kanal JFET mit 1 μm Top-Gate-Länge in Abb. 1.6 für Drainspannungen größer als 2 V zu erkennen. Da in der Abbildung der Scharparameter, die Top-Gate-Spannung, von $V_{tg} = 0\text{V}$ je Schritt um 0.5 V reduziert wird, wird der Abschnürbereich zu kleineren Drainspannungen um etwa den selben Betrag verschoben. Der Gatestromanstieg, ist für 0 V Top-Gate-Spannung bei 3 V zu erkennen und verschiebt sich dann zu kleineren Drainspannungen hin zu 2 V. Die Generationsrate für Stoßionisation ist wie folgt definiert [8] :

$$G_{ii} = \alpha_n \frac{|J_n|}{q} + \alpha_p \frac{|J_p|}{q} \quad (1.15)$$

mit

$$\alpha_{n,p} = A_{n,p} \exp\left(-\frac{(B_{n,p})^\beta}{E}\right)$$

Die Koeffizienten $A_{n,p}$, $B_{n,p}$, β sind Modellparameter welche auf die Arbeit von van Overstraten und de Man zurückgehen [9], wobei n für die Koeffizienten für Elektronen und p für Löcher steht. Man sieht an Gl. 1.15, dass die Ladungsträgergeneration und damit auch der dadurch erzeugte Strom exponentiell mit der elektrischen Feldstärke ansteigt.

Drain Induced Barrier Lowering (DIBL)

DIBL beschreibt den Durchgriff des elektrischen Felds von der Drainseite des Kanals auf die Sourcedseite aufgrund kurzer Kanallängen. Bei JFETs mit kurzer Kanallänge spielen die Randbereiche der Gatedotierung eine größere Rolle, als bei Langkanal-JFETs. Eine nähere Untersuchung des DIBL-Effekts findet im Abschnitt 4.1.1 der Charakterisierung statt. Der Einfluss von DIBL ist durch folgende Formel definiert:

$$DIBL = \frac{V_{TDD} - V_{Tlow}}{V_{DD} - V_{low}} \quad (1.16)$$

V_{DD} ist V_{ds} bei Betriebsspannung, V_{TDD} ist V_{th} bei $V_{ds} = V_{DD}$, V_{low} ist eine niedrige V_{ds} , V_{Tlow} ist V_{th} bei $V_{ds} = V_{low}$. Für V_{low} kann z.B. $V_{ds} = 50\text{mV}$ gewählt werden. Bei dieser Drainspannung wird noch keine Veränderung der Schwellspannung aufgrund des Drainpotenzials erwartet.

Channel Length Modulation (CLM)

CLM beschreibt die Erhöhung des Kanalleitwerts bei steigender Drainspannung für $V_{ds} > V_{sat}$. CLM zeigt sich durch einen endlichen Ausgangswiderstand eines FETs.

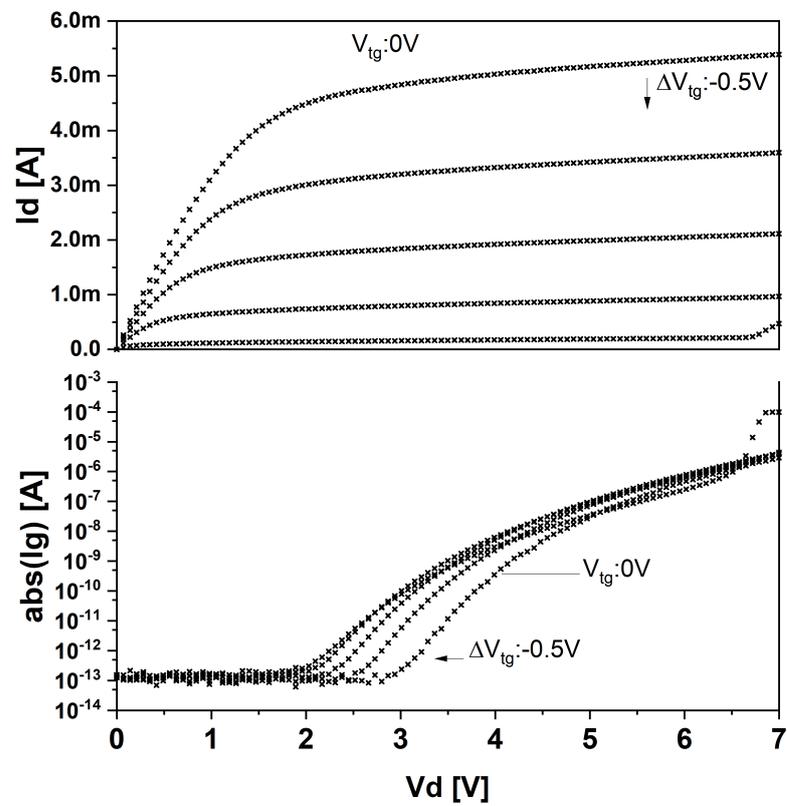


ABBILDUNG 1.6: Ausgangskennlinie eines JFET mit Gatespannung als Scharparameter. $W_{tg}:100\ \mu\text{m}$ $L_{tg}:1\ \mu\text{m}$

Ein Maß für CLM ist der normierte Ausgangswiderstand r_{out} des Transistors auf seine Gateweite W_g . Eine nähere Betrachtung findet in Abschnitt 4.1.2 statt.

1.2 Split-Channel JFETs

Das Konzept, den Kanal in zwei Bereiche zu teilen, geht auf M. Shur zurück [10]. Die damalige Überlegung bezog sich aber auf III-V Halbleitertransistoren. Die Intention bestand darin, die durchschnittliche Ladungsträgergeschwindigkeit durch Variation der Schwellenspannung V_{th} in Abhängigkeit des Orts zu erhöhen um die Transitzeit der Ladungsträger zu verkürzen und eventuell ballistische Transporteffekte auszunutzen. Die hier realisierten Abmessungen der Transistoren befinden sich nicht in einem Bereich ballistischen Transports, allerdings kann auch unabhängig davon eine Verbesserung der Hochfrequenzeigenschaften erreicht werden.

Wie in der Schemazeichnung Abb. 1.7 zu erkennen ist, ergibt sich durch die Variation der Schwellenspannung eine Feldverteilung in der der Maximalwert des elektrischen Felds verringert wird, aber auch der Bereich mit erhöhtem elektrischem Feld zur Sourceseite verbreitert wird. Der Potentialabfall von Source nach Drain ist also gleichmäßiger verteilt. Die Verteilung der Feldstärke hängt dabei von der Geometrie und Dotierung in den Bereichen V_{t1} und V_{t2} ab. Im weiteren Verlauf werden die beiden Bereiche V_{t1} und V_{t2} Main- und Extended Drain Channel genannt wie in Abb. 1.8 dargestellt. Für den Fall, dass der Transistor als Verstärker verwendet wird gilt $V_{ds} > V_{sat}$. Die Spannung V_{sat} wird als die Spannung definiert, ab welcher sich I_{ds} kaum ändert bei verändernder Spannung V_{ds} , der Transistor ist in Sättigung. Für einen Split-Channel-JFET gilt, da $V_{t1} < V_{t2}$, dass V_{sat} vor allem durch den Main-Channel bestimmt wird.

Wie schon von Shur motiviert, sollte der Enhanced-Channel gegenüber dem Main-Channel einen zu vernachlässigenden Widerstandsanteil für $V_{ds} < V_{sat}$ aufweisen. Andererseits wäre es von Vorteil, wenn für $V_{ds} > V_{sat}$ sämtliche weitere Spannung $V_{dex} := V_{ds} - V_{sat}$ über den Enhanced-Channel abfallen würde, da ab einem kritischen elektrischen Feld und damit einer Spannung V_{dcrit} der Stoßionisationsstrom den Diodenleckstrom übersteigt und ein nicht vernachlässigbarer zusätzlicher (Löcher-) Strom in die Gates fließt.

1.3 Rauschen

1.3.1 Thermisches Rauschen

Thermisches Rauschen in leitenden Materialien wurde zuerst von Nyquist beschrieben und gemessen [11]. Ein Widerstand hat eine endliche Rauschleistung in einem Frequenzbereich Δf :

$$P = 4 k_b T \Delta p(f) \quad (1.17)$$

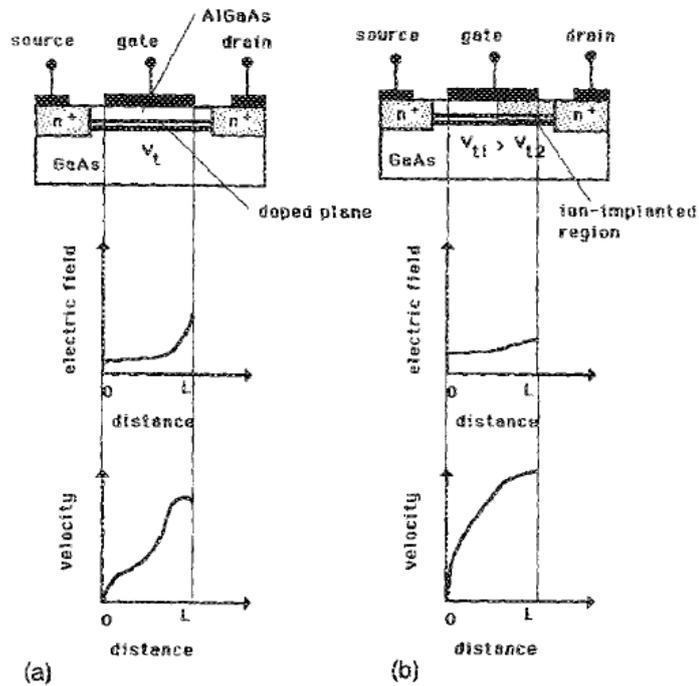


ABBILDUNG 1.7: Querschnittschemazeichnung des Split-Channel Transistors [10].

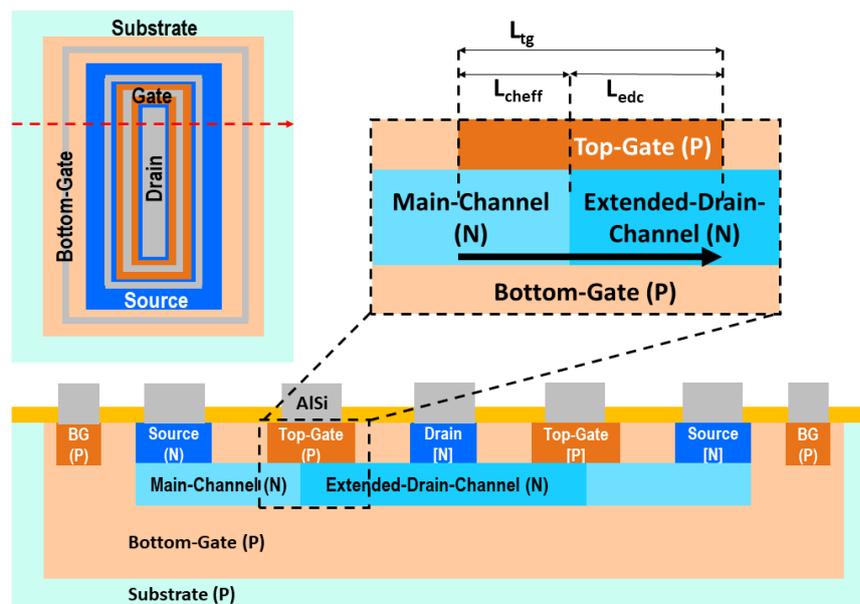


ABBILDUNG 1.8: Auf- und Querschnitt eines Closed-Cell JFET mit Split-Channel wie er in dieser Arbeit verwendet wird.

mit

$$p(f) = \left(\frac{hf}{kT}\right) \left\{ \frac{1}{2} + [\exp\left(\frac{hf}{kT}\right) - 1]^{-1} \right\}$$

Bei Raumtemperatur und Frequenzen unterhalb der Frequenzen von Infrarotlicht ist der Faktor $p(f) \approx 1$, sodass die Temperatur- und Frequenzabhängigkeit von $p(f)$ in den folgenden Diskussionen vernachlässigt wird [11]. Für die Darstellung und Berechnung der Rauschquellen in Halbleiterbauelementen wie Transistoren werden die Bauelemente aufgeteilt in ein rauschfreies Element und eine in Serie geschaltete Spannungs- oder parallel geschaltete Stromquelle. Die entsprechenden Darstellungen sind wie folgt:

$$S_v(f) = 4ktR\Delta f \quad (1.18)$$

für die Spannungsquelle und

$$S_i(f) = 4kt/R\Delta f \quad (1.19)$$

für die Stromquelle.

Das thermische Rauschen in Feldeffekttransistoren wurde von van der Ziel hergeleitet [12]:

$$S_{id} = 4 k_b T g_0 Q(x, y) \Delta f \quad (1.20)$$

Die Funktion Q hängt vom Arbeitspunkt des Transistors ab, der durch die beiden Variablen $x = V_{ds}/V_{sat}$ und $y = V_{gs}/V_{th}$ beschrieben wird. Die genaue Form von Q ist für diese Arbeit nicht relevant. Für den Fall $V_{ds} = 0V$ gilt $Q = 1$ - der Transistor rauscht wie ein Widerstand mit Leitwert g_0 . Für den Fall $V_{ds} \geq V_{sat}$ gilt $1/2 < Q < 1$ - der Transistor rauscht weniger als ein Widerstand mit Leitwert g_0 . In den meisten Modellierungen und in dieser Arbeit wird $Q = \gamma = 2/3$ für den Fall $V_{ds} > V_{sat}$ angenommen [13] [14].

Für Langkanaltransistoren gilt der Zusammenhang [12] [3]

$$g_0 = g_{max} \quad (1.21)$$

wobei g_0 der Drain-Source-Leitwert des Transistors bei Drainspannung 0V ist und g_{max} die maximale Transkonduktanz bei kurzgeschlossenen Gates. Daher lässt sich Gl. 1.20 als eine auf den Eingang bezogene Spannung ausdrücken:

$$S_{Vg} = \frac{k_b T}{g_{max}} Q(x, y) \Delta f \quad (1.22)$$

1.3.2 Thermisches Rauschen in Kurzkanaltransistoren

Bisher wurden alle Überlegungen unter der Annahme eines Langkanal-JFETs getätigt. Die Kurzkanaleffekte, die das thermische Rauschen beeinflussen, sind die Ladungsträgergeschwindigkeitssättigung und die Ladungsträgertemperatur [14][15]. Für JFETs mit kürzeren Kanälen gilt Zusammenhang 1.21 nicht mehr. Im Rahmen

der Drift-Diffusionsnäherung für Ladungsträger wird die Sättigung der Ladungsträgergeschwindigkeit üblicherweise durch das kritische elektrische Feld modelliert. Es wird dabei eine Reduktion der Beweglichkeit in Abhängigkeit des elektrischen Felds angenommen [2][13][14][15]. Eine Formulierung dieser Abhängigkeit ist in Gl.1.14 angegeben.

Ein Modell für die Ladungsträgertemperatur bei gegebenem elektrischen Feld im Verhältnis zur Gittertemperatur ist durch folgenden Ausdruck gegeben:

$$\frac{T_e}{T} = \left(1 + \frac{E}{E_c}\right)^n \quad (1.23)$$

Bezüglich des Exponenten n gibt es weitreichende Uneinigkeit, ob dieser den Wert 1 oder 2 annimmt [14][16][17] [18]. In dieser Arbeit wird der Exponent 1 verwendet. In guter Näherung hat γ auch unter Berücksichtigung der Ladungsträgertemperatur ($n=1$ in Gl. 1.23) für Gatespannungen nahe der Schwellspannung $V_{gs} \approx V_{th}$ den Wert $\gamma \approx 2/3$ [13]. Die Gatespannung oberhalb der Schwellspannung kann auch als effektive Gatespannung $V_{eff} := V_{gs} - V_{th}$ bezeichnet werden.

Wird Ausdruck 1.14 in Gl. 1.13 aus Abschnitt 1.1.2 anstatt einer konstanten Mobilität verwendet, kann ein Rauschbeitrag in Abhängigkeit von der effektiven Gatespannung ausgedrückt werden [13][14].

Die feldabhängige Veränderung der Mobilität in Gl. 1.14 ändert die Charakteristik eines JFETs, sodass für g_{max} in Gl. 1.13 gilt $g_{max} \leq g_{d0}$. Für kleine $V_{geff} \approx 0V$, wurde gezeigt, dass folgende Näherung angebracht ist [14][13]:

$$\alpha \approx 1 + \frac{3 V_{geff}}{2 E_c L_g} \quad (1.24)$$

Beobachtungen an realen Bauteilen zeigen, dass diese Näherung auch für weite Bereiche oberhalb von V_{th} gilt.

Durch Einführung von $\alpha_{sat} := \gamma_{sat} \alpha$ kann Gl. 1.22 in Verbindung mit Gl. 1.24 wie folgt ausgedrückt werden [13]:

$$S_{id} = 4k_b T \alpha_{sat} g_{max} \quad (1.25)$$

mit

$$\alpha_{sat} \approx \gamma_{sat} \left(1 + \frac{3 V_{geff}}{2 E_c L_g}\right) = \frac{2}{3} + \frac{V_{geff}}{E_c L_g}$$

beziehungsweise

$$S_{Vg} = 4k_b T \alpha_{sat} / g_{max} \quad (1.26)$$

1.3.3 1/f Rauschen

Dieses Rauschen wird auch flicker-Rauschen, oder pinkes Rauschen genannt. Es gibt sehr viele Ansätze dieses Rauschen zu erklären. In Halbleitertransistoren gibt es den Ansatz der Mobilitätsfluktuation($\Delta\mu$) nach Hooge und die der Ladungsträgerdichtefluktuation(ΔN) nach McWhorter [19][20]. 1/f-Rauschen ist für MOSFETs meist

der dominierende Rauschanteil für Frequenzen kleiner als 100 kHz. Die Frequenz, ab der das $1/f$ -Rauschen das thermische Rauschen übersteigt, wird flicker-corner-Frequenz, f_c , genannt. Für JFETs liegt dieser Wert häufig unter 10 kHz bis zu unter 100 Hz [21]. Das $1/f$ -Rauschen hat eine von der Rauschursache ($\Delta\mu$ oder ΔN) bestimmte Abhängigkeit vom Kanalstrom [22]. Ein semi-empirischer Ansatz wird mit Hilfe der empirischen Hooge-Zahl beschrieben:

$$S_{1/f}(f) = \frac{\alpha}{N} \quad (1.27)$$

Dort ist $\alpha \approx 2 \times 10^{-3}$ ein empirischer Parameter, die Hooge-Zahl, und N die Ladungsträgeranzahl.

Für Modellierungen wird meist ein anderer empirischer Ausdruck verwendet [23]:

$$S_{1/f}(f) = K_F \frac{I_D^{A_F}}{f} \quad (1.28)$$

mit $K_F(I_d)$ für die lineare Abhängigkeit und A_F für die Potenzabhängigkeit des $1/f$ Rauschens vom Drainstrom.

1.3.4 $1/f^2$ Rauschen

$1/f^2$ -Rauschen, auch als rotes Rauschen bezeichnet, wird in Halbleitern durch Defekte, die mit einer charakteristischen Zeitkonstante τ Ladungsträger absorbieren oder emittieren, erzeugt. Das Spektrum hat die charakteristische Form [24][25]:

$$S_I(f) = 4 \frac{I^2}{N_0^2} \frac{\overline{\Delta N^2} \tau}{1 + \omega^2 \tau^2} \quad (1.29)$$

Dort ist N_0 die Anzahl an freien Ladungsträgern, $\overline{\Delta N^2}$ die mittleren Ladungsträgerfluktuation, τ die Lebensdauer von Minoritätsladungsträgern und ω die Kreisfrequenz. Eine Übersicht darüber, wie die oben genannten Arten sich im Ausgangsrauschspektrum zeigen, ist in Abb. 1.9 dargestellt.

1.3.5 Rauschquellen in Feldeffekttransistoren

In JFETs sind weißes Rauschen, $1/f$ Rauschen und $1/f^2$ Rauschen vorhanden. Diese lassen sich zurückführen auf:

- weiß: thermisches Kanalrauschen [12]
- weiß: thermisches Rauschen von Zuleitungen an Top- und Bottom-Gate [13]
- $1/f^n$: Überlagerung von $1/f$ und $1/f^2$ Rauschen aufgrund von Defekten im Bereich von Top- und Bottom-Gate. Es wird angenommen, dass es durch Rekombinationszentren im stromdurchflossenen Bereich des Kanals entsteht [26] [27].

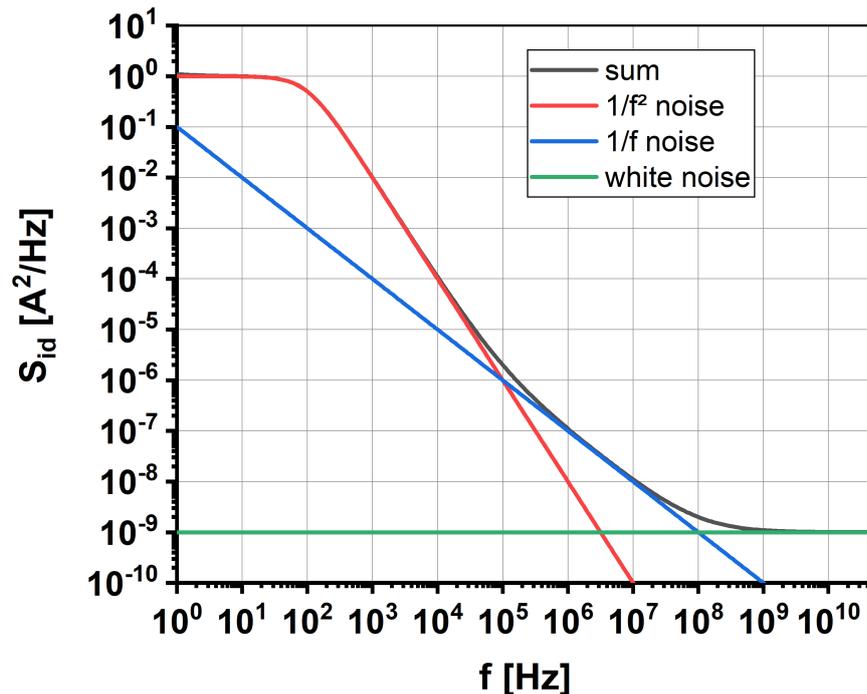


ABBILDUNG 1.9: Spektrum mit den Rauscharten: $1/f^2$, $1/f$ und weißes Rauschen. Y und X-Achse sind arbiträre Werte und wurden so gewählt, dass sie der Veranschaulichung dienen und haben keinen realistischen Bezug. Die Flicker-Corner Frequenz liegt bei 1×10^8 Hz

Rauschquellen können entweder als Strom- oder Spannungsquellen dargestellt werden. Je nach Anwendung wird zwischen den Darstellungen gewechselt. In Datenblättern von Low-Noise-Verstärkern und Transistoren findet sich meistens die Angabe „equivalent input noise voltage“ wieder. Diese gibt die Rauschspannung einer äquivalenten Spannungsquelle am Eingang an, die bei einem rauschfreien Bauelement den Ausgangsrauschstrom erzeugt. Diese Größe wird bei einer Frequenz gemessen, bei der das $1/f$ -Rauschen noch vernachlässigbar klein ist. Für Verstärker mit Anwendungen in Frequenzbereichen, in denen $1/f$ Rauschen zu erwarten ist, wird meist bei Frequenzen unterhalb von f_c ein Wert angegeben.

1.3.6 Weißes Rauschen eines Transistors aufgrund von parasitären Zuleitungswiderständen

Wie im vorherigen Abschnitt erwähnt, kann das Rauschen eines Widerstands als eine zum Widerstand in Serie geschaltete Spannungsquelle dargestellt werden, Gl. 1.18. Für das Rauschen eines realen Transistors, bei dem die Zuleitungswiderstände für Top und Bottom-Gate einen endlichen Widerstand aufweisen, zeigt sich dieses Rauschen als Eingangsspannungsrauschen und wird mit der Transkonduktanz des jeweiligen Gates auf den Kanalstrom übertragen. Auch Zuleitungswiderstände zu Source und Drain bewirken eine kleine Veränderung im Arbeitspunkt (V_{gs}), sowie einen, jedoch meist zu vernachlässigenden, Zusatzanteil in der Rauschstromdichte [12]. Die thermische Rauschstromdichte eines Transistors unter Einbezug der Top-

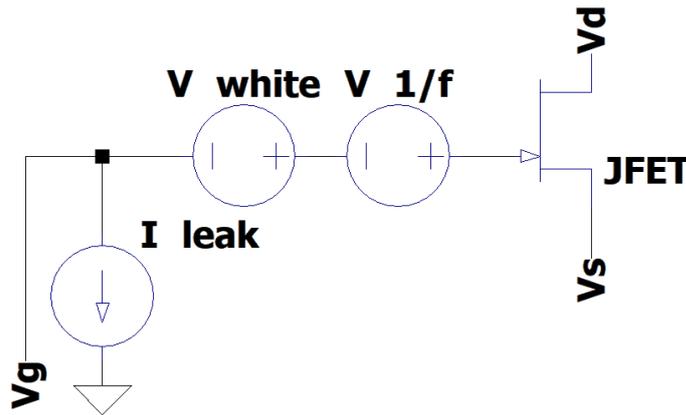


ABBILDUNG 1.10: Schemazeichnung der Rauschquellen mit Verortung am Gate des Transistors

und Bottom-Gate-Zuleitungswiderstände ergibt sich damit zu [13]:

$$S_{Id} = (4k_b T g_{d0} \gamma_{sat} + 4k T_b R_{tg} g_{tg_{max}}^2 + 4k T R_{bg} g_{bg_{max}}^2) \Delta f \quad (1.30)$$

Für den Fall, dass beide Gates als Eingang verwendet werden, ergibt sich unter Einbeziehung des excess noise Faktors α das Spektrum der Eingangsrauschspannungsdichte:

$$S_{en} = \frac{4k_b T \alpha_{sat}}{g_{max}} + 4k T R_{tg} \frac{g_{tg_{max}}^2}{g_{max}^2} + 4k T R_{bg} \frac{g_{bg_{max}}^2}{g_{max}^2} \Delta f \quad (1.31)$$

Bezogen auf das Top-Gate ergibt sich das Spektrum der Eingangsrauschspannungsdichte:

$$S_{en_{tg}} = \frac{4k_b T \alpha_{sat} g_{max}}{g_{tg_{max}}^2} + 4k T R_{tg} \frac{g_{max}^2}{g_{tg_{max}}^2} + 4k T R_{bg} \frac{g_{bg_{max}}^2}{g_{tg_{max}}^2} \Delta f \quad (1.32)$$

Beziehungsweise:

$$S_{en_{m;tg;bg}} = \frac{\overline{S_{id}^2}}{g_{m;tg;bg}^2}$$

1.3.7 Definition eines Gütemaßes en_{cip}

Wie oben beschrieben, besteht das Rauschen eines Verstärkers aus mehreren Bestandteilen: $1/f$ Rauschen, $1/f^2$ Rauschen und bei Frequenzen größer als f_c , vor allem aus weißem Rauschen. Die Kenngröße für das auf seinen Eingang bezogene Rauschen eines FETs ist die äquivalente spektrale Leistungsdichte, PSD, des Eingangs als Spannung, kurz „ S_{en} “. Sie wird in V^2/Hz angegeben und ist proportional zu $1/g_m$. In vielen Publikationen wird die Grenzfrequenz für die Stromverstärkung, f_T , als Maß für das weiße Rauschen verwendet. In Bezug auf Gl. 1.22 für Langkanaltransistoren ergibt das auch Sinn, da hier $S_{en} \propto 1/g_m$ und in erster Näherung

ebenfalls $f_T \propto 1/g_m$ gilt. Wie aber in den vorangegangenen Kapiteln 1.3.2 und 1.3.6 dargestellt wurde, ist der Zusammenhang $S_{en} \propto 1/g_m$ für reale und insbesondere für Kurzkanal-JFETs nicht gegeben. Des Weiteren werden Zuleitungswiderstände vernachlässigt. Es könnte nun argumentiert werden, dass die Größe f_{max} Gate-Zuleitungswiderstände mit einbezieht [28]. Jedoch wird bei vier-Terminal JFETs in Hochfrequenzanwendungen oft nur das Top-Gate angesteuert. Wie in Gl. 1.32 zu erkennen, gilt hier aber nicht mehr $S_{en} \propto 1/g_m$ und damit weder $f_T \propto 1/g_m$ noch ein ähnlicher Zusammenhang für f_{max} .

Daher halte ist es nötig ein neues Maß einzuführen um eine Vergleichbarkeit zwischen Bauteilen unabhängig von ihrer Gateweite zu erlauben.

Die Verwendung von f_T hat als Ziel das Rauschen von Bauelementen unabhängig von ihrer Gateweite vergleichen zu können. Das neue Maß sollte diesen Zweck ebenfalls erfüllen. Das Maß en_{cip} wird daher wie folgt definiert:

$$en_{cip} = \sqrt{\frac{S_{id}}{g_{m_{in}}^2}} C_{inp} \left[\frac{V}{\sqrt{\text{Hz}}} F \right] \quad (1.33)$$

mit S_{id} der PSD des Ausgangsstroms, $g_{m_{in}}$ der Transkonduktanz des verwendeten Eingangs und C_{inp} der Eingangskapazität. Ein kleinerer Wert von en_{cip} steht für kleineres Rauschen bei gegebener Eingangskapazität. Die Eingangskapazität wird mit der PSD des Ausgangsstroms multipliziert, da wie in Gl. 1.26 zu erkennen, $S_{Vg} \propto 1/g_m$. Bei f_T steht g_m im Zähler und C_{inp} im Nenner, für en_{cip} ist es umgekehrt. Die Vergleichbarkeit bleibt jedoch erhalten.

1.4 Rauschsimulation - Methodik

Für die Rauschsimulation wird die Simulationsumgebung Atlas von Silvaco verwendet. Für die Berechnung des Rauschens wird die Impedanzfeldmethode verwendet. Diese wird hier, in Anlehnung an [29], kurz vorgestellt. Folgende Schritte werden für alle Segmente eines Bauteils im Simulator durchgeführt was dann zum Endergebnis führt:

1. In einem kleinen Volumen des Bauteils wird eine Stromfluktuation berechnet.
2. Das Impedanzfeld wird verwendet um eine entsprechende Spannung an den Kontakten zu berechnen

Die obigen Operationen werden für alle Teilvolumen, welche durch das Gitter der Simulation vorgegeben sind, wiederholt. Durch Summierung über alle Anteile ergibt sich das gesamte Rauschen des Bauteils.

Das Impedanzfeld $Z(r; \omega)$ ist eine ortsabhängige Funktion die die Abhängigkeit von einer Stromänderung an einem bestimmten Ort zu einer resultierenden Spannungsdifferenz an einem anderen Ort herstellt. Also

$$v(\omega) = Z(r; \omega) \cdot i(\omega) \quad (1.34)$$

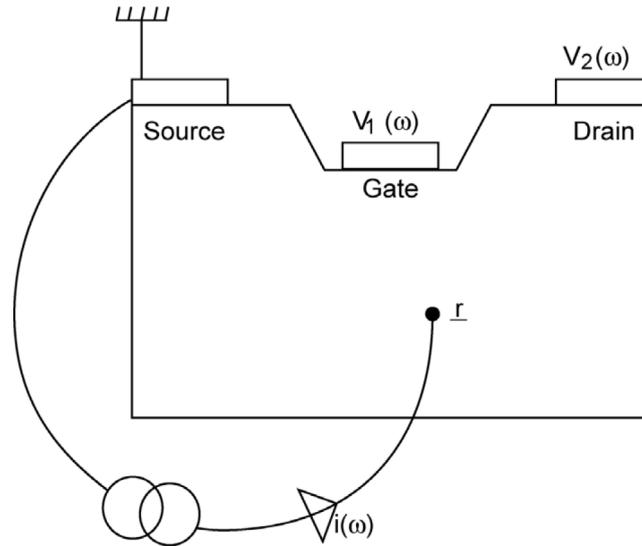


ABBILDUNG 1.11: Schematische Darstellung der Impedanzfeldmethode. Ein Strom i an der Stelle r erzeugt an den beiden Kontakten Gate(V_1) und Drain(V_2) eine Spannung $V_1(\omega)$ und $V_2(\omega)$, die von der Impedanz am Ort r zu den beiden Kontakten abhängt.

Für Elektronen und Löcher muss Z wegen der unterschiedlichen Beweglichkeiten jeweils separat berechnet werden. Das Vorgehen der Methode ist in Abb. 1.11 schematisch dargestellt.

Da das Kanalgebiet des Split-Channel JFETs komplexer aufgebaut ist, als das eines konventionelle JFETs und somit viele Näherungen, die für konventionelle JFETs verwendet wurden, wie der gleichmäßige Potentialabfall über die Länge des Kanals, nicht gelten, erscheint mir dieser Methode ein geeignetes Mittel zur Untersuchung des Rauschens anhand einer Simulation.

In der Untersuchung von Rauschen auf Bauteilebene wird zwischen mikroskopischen Rauschquellen und lokalen Rauschquellen unterschieden. Mikroskopische Rauschquellen sind die kleinste Einheit deren Verhalten durch physikalische Grundprinzipien, wie zum Beispiel Diffusion oder Generation-Rekombination, beschrieben wird. Sie werden durch die Autokorrelation ihrer Rauschfunktionen beschrieben:

$$k_{\delta\vec{j},\delta\vec{j}}(r;\omega) \quad (1.35)$$

Dabei ist \vec{j} die Stromdichte des Diffusionsstroms ist.

Lokale Rauschquellen beschreiben das Rauschen, das von einer mikroskopische Rauschquelle an den Kontakten zu beobachten ist.

$$\langle \delta v_\alpha, \delta v_\beta^* \rangle (\omega) = \int_{\Omega} Z_\alpha(r;\omega) k_{\delta\vec{j},\delta\vec{j}}(r;\omega) \cdot Z_\beta^*(r;\omega) \cdot d\vec{r} \quad (1.36)$$

Das Impedanzfeld ist hier ein Vektor, der wie folgt definiert ist:

$$\vec{Z}(r;\omega) = \nabla Z(r;\omega) \quad (1.37)$$

Die mikroskopische Rauschquelle des Diffusionsrauschens ist wie folgt definiert:

$$k_{\delta\vec{J},\delta\vec{J}}(r;\omega) = 4q^2n(\vec{r})D(\omega) \quad (1.38)$$

mit q der Elementarladung, $n(\vec{r})$ der Ladungsträgerkonzentration, $D(\omega)$ dem Diffusionskoeffizienten. Nach der Einsteinbeziehung ist $D(\omega)$ wie folgt definiert:

$$D(\omega) = \frac{kT}{q}\mu \quad (1.39)$$

mit k der Boltzmannkonstante, T der Temperatur und μ der Ladungsträgermobilität. Der Term des Diffusionsrauschens bestimmt das weiße Rauschen eines Transistors. Wie an Gl. 1.39 zu sehen, gehen in dieses Rauschen Temperatur und Mobilität der Ladungsträger mit ein, welche abhängig von der Energie der Ladungsträger sind. Eine ausführlichere Diskussion zu Ergebnissen aus Simulation und Messung findet in Kapitel 4.4.3 statt.

Kapitel 2

Technologie- und Bauteilsimulation

Im Simulationsframework Athena, Version 5.18.1.R, von Silvaco© wurde der JFET-Modulprozess weitestgehend abgebildet. In Atlas, Version 5.16.3.R, wurde die elektrische Bauteilsimulation durchgeführt. Es bleiben noch Unsicherheiten bezüglich der elektrischen Größen, was vor allem auf unzureichende Abbildung des Herstellungsprozesses im Simulationsframework zurückzuführen ist. Die Modelle zur Berechnung der Diffusion von Dotierstoffen sind nur begrenzt auf die realistischen Gegebenheiten anpassbar, vgl. Abschnitt 2.2.

Das Simulationstool wurde verwendet, um prinzipiell die Funktionsfähigkeit des Konzepts vorab zu bestätigen und um einen Bereich für die zu verwendenden Implantationsdosen und -energien zu erhalten. Es besteht kein Anspruch auf absolute Übereinstimmung zwischen den simulierten Daten und den realen elektrischen Messungen, da dies den Rahmen dieser Arbeit überschreiten würde.

Für die Anpassungen im Simulator wurden Vorversuche gemacht. Die Ergebnisse daraus fließen bereits in die hier vorgestellten Ergebnisse ein. An passender Stelle wird auf die Ergebnisse Bezug genommen. Der Querschnitt eines Dotierprofils einer typischen Struktur ist in Abb. 2.1 abgebildet. In den folgenden Querschnitten wird allerdings immer nur ein Teilbereich um das Top-Gate herum betrachtet, da in diesem Bereich die relevanten physikalischen Prozesse stattfinden.

Im Rahmen der Untersuchungen anhand von Technologie- und elektrischen Bauteilsimulationen wird ein Vergleich zwischen JFETs mit Split-Channel, SC-JFET, und einfachen JFETs mit durchgehendem Kanal, MC-JFET, hergestellt.

Es werden folgende Parameter verglichen: Abhängigkeit der Schwellspannung V_{th} von der Kanallänge, Grenzfrequenz f_T , Ausgangswiderstand r_{ds} (qualitativ), Transkonduktanz je Gateweite g_m im Arbeitspunkt $V_{ds} = 3V, V_{tg} = V_{bg} = 0V$ mit beiden Gates als Steuerelektrode. Die Skripte für die Simulationen befinden sich im Anhang B.

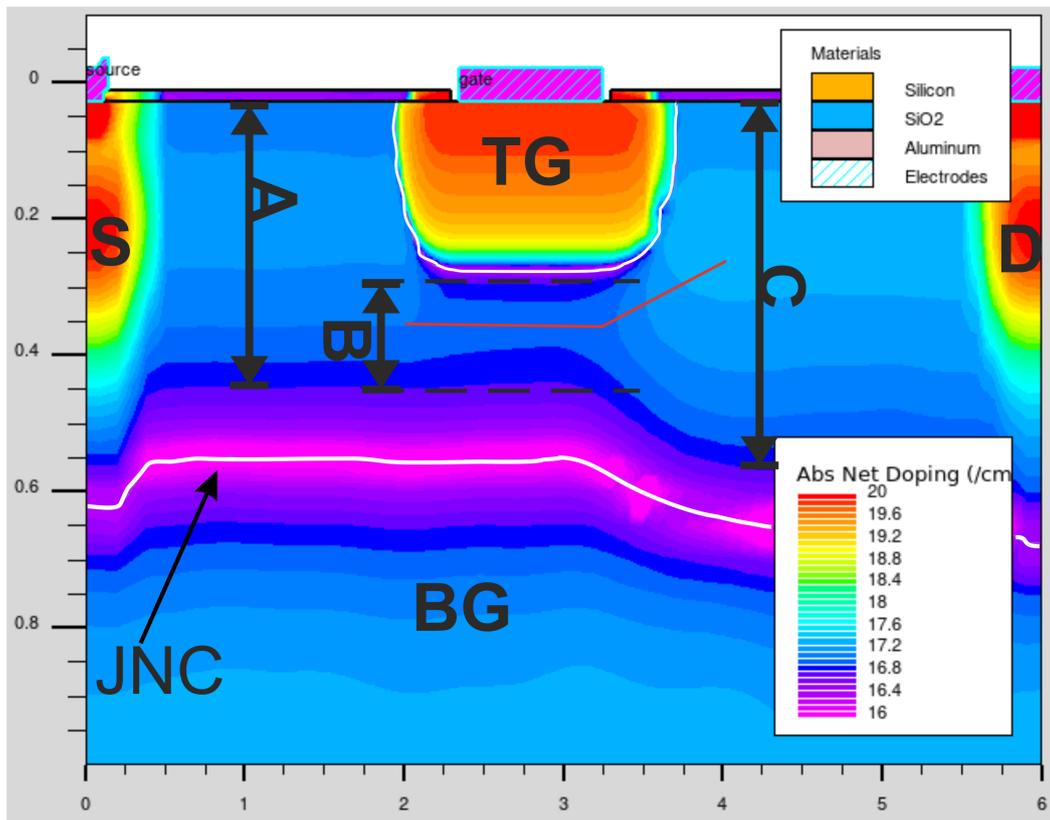


ABBILDUNG 2.1: Querschnitt mit dargestellter absoluter Nettodotierung eines JFET in der Simulationsumgebung. Rote Bereiche: hochdotiert (Source, Drain, Top-Gate), blaue Bereiche: mittelhochdotiert, ca. $1 \times 10^{17} \text{ cm}^{-3}$ (Kanalgelbiet bzw. Backgate), violette Gebiete: niedrig dotiert, pn-Übergänge sind mit weißen Linien markiert, Kontakte sind lila mit hellblauer Schraffur. Die Geometrien der stromführenden Gebiete des Kanals sind markiert. Die Terminals des Bauelements sind mit S(Source), D(Drain), TG (Top-Gate), BG (Bottom-Gate) gekennzeichnet. Die weiße Linie zeigt den pn-Übergang von Kanal zu Bottom-Gate an. Die Schnittlinie entlang der elektrische Feldgrößen aufgetragen werden ist rot markiert. X- und Y-Skala ist in μm angegeben.

2.1 Elektrische Feldgrößen im JFET

Um das Split-Channel Konzept zu verstehen, hilft es, die elektrischen Größen im Querschnitt entlang der Source-Drain-Verbindung des Transistors darzustellen und zwischen MC-JFET und SC-JFETs zu vergleichen. Es werden Elektronenstromdichte, Potentialverteilung, elektrische Felder, Ladungsträgergeschwindigkeit und Stoßionisationsraten als farbkodierte Schnittbilder und als Graph entlang von Schnittlinien dargestellt. Falls nicht anders deklariert, gilt immer $V_{tgs}=V_{bgs}=0\text{ V}$. Zur Übersicht ist in Abb. 2.1 das Dotierprofil eines SC-JFET dargestellt. Die Terminals sind jeweils gekennzeichnet. Der Dotierbereich des Top-Gate, rot in Abb. 2.1, ist, durch eine weiße Linie von der Kanaldotierung, blau in Abb. 2.1, getrennt, zu erkennen. Der pn-Übergang von Kanal zu Bottom-Gate ist durch eine weitere weiße Linie bei $y \approx 0.6\mu\text{m}$ markiert.

2.1.1 JFETs mit Main-Channel, Langkanal

Zunächst wird die Situation für einen JFET mit gezeichneter Top-Gate-Länge, L_{tg} , von $1.4\mu\text{m}$ gezeigt. In Abb. 2.2 ist Drain- und Gatestrom im Arbeitspunkt $V_{tgs}=V_{bgs}=0\text{ V}$ für einen MC-JFET, $L_{tg}:1.4\mu\text{m}$, und für einen SC-JFET mit $L_{tg}:1.8\mu\text{m}$, $L_{cheff}:1.4\mu\text{m}$.

Zunächst soll die Drainspannungsabhängigkeit des Drain- und Top-Gate-Stroms beschrieben werden. Das Kanallängen zu -dicken Verhältnis ist $9\frac{2}{3} : 1$, also sollten Kurzkanaleffekte eine untergeordnete Rolle spielen, vgl. 1.1.3.

Wie zu erkennen, sind die Drainströme für MC-JFET und SC-JFET sehr ähnlich. Für Drainspannungen größer 2 V zeigt der SC-JFET eine geringere Abhängigkeit von der Drainspannung, der Ausgangswiderstand r_{ds} ist deutlich höher.

Die Gateströme unterscheiden sich ab einer Drainspannung von 2 V deutlich. Während beim SC-JFET der Gatestrom mit zunehmender Drainspannung nur wenig steigt, ist beim MC-JFET ein Anstieg von mehr als zwei Stromdekaden bei weniger als 0.5 V Drainspannungserhöhung zu beobachten. Ein vergleichbarer Anstieg findet beim SC-JFET erst bei 4 V Drainspannung statt.

Nachdem ein grober Vergleich bezüglich des Drain- und Gatestromverhaltens zwischen MC-JFET und SC-JFET angestellt wurde, kann man nun zum komplexeren Teil übergehen: Der Beschreibung und Analyse physikalischer Größen anhand zweidimensionaler Simulation und daraus extrahierter Schnittbilder selbst.

Wie schon weiter oben angemerkt, ist der Ausgangswiderstand des MC-JFET geringer als der eines SC-JFET. In Abb. 2.3 wird die Elektronenstromdichte im Arbeitspunkt $V_{ds}=0.1\text{ V}$ gezeigt. Der Transistor befindet sich hier im linearen Arbeitsbereich, vergleiche hierzu Abb. 2.2. Von der Oberfläche ins Silizium hinein, entlang der y -Achse betrachtet, wird die Elektronenstromdichte zwischen den Raumladungszonen des Top- und Bottom-Gates beschränkt (violette Bereiche in Abb. 2.3). An den Rändern, zu den Raumladungszonen hin, wird die Elektronenstromdichte geringer und hat in der Mitte der Kanaldicke (B in 2.3) ihr Maximum. Es ist zu erkennen,

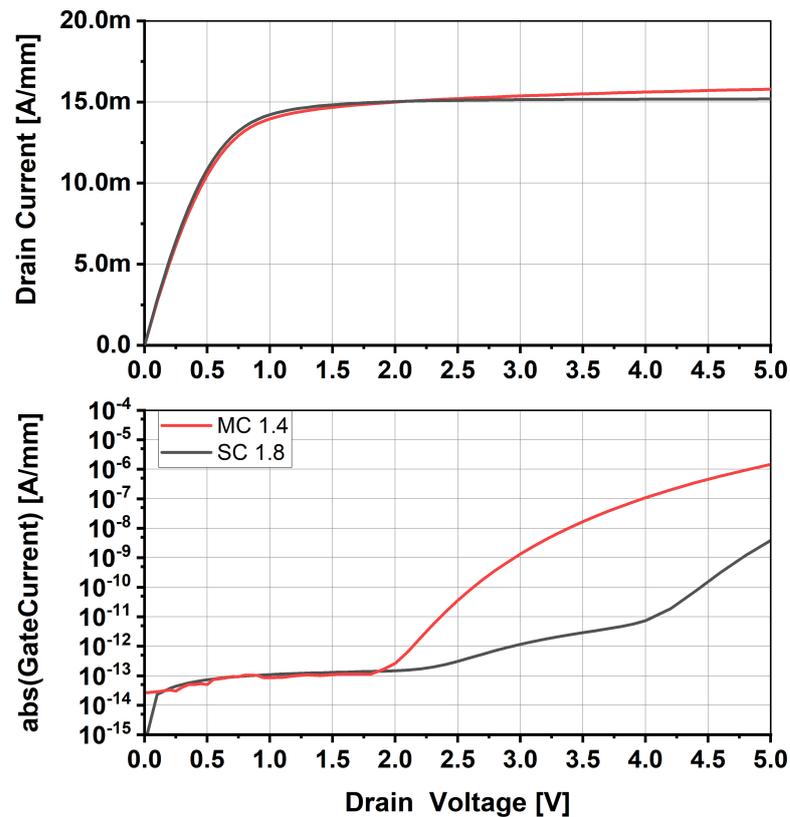


ABBILDUNG 2.2: Drain- und Top-Gate-Strom in Abhängigkeit der Drainspannung eines JFET nur mit Main-Channel, $L_{tg}:1.4\ \mu\text{m}$, sowie eines Split-Channel JFETs, $L_{tg}:1.8\ \mu\text{m}$, $L_{cheff}:1.4\ \mu\text{m}$, $V_{tg}=V_{bg}=0\ \text{V}$. MC:Main-Channel, SC:Split-Channel

das, entlang der x-Achse betrachtet, an den Rändern des Top-Gates sich die Elektronenstromdichte zur Oberfläche hin krümmt. Dies liegt daran, dass das Backgate von Source zu Drain durchgängig ist und daher im Bereich der Zuleitung, also von Source zum linken Rand des Top-Gates und vom rechten Rand des Top-Gates zu Drain, der Stromfluss sich auf die Dicke "Bottom-Gate"-Oberfläche verteilt (A und C in Abb. 2.1), wohingegen im Bereich des Top-Gates sich der Strom auf die Dicke "Top-Gate"-Bottom-Gate, B in Abb. 2.1, beschränkt.

In Abb. 2.4 ist die Elektronenstromdichte bei $V_{ds}=1\ \text{V}$ dargestellt. Im Vergleich zu $V_{ds}=0.1\ \text{V}$ ist die maximale Elektronenstromdichte höher und verjüngt sich von Source zu Drain - der Transistor ist in Sättigung [2] [5]. Am drainseitigen Ende des Top-Gates ist die Elektronenstromdichte am höchsten um dann mit steigender Entfernung zu Top-Gate, also mit höheren x-Werten, abzunehmen. An der Stelle höchster Elektronenstromdichte findet der "Pinch-Off" statt, welcher in Abschnitt 1.1.2 schon analytisch für einen Langkanal-JFET berechnet wurde.

Abb. 2.5 zeigt die Situation bei $V_{ds}=3\ \text{V}$. Die Elektronenstromdichte ist nun über einen deutlich größeren Bereich maximal. Des Weiteren ist eine deutliche Formung

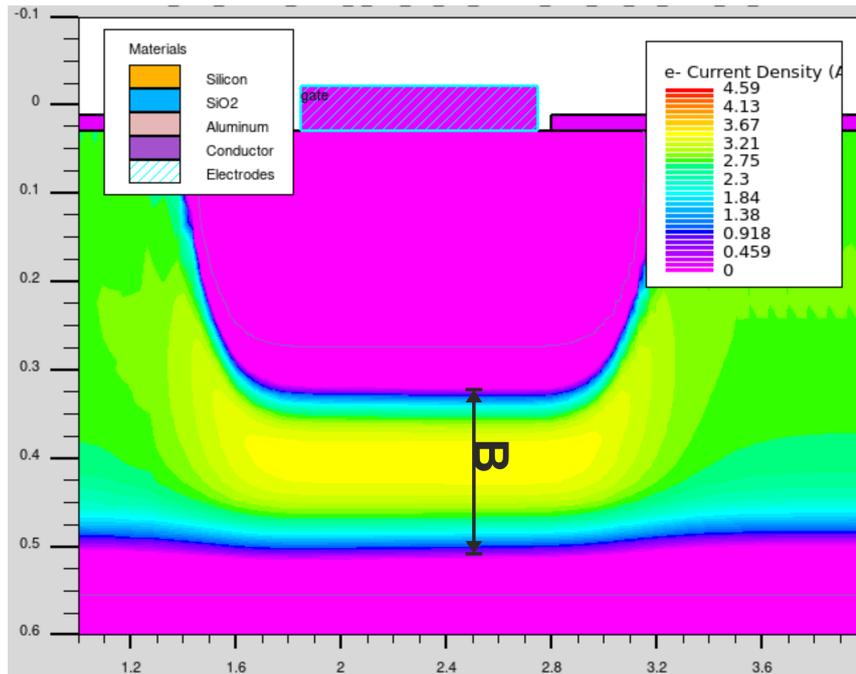


ABBILDUNG 2.3: Elektronenstromdichte eines JFET ausschließlich mit Main-Channel. $L_{tg}: 1.4 \mu\text{m}$, $V_{ds}=0.1 \text{ V}$, $V_{tg}=V_{bg}=0 \text{ V}$. pn-Übergänge sind mit lila Linien gekennzeichnet. Die Farbskala reicht von 4.6 A cm^{-2} bis 0 A cm^{-2} . X- und Y-Skala ist in μm angegeben.

des Kanals am Top-Gate-Ende aufgrund des Bottom-Gates festzustellen. Da drainseitig der Potentialunterschied ("Bottom-Gate" - "Kanal") 3 V beträgt, wird der pn-Übergang zwischen Bottom-Gate und Kanal stärker in Sperrrichtung gepolt als für $V_{ds}=1 \text{ V}$ - die Raumladungszone vergrößert sich und der Strom wird stärker Richtung Oberfläche gedrückt. Dies bewirkt einen "Knick" in der Elektronenstromdichteverteilung.

Abb. 2.7 zeigt den Arbeitspunkt $V_{ds} = 3 \text{ V}$ mit aufgetragener Stoßionisationsrate. Die Stoßionisationsrate gibt an, wie viele Ladungsträger aufgrund von Stößen von beschleunigten Ladungsträgern mit Gitteratomen erzeugt werden, vgl. Gl.1.1.3.

Für $V_{ds} = 1 \text{ V}$ findet noch fast keine Stoßionisation statt, da die Drainspannung nur wenig über der Pinch-Off-Spannung liegt. Für $V_{ds} = 3 \text{ V}$ findet im Pinch-Off-Bereich, $x = 3 \mu\text{m}$, am drainseitigen Ende des Top-Gates, erhöhte Stoßionisation statt, vgl. hierzu Abb. 2.2 "Gate Current".

Es zeigt sich, dass bei JFETs welche im Sättigungsbereich betrieben werden in Bereichen hoher Elektronenstromdichte mit hoher Rate Stoßionisation stattfindet. Allerdings hängt diese Größe nicht von der Elektronenstromdichte ab, sondern von der Energie der Ladungsträger, welche diese aufgrund von herrschenden elektrischen Feldern aufnehmen [8]. Diese sind entlang einer Schnittlinie, vgl. Abb. 2.1, für Drainspannungen von 1 V bis 5 V in Abb. 2.8 aufgetragen.

In Abb. 2.8 ist noch besser zu erkennen, was in den farbcodierten Schnittbildern Abb. 2.4 bis Abb. 2.7 zu sehen ist. Das Potential fällt im Kanal über einer gewissen Länge, von Punkt $x \approx 0.4 \mu\text{m}$ bis Punkt $x \approx 1.3 \mu\text{m}$, für alle Drainspannungen

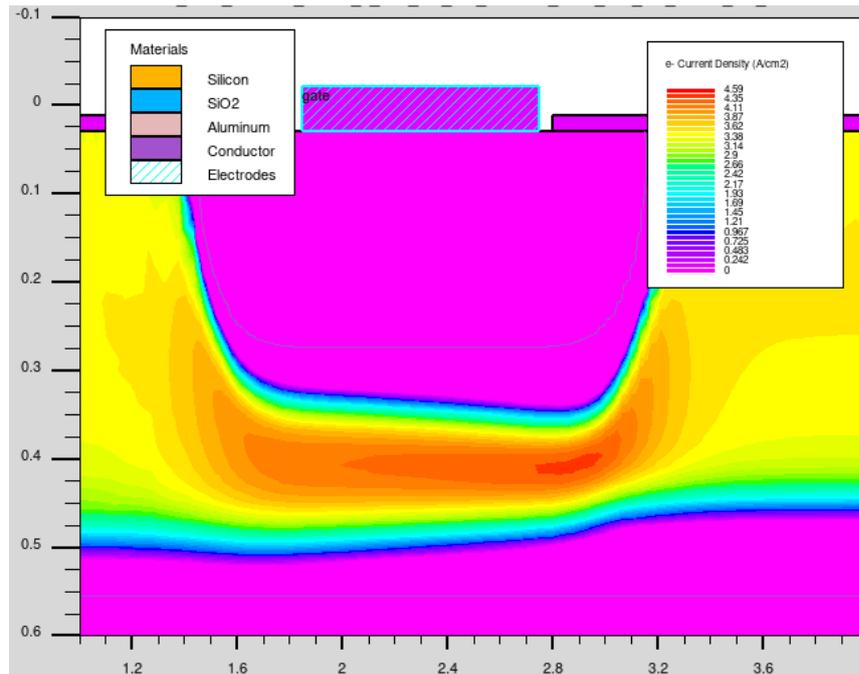


ABBILDUNG 2.4: Elektronenstromdichte eines JFET ausschließlich mit Main-Channel. $L_{\text{tg}}:1.4 \mu\text{m}$, $V_{\text{ds}}=1 \text{ V}$, $V_{\text{tg}}=V_{\text{bg}}=0 \text{ V}$. pn-Übergänge sind mit lila Linien gekennzeichnet. Die Farbskala reicht von $\lg 4.6 \text{ A cm}^{-2}$ bis 0 A cm^{-2} . X- und Y-Skala ist in μm angegeben.

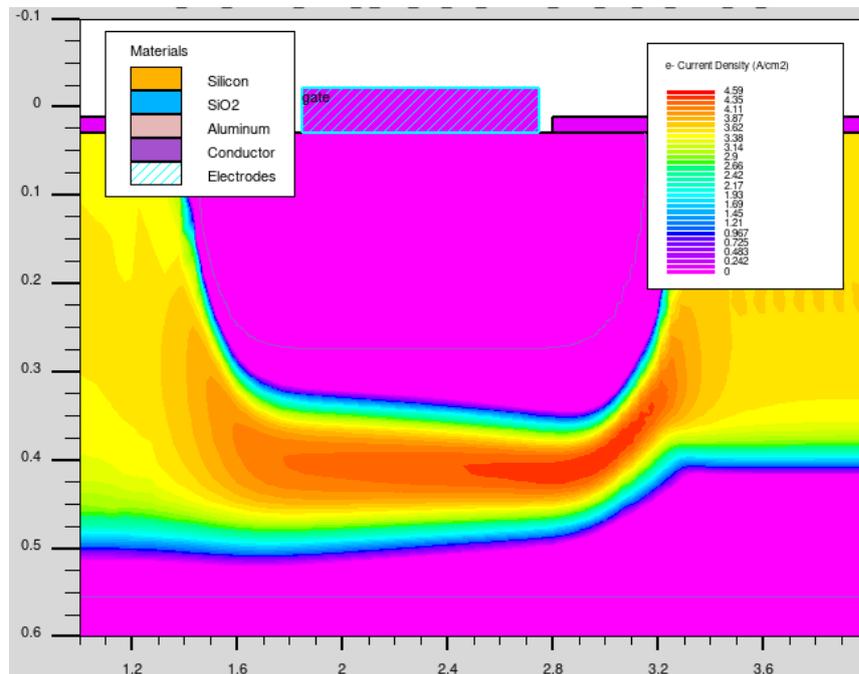


ABBILDUNG 2.5: Elektronenstromdichte eines JFET ausschließlich mit Main-Channel. $L_{\text{tg}}:1.4 \mu\text{m}$, $V_{\text{ds}}=3 \text{ V}$, $V_{\text{tg}}=V_{\text{bg}}=0 \text{ V}$. pn-Übergänge sind mit lila Linien gekennzeichnet. Die Farbskala reicht von $\lg 4.6 \text{ A cm}^{-2}$ bis 0 A cm^{-2} . X- und Y-Skala ist in μm angegeben.

$V_{\text{ds}} > 1 \text{ V}$ gleich ab. Am drainseitigen Ende des Top-Gate jedoch muss noch der Potentialunterschied $V_{\text{dsat}} - V_{\text{ds}}$ abgebaut werden.

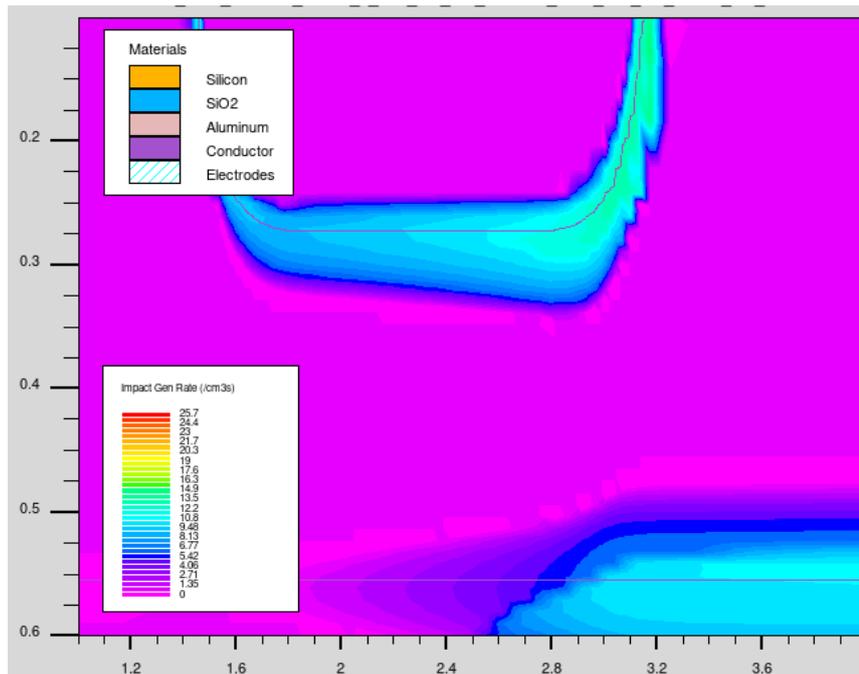


ABBILDUNG 2.6: Stoßionisationsrate eines JFET ausschließlich mit Main-Channel. $L_{tg}:1.4 \mu\text{m}$, $V_{ds}=1 \text{ V}$, $V_{tg}=V_{bg}=0 \text{ V}$. pn-Übergänge sind mit lila Linien gekennzeichnet. Die Farbskala reicht von $lg25.7 \text{ cm}^{-3}$ bis 0 cm^{-3} . X- und Y-Skala ist in μm angegeben.

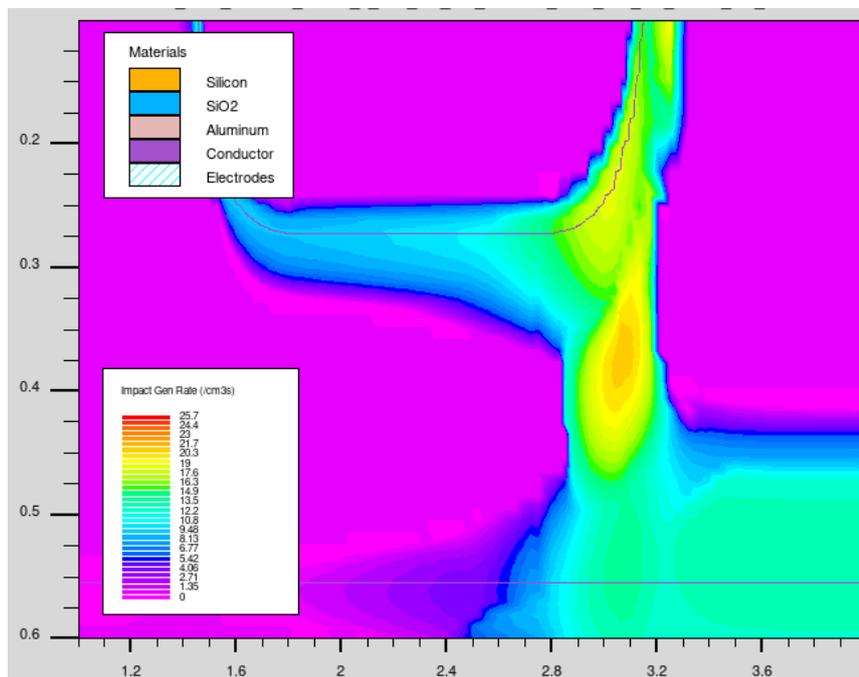


ABBILDUNG 2.7: Stoßionisationsrate eines JFET ausschließlich mit Main-Channel. $L_{tg}:1.4 \mu\text{m}$, $V_{ds}=3 \text{ V}$, $V_{tg}=V_{bg}=0 \text{ V}$. pn-Übergänge sind mit lila Linien gekennzeichnet. Die Farbskala reicht von $lg25.7 \text{ cm}^{-3}$ bis 0 cm^{-3} . X- und Y-Skala ist in μm angegeben.

Wie in Abb. 2.8 zu erkennen, erfolgt dies zum größten Teil außerhalb des Top-Gate Dotierungsbereichs zu Drain hin verschoben. Im unteren Teil von Abb. 2.8 ist

das elektrische Feld aufgetragen. Es zeigt, dass für höhere Drainspannungen eine immer weiter steigende Potentialdifferenz über die gleiche Strecke abgebaut wird. Das elektrische Feld steigt dementsprechend für höhere Drainspannungen bis hin zu dem Punkt wo der Strom aufgrund von Stoßionisation den Leckstrom übersteigt und exponentiell mit der Drainspannung ansteigt. Dies zeigt sich, wie weiter oben bereits erwähnt, ab Drainspannung $V_{ds} = 2V$.

Weiterhin ist zu erkennen, dass das Potential auch für Drainspannungen größer $V_{ds} = 2V$ am Punkt $x = 1.5\mu\text{m}$ nicht konstant ist. Dies erklärt den "Channel-Length-Modulation" Effekt, bzw. den niedrigeren Ausgangswiderstand gegenüber einem SC-JFET. Eine entsprechende Auftragung für einen Split-Channel JFET erfolgt weiter unten in Abschnitt [2.1.3](#).

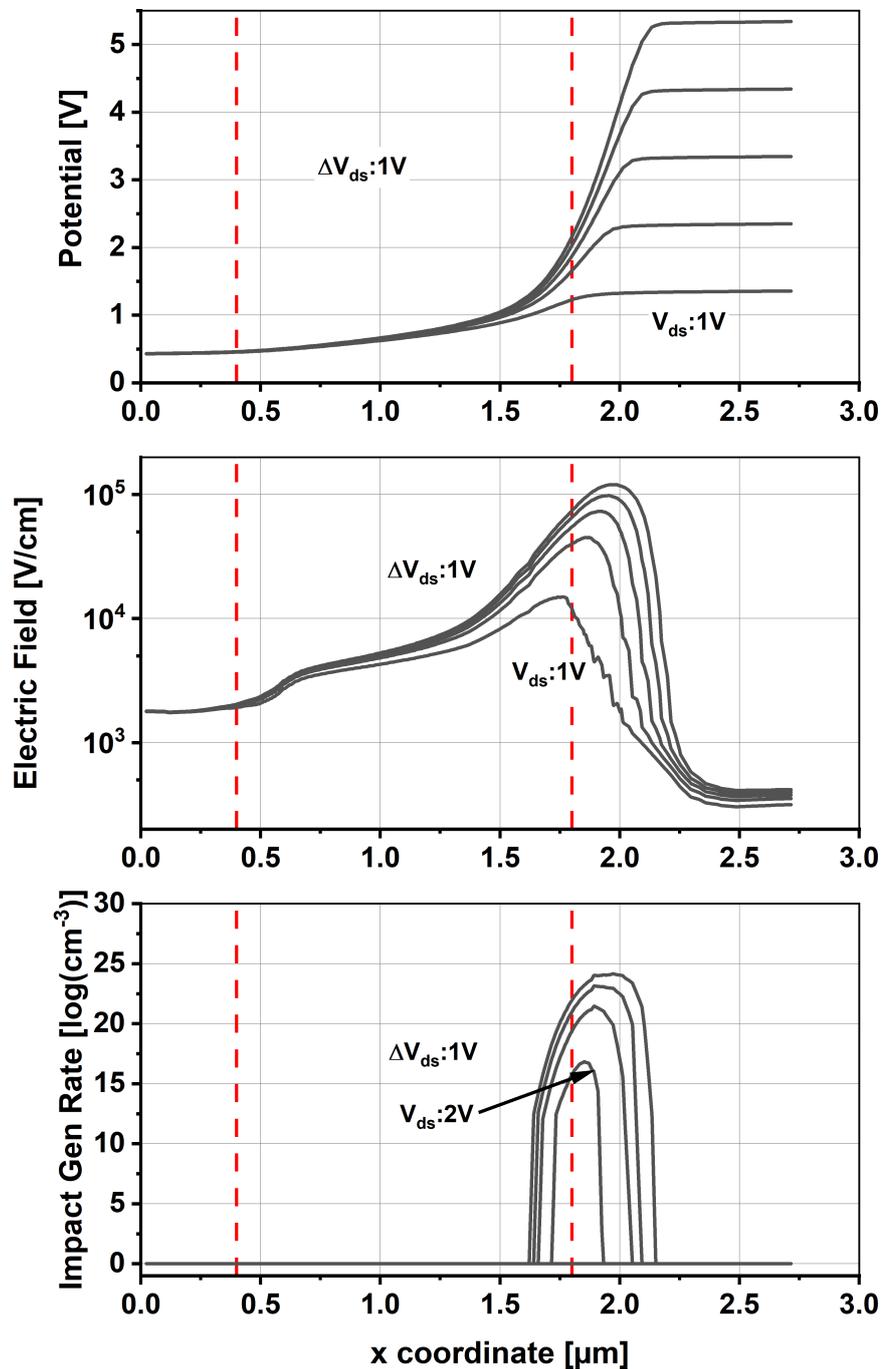


ABBILDUNG 2.8: Potential, elektrisches Feld(\log_{10}) und Stoßionisationsrate(\log_{10}) entlang der Schnittlinie aus Abb. 2.1 eines JFET ausschließlich mit Main-Channel. $L_{tg}:1.4 \mu\text{m}$, $V_{tg}=V_{bg}=0 \text{ V}$. Die roten Markierungen zeigen Anfang und Ende des Top-Gates.

2.1.2 JFETs mit Main-Channel, Kurzkanal

Die Elektronenstromdichte für die Arbeitspunkte $V_{ds}=1\text{ V}$, Abb. 2.10, und $V_{ds}=3\text{ V}$, Abb. 2.11, werden hier für eine gezeichnete Top-Gate-Länge von $L_{tg}:0.7\text{ }\mu\text{m}$ gezeigt. Bei einem Vergleich mit Abschnitt 1.1.3 zeigt sich, dass Randeﬀekte des Top-Gates eine deutliche Rolle spielen. Das Kanallängen zu -dicken Verhältnis ist etwa $4\frac{2}{3} : 1$.

Die Elektronenstromdichte ist in fast keinem Punkt mehr parallel zur Oberfläche. In Abb. 2.9, Graph "MC", zeigt sich, dass die Sättigung des Main-Channel Transistors im Vergleich zu $L_{tg} = 1.4\text{ }\mu\text{m}$, in Abb. 2.2, deutlich weniger abrupt ist und der Ausgangswiderstand geringer ist. Der exponentielle Anstieg des Gate-Stroms befindet sich ebenfalls bei $V_{ds} \approx 2\text{ V}$. Da aber erst bei höheren V_{ds} Sättigung eintritt, bleibt ein kleinerer Drainspannungsbereich, in dem dieser JFET als Verstärker genutzt werden kann.

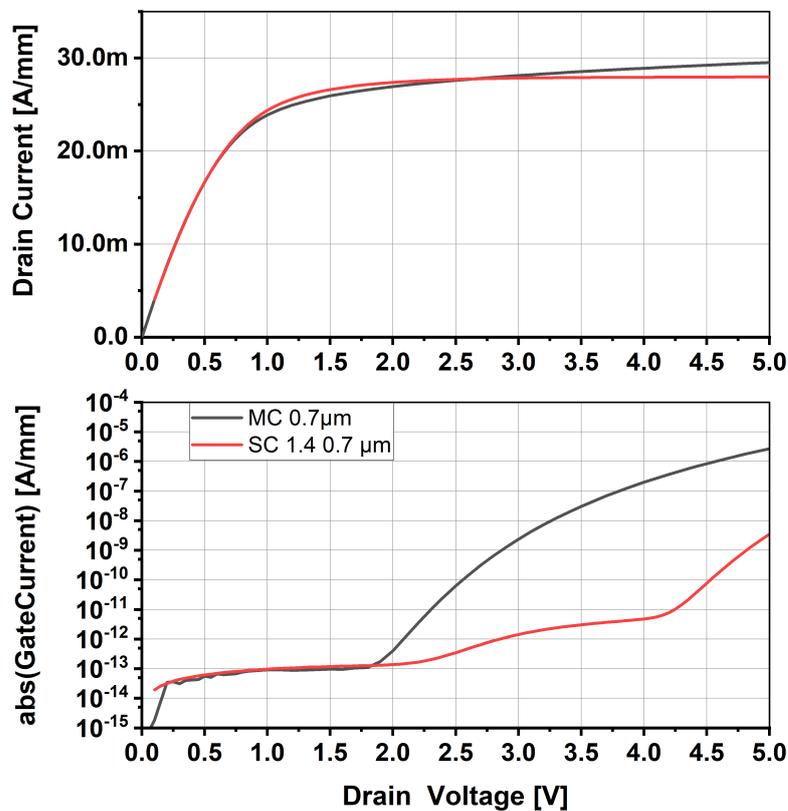


ABBILDUNG 2.9: Drain- und Top-Gate-Strom in Abhängigkeit der Drainspannung eines JFET nur mit Main-Channel, $L_{tg}:0.7\text{ }\mu\text{m}$, sowie eines Split-Channel JFETs, $L_{tg}:1.4\text{ }\mu\text{m}$, $L_{cheff}:0.7\text{ }\mu\text{m}$, $V_{tg}=V_{bg}=0\text{ V}$. MC:Main-Channel, SC:Split-Channel

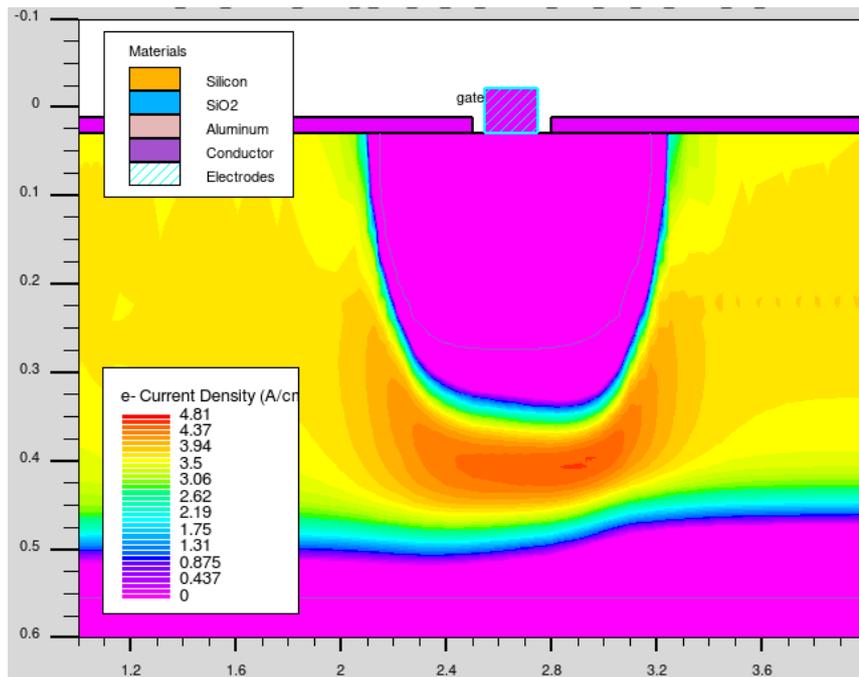


ABBILDUNG 2.10: Elektronenstromdichte eines JFET ausschließlich mit Main-Channel. $L_{tg}:0.7\ \mu\text{m}$, $V_{ds}=1\ \text{V}$, $V_{tg}=V_{bg}=0\ \text{V}$. pn-Übergänge sind mit lila Linien gekennzeichnet. Die Farbskala reicht von $4.8\ \text{A cm}^{-2}$ bis $0\ \text{A cm}^{-2}$. X- und Y-Skala ist in μm angegeben.

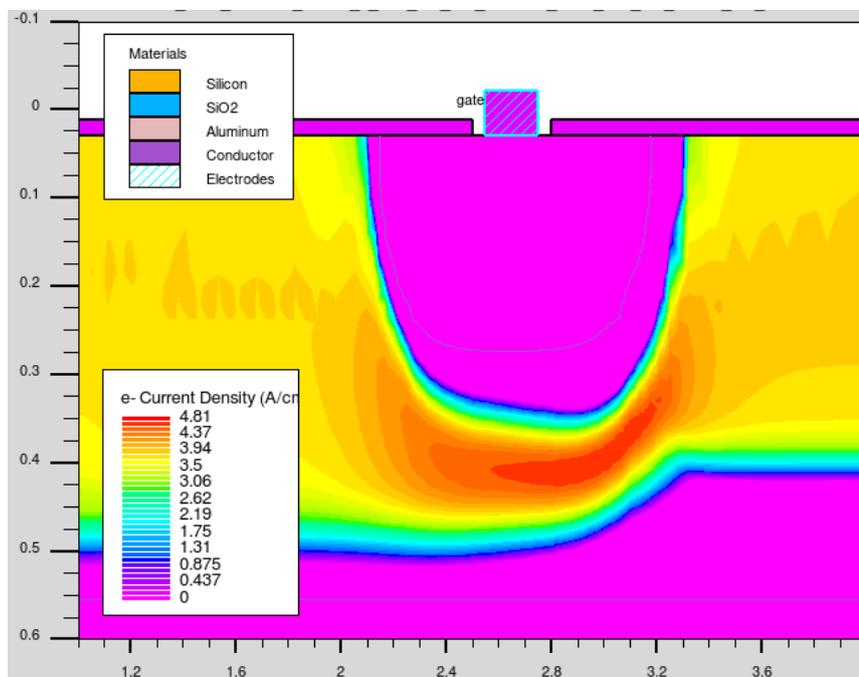


ABBILDUNG 2.11: Elektronenstromdichte eines JFET ausschließlich mit Main-Channel. $L_{tg}:0.7\ \mu\text{m}$, $V_{ds}=3\ \text{V}$, $V_{tg}=V_{bg}=0\ \text{V}$. Die Farbskala reicht von $4.8\ \text{A cm}^{-2}$ bis $0\ \text{A cm}^{-2}$. X- und Y-Skala ist in μm angegeben.

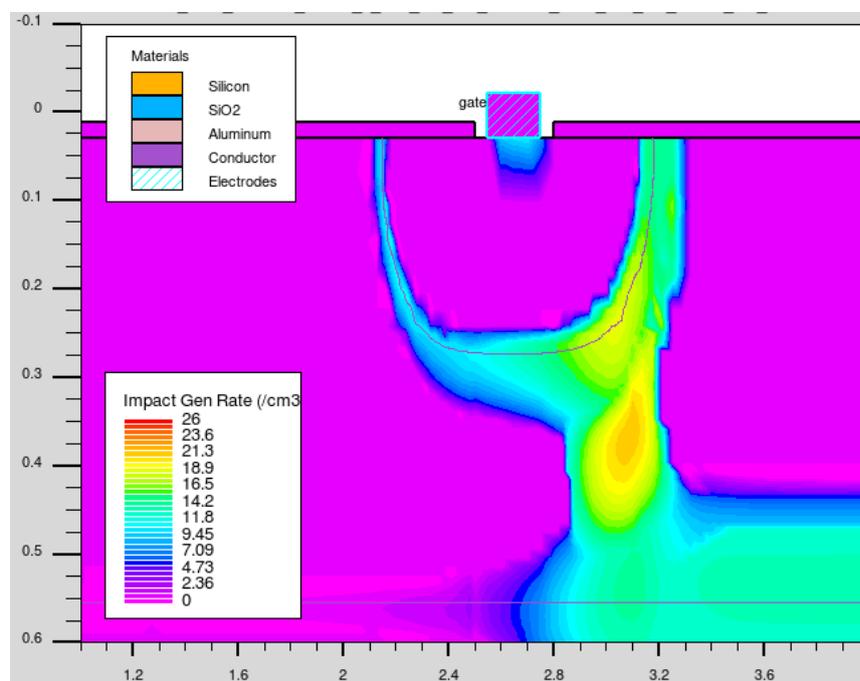


ABBILDUNG 2.12: Stoßionisationsrate eines JFET ausschließlich mit Main-Channel. $L_{tg}:0.7 \mu\text{m}$, $V_{ds}=3 \text{ V}$, $V_{tg}=V_{bg}=0 \text{ V}$. pn-Übergänge sind mit lila Linien gekennzeichnet. Die Farbskala reicht von 26 cm^{-3} bis 0 cm^{-3} . X- und Y-Skala ist in μm angegeben.

2.1.3 JFETs mit Split-Channel

Nun soll im Vergleich zu den vorher dargestellten Verhältnissen für MC-JFETs die Situation für SC-JFETs erläutert werden.

Es zeigt sich für den Drainstrom "SC" sowohl für den Fall $L_{cheff} = 1.4\mu\text{m}$ in Abb. 2.2 als auch $L_{cheff} = 0.7\mu\text{m}$ in Abb. 2.9 eine deutlich geringere Abhängigkeit von der Drainspannung im Sättigungsbereich. Eine genauere Untersuchung dazu findet anhand von Messdaten im Kapitel 4.1.2 statt.

Der deutlichste Unterschied besteht in der Verringerung, bzw. dem Verschieben des exponentiellen Anstiegs des Gate-Stroms. Dies ist darauf zurückzuführen, dass der Potentialabfall hier auf zwei Strecken aufgeteilt wurde.

Im Folgenden wird dies anhand von Schnittbildern und Graphen entlang von Schnittlinien eines MC-JFET mit effektiver Kanallänge $L_{cheff} = 0.7\mu\text{m}$ und Top-Gate-Länge $L_{tg} = 1.4\mu\text{m}$ näher beleuchtet.

In Abb. 2.13 wird die Elektronenstromdichte für den Arbeitspunkt $V_{ds}=1\text{ V}$ als Schnittbild im Bereich des Top-Gate gezeigt. Im Vergleich zu Abb. 2.10 und Abb. 2.4 fällt auf, dass die höchste Elektronenstromdichte nicht am drainseitigen Ende des Top-Gates liegt, sondern etwa in der Mitte bei $x \approx 3\mu\text{m}$. Auch ist auffällig, dass der Kanal nach dem Maximum der Elektronenstromdichte breiter wird. Dies liegt an der unterschiedlichen Dotierung die in den beiden Bereichen liegt - die extended-Drain-Channel-Dotierung hat ihr Maximum tiefer im Silizium.

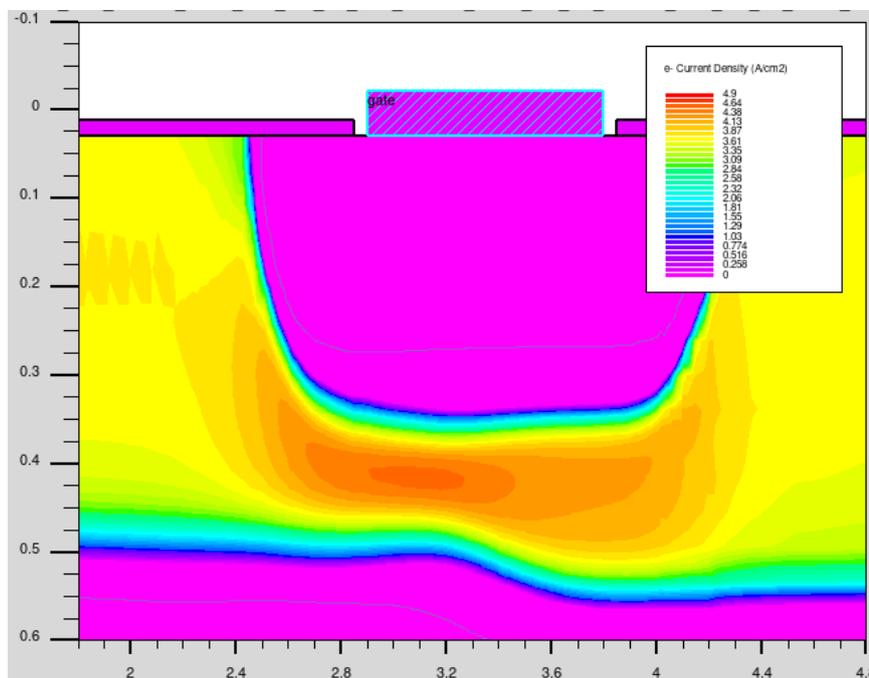


ABBILDUNG 2.13: Elektronenstromdichte eines Split-Channel-JFET. $L_{tg}1.4\mu\text{m}$, $L_{cheff}0.7\mu\text{m}$, $V_{ds}=1\text{ V}$, $V_{tg}=V_{bg}=0\text{ V}$. Die Farbskala reicht von $\lg 4.9\text{ A cm}^{-2}$ bis 0 A cm^{-2} .

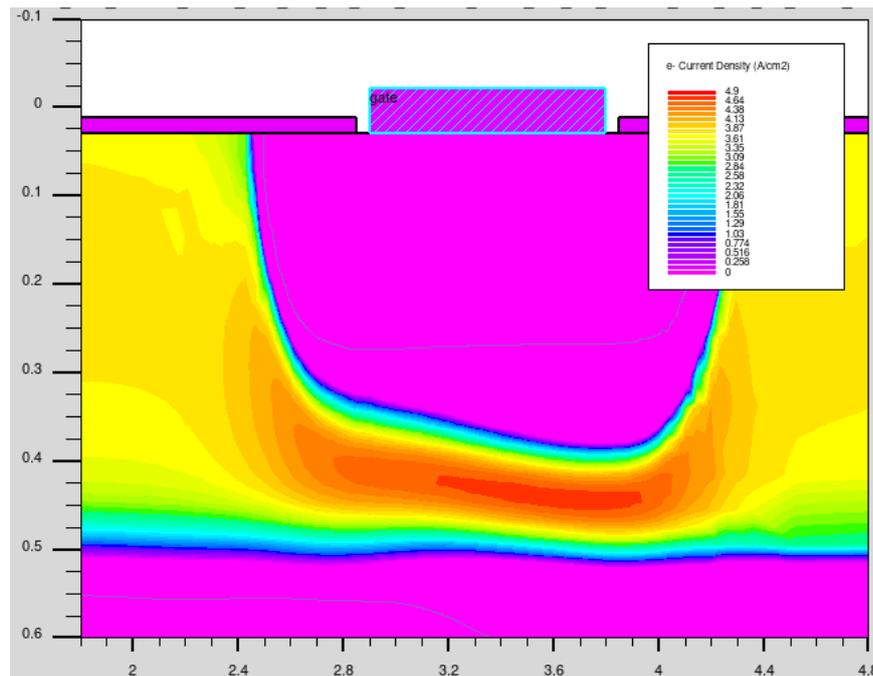


ABBILDUNG 2.14: Elektronenstromdichte eines Split-Channel-JFET. $L_{tg} 1.4 \mu\text{m}$, $L_{cheff} 0.7 \mu\text{m}$, $V_{ds} = 3 \text{V}$, $V_{tg} = V_{bg} = 0 \text{V}$. Die Farbskala reicht von $\lg 4.9 \text{ A cm}^{-2}$ bis 0 A cm^{-2} .

Wie schon in Abschnitt 2.1.2 ist in Abb. 2.14 die Elektronenstromdichte für den Arbeitspunkt $V_{ds} = 3 \text{V}$ gezeigt. Die Elektronenstromdichte verläuft unter dem Top-Gate vom sourceseitigen zum drainseitigen Ende diagonal von der Oberfläche weg. Der Strom bewegt sich also mit wachsender x -Koordinate vom Top-Gate weg. Auch hier wird wie in Abb. 2.5 aus Abschnitt 2.1.2 die Strecke mit hoher Elektronenstromdichte größer gegenüber $V_{ds} = 1 \text{V}$. Anders als beim MC-JFET krümmt sich die Elektronenstromdichte aber nicht am drainseitigen Ende des Top-Gates zur Oberfläche, sondern die Konzentration nimmt zuerst ab und der Elektronenstrom verteilt sich gleichmäßig auf die vorhandene drainseitige Zuleitung.

Die Situation für $V_{ds} = 5 \text{V}$ ist in Abb. 2.15 dargestellt. Hier ist zu erkennen, wie der Bereich der hohen Elektronenstromdichte das drainseitige Ende des Kanals erreicht und dann auch nach oben gekrümmt wird. Ein Vergleich mit Abb. 2.2 zeigt, dass in diesem Arbeitspunkt Stoßionisation auftritt und ein Gatestrom von fast 10 nA mm^{-1} fließt. Es ist zu beachten, dass für alle Schnittbilder die selbe Skalierung verwendet wurde, gleiche Farben bedeuten demnach auch gleiche Werte.

In Abb. 2.16 und 2.17 sind die Stoßionisationsraten für die Spannungen $V_{ds} = 3 \text{V}$ und $V_{ds} = 5 \text{V}$ dargestellt. Anders als beim MC-JFET befindet sich für $V_{ds} = 3 \text{V}$ das Maximum der Stoßionisation unter der Mitte des Top-Gates, am drainseitigen Ende des Main-Channel.

Für $V_{ds} = 5 \text{V}$ zeigen sich zwei Bereiche in denen Stoßionisation geschieht. Der Erste Bereich befindet sich am drainseitigen Ende des Main-Channel und der zweite am drainseitigen Ende des extended-Drain-Channel. Ein Vergleich der Farben und

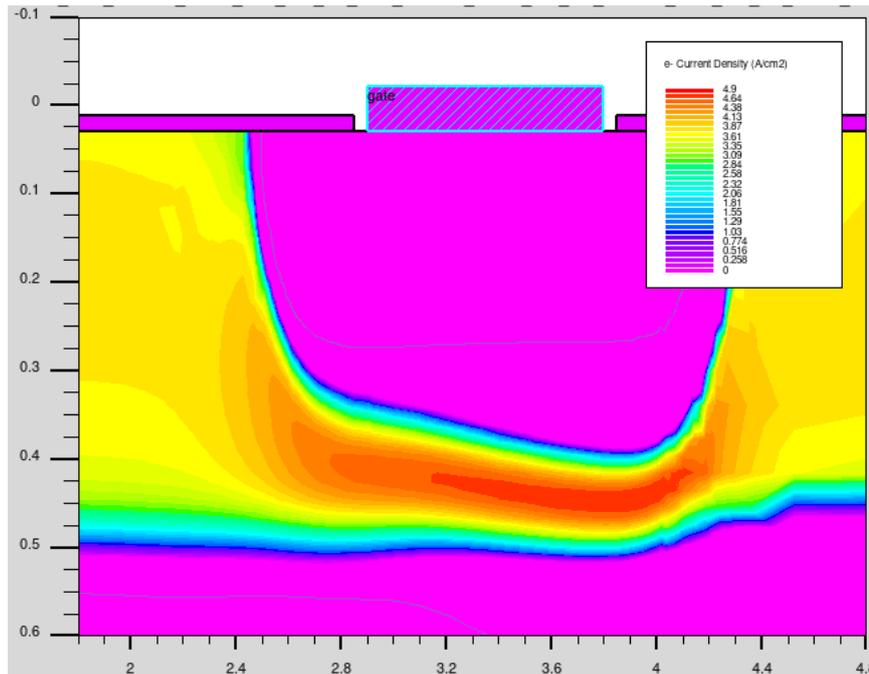


ABBILDUNG 2.15: Elektronenstromdichte eines Split-Channel-JFET. $L_{tg} 1.4 \mu\text{m}$, $L_{cheff} 0.7 \mu\text{m}$, $V_{ds} = 5 \text{ V}$, $V_{tg} = V_{bg} = 0 \text{ V}$. Die Farbskala reicht von $\lg 4.9 \text{ A cm}^{-2}$ bis 0 A cm^{-2} .

auch ein Vergleich von Abb. 2.8 und Abb. 2.18 zeigt, dass für $V_{ds} = 5 \text{ V}$ im SC-JFET weniger hohe Stoßionisationsraten simuliert werden, wie im Fall eines MC-JFETs bei $V_{ds} = 3 \text{ V}$.

Abb. 2.18 zeigt die elektrischen Größen entlang von Schnittlinien wie in Abb. 2.1 angezeichnet. Die rot gestrichelten Markierungen zeigen die gezeichneten Ränder des Top-Gate an, die rot gepunktete Markierung den Übergang von Main-Channel zu extended-Drain-Channel.

Im Vergleich mit Abb. 2.8, wo die Situation für einen Main-Channel-JFET mit Top-Gate-Länge $L_{tg} : 1.4 \mu\text{m}$ aufgetragen ist, zeigt sich ein deutlich verändertes Bild für alle Größen. Das Potential bleibt am Punkt $x = 0.5 \mu\text{m}$ konstant ab $V_{ds} = 2 \text{ V}$. Die Aufspaltung des Potentials, wie sie in Abb. 2.8 ab etwa $x \approx 1.75 \mu\text{m}$ stattfindet, findet beim Split-Channel fernab vom Main-Channel statt.

Das elektrische Feld steigt mit steigender x -Koordinate für $V_{ds} < 4 \text{ V}$ zunächst stetig an, sinkt dann aber wieder. Zwischen $V_{ds} = 3 \text{ V}$ zu $V_{ds} = 4 \text{ V}$ ist ein deutlicher Anstieg des elektrischen Felds am drainseitigen Top-Gate-Ende zu erkennen.

Bei $V_{ds} = 5 \text{ V}$ ist das elektrische Feld so hoch, dass Stoßionisationsraten am drainseitigen Ende erreicht werden, die im Bereich, aber dennoch unter denen eines MC-JFET, bei $V_{ds} = 3 \text{ V}$ liegen.

Über dem Main-Channel fällt für eine gute Anpassung von Main-Channel zu extended-Drain-Channel die Pinch-Off-Spannung V_{dsat} ab. Das restliche Potential $V_{ds} - V_{dsat}$ wird im extended-Drain-Channel abgebaut. Die Optimierung der Kanal-dotierungen wird in Abschnitt 2.4.4 behandelt.

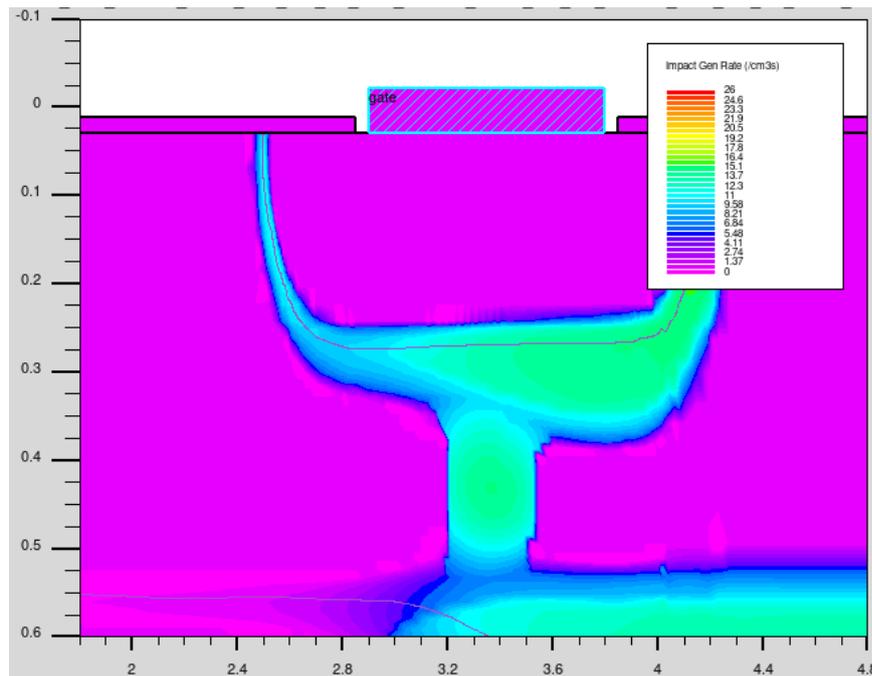


ABBILDUNG 2.16: Stoßionisationsrate eines Split-Channel-JFET. $L_{tg}1.4\ \mu\text{m}$, $L_{cheff}0.7\ \mu\text{m}$, $V_{ds}=3\text{V}$, $V_{tg}=V_{bg}=0\text{V}$. Die Farbskala reicht von $\lg 26\text{ cm}^{-3}$ bis 0 cm^{-3} .

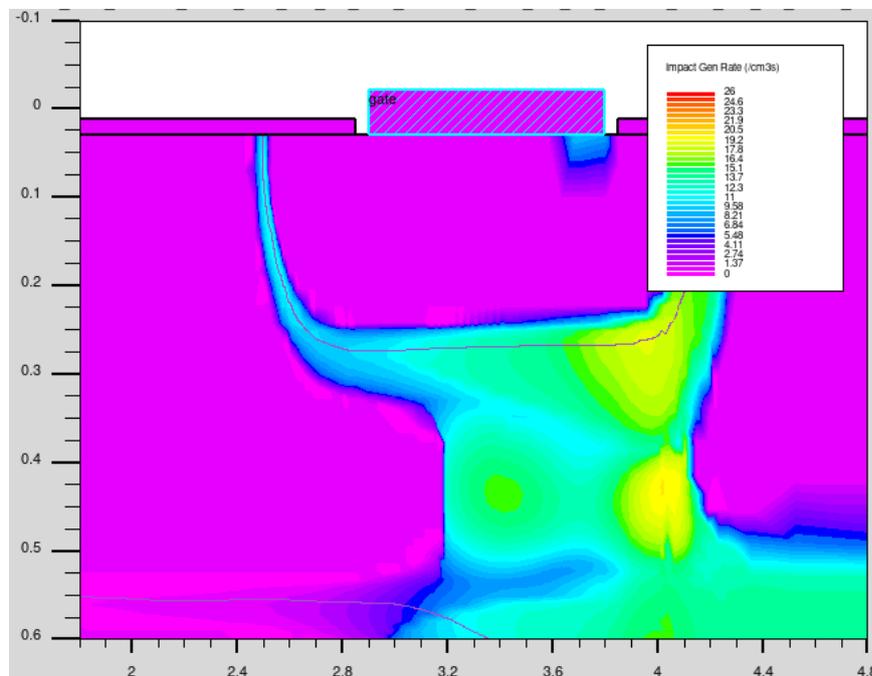


ABBILDUNG 2.17: Stoßionisationsrate eines Split-Channel-JFET. $L_{tg}1.4\ \mu\text{m}$, $L_{cheff}0.7\ \mu\text{m}$, $V_{ds}=5\text{V}$, $V_{tg}=V_{bg}=0\text{V}$. p-n Übergänge sind mit lila Linien gekennzeichnet. Die Farbskala reicht von $\lg 26\text{ cm}^{-3}$ bis 0 cm^{-3} . Die Farbskala reicht von $\lg 26\text{ cm}^{-3}$ bis 0 cm^{-3} .

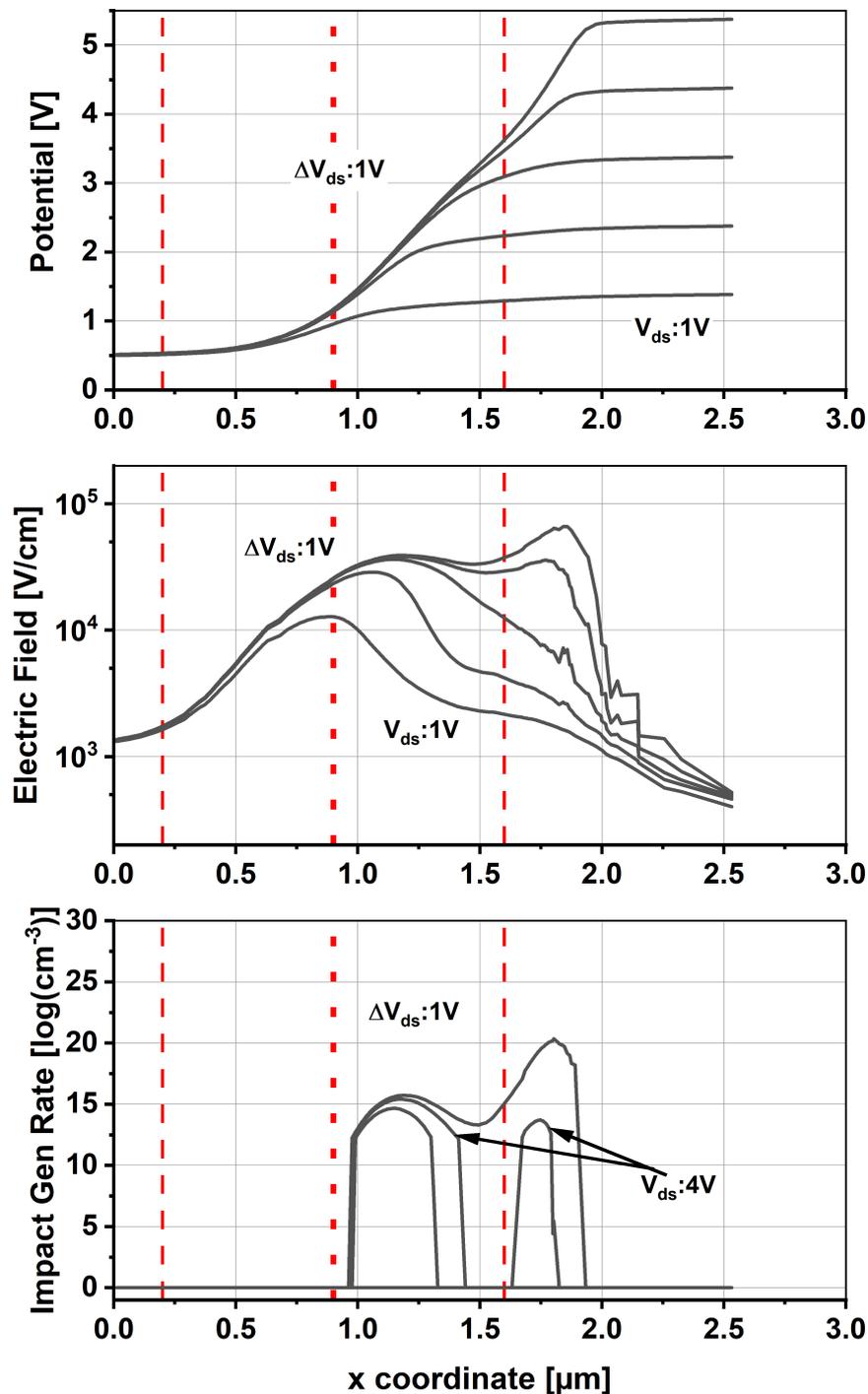


ABBILDUNG 2.18: Potential, elektrisches Feld (log10) und Stoßionisationsrate (log10) entlang der Schnittlinie aus 2.1 eines Split-Channel-JFET. $L_{tg} 1.4 \mu\text{m}$, $L_{tg} 0.7 \mu\text{m}$, $V_{tg} = V_{bg} = 0 \text{V}$. Die roten Markierungen zeigen Anfang und Ende des Top-Gates. Die gepunktete Referenz ist der Übergang von Main-Channel zu extended-Drain-Channel.

Abb. 2.18 zeigt, dass ein Split-Channel-JFET einer Kaskodenschaltung von zwei JFETs ähnelt [30]. Der erste Teil bestimmt den Strom des Verstärkers, der zweite hält das Potential am Ausgang des ersten konstant. Allerdings bewirkt die Kaskadierung der beiden Kanäle unter einem Gate ein anderes Verhalten als eine Kaskode mit zwei Gates.

Um den Effekt des Potentialabbaus im extended-Drain-Channel besser zu verstehen, kann eine Simulation eines JFETs nur mit extended-Drain-Channel als Kanal herangezogen werden. Wie in Abb. 2.19 zu sehen, hat ein JFET nur mit extended-Drain-Channel eine sehr hohe Pinch-Off-Spannung, bzw. einen niedrigeren Ausgangswiderstand gegenüber einem Main-Channel-JFET. Bei höheren Drainspannungen, z.B. $V_{ds} > 3.5\text{V}$ tritt auch hier am drainseitigen Ende des Top-Gates Stoßionisation auf, vgl. Abb. 2.19.

Weiter zeigt Abb. 2.20 den Potentialverlauf entlang des Kanals bei variabler Drainspannung. Es zeigt sich, dass sich das Potential gegenüber einem Main-Channel-JFET weniger abrupt ändert. Ein Vergleich mit Abb. 2.18 zeigt jedoch, dass sich der Potentialverlauf eines Split-Channel-JFET von dem eines extended-Drain-Channel-JFET unterscheidet.

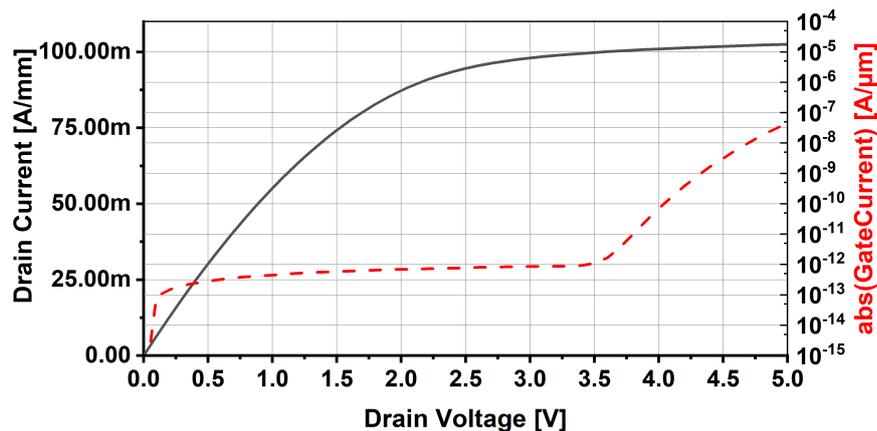


ABBILDUNG 2.19: Drain- und Gatestrom eines JFET ausschließlich mit extended-Drain-Channel, $L_{tg}1.4$, $V_{tg}=V_{bg}=0\text{ V}$

Dies lässt sich anhand von Abb. 2.21 erklären. Hier ist die Mobilität entlang des Kanals eines SC-JFET aufgetragen. Es ist zu erkennen, dass die Mobilität am Übergang Main-Channel zu extended-Drain-Channel stark abnimmt. Der Leitwert des Kanals sinkt bzw. der Widerstand steigt an dieser Stelle.

Wie im Abschnitt 1.1.3 ausgeführt, ist die Mobilität abhängig von der Ladungsträrgeschwindigkeit. Da die Elektronen am Übergang Main-Channel zu extended-Drain-Channel schnell sind, haben an diesem Punkt die Elektronen eine höhere Geschwindigkeit, als sie es in einem JFET mit durchgehendem Kanal haben. Die hohe Geschwindigkeit sorgt dafür, dass die Mobilität abnimmt, also mehr Wechselwirkung mit dem Kristallgitter stattfindet. Diese Mobilitätsabnahme führt zu einem höheren Widerstand, sodass das Potential nun auch im extended-Drain-Channel stärker abfällt.

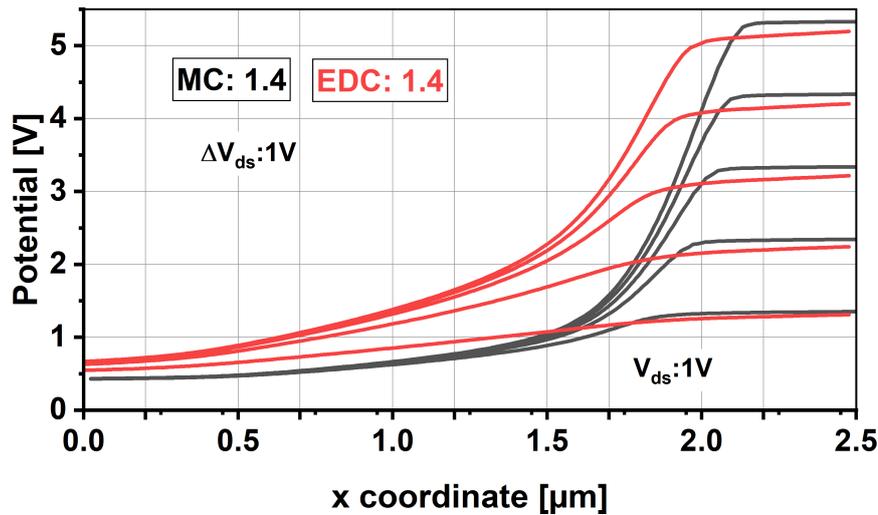


ABBILDUNG 2.20: Potential entlang der Schnittlinie aus 2.1 eines Main-Channel und eines extended-Drain-Channel-JFET. $L_{tg} = 1.4 \mu\text{m}$, $V_{tg} = V_{bg} = 0 \text{ V}$. Die roten Markierungen zeigen Anfang und Ende des Top-Gates.

Bei höherer Drainspannung wird der Bereich mit schnellen Elektronen größer; der Widerstand des extended-Drain-Channel im Split-Channel-JFET steigt. Das Potential am Übergang Main-Channel zu extended-Drain-Channel bleibt konstant, das Potential im extended-Drain-Channel wiederum fällt weniger abrupt ab als in einem extended-Drain-Channel-JFET.

Für höhere Drainspannungen (im Graphen 2.21 entspricht die oberste Linie der niedrigsten Drainspannung) weitet sich der Bereich niedriger Mobilität aus, bis bei $V_{ds} = 5 \text{ V}$ ein kritisches elektrisches Feld am drainseitigen Top-Gate-Ende des extended-Drain-Channel überschritten, bzw. eine kritische Mobilität unterschritten und Stoßionisation am drainseitigen Ende des extended-Drain-Channel eintritt.

Diese Erkenntnis ist nicht durch analytische Berechnungen zu erreichen, da die üblichen Berechnungsmethoden und dabei angewandten Näherungen nicht ausreichen bzw. die Situation eines Split-Channel nicht wiedergeben können. Auch kann dieses Verhalten nicht durch eine Kaskadierung eines Main-Channel mit einem extended-Drain-Channel-JFET erklärt werden.

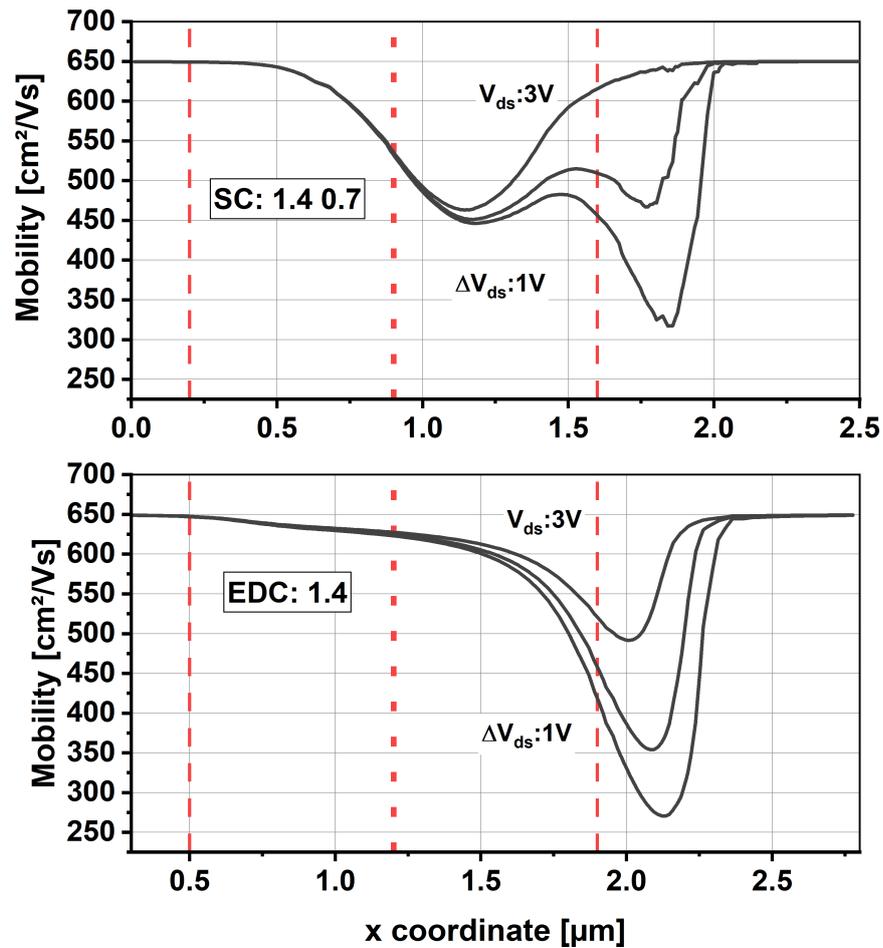


ABBILDUNG 2.21: Mobilität entlang der Schnittlinie aus 2.1 eines Split-Channel und eines extended-Drain-Channel-JFET. $L_{tg} 1.4 \mu\text{m}$, $L_{cheff} 0.7 \mu\text{m}$, $V_{tg} = V_{bg} = 0 \text{ V}$. V_{ds} : 3V bis 5V. Die roten Markierungen zeigen Anfang und Ende des Top-Gates. Die gepunktete Referenz ist der Übergang von Main-Channel zu extended-Drain-Channel.

2.2 Anpassung von Prozesssimulation an SIMS Messung

Um eine hinreichend genaue Aussage zur Verteilung der Dotierstoffe im Kanal anhand von Vorabsimulationen machen zu können, wurden Stellparameter innerhalb des verwendeten Prozesssimulationsframeworks angepasst. Der größte Augenmerk lag dabei auf dem korrekten Diffusionsverhalten der Kanal- und Backgateimplantation.

Die Physik zum Verhalten von Dotierstoffen in Silizium ist ein eigenes Gebiet der Festkörperforschung. Es wurden seit Beginn der Siliziumhalbleitertechnologie große Fortschritte bezüglich der Vorhersage von Dotierstoffdiffusion unter unterschiedlichsten Umgebungsbedingungen gemacht. Diese haben unter anderem im Simulator SUPREMIV der Stanford Universität gemündet [31]. Das vorher erwähnte Simulationsframework Athena basiert auf diesem Simulator mit einigen Erweiterungen. Trotz der großartigen Leistung, die SUPREMIV zeigt, ist das Programm dennoch limitiert in seiner Voraussage vor allem unter den folgenden Bedingungen: Diffusion unter oxidierender Atmosphäre, Diffusion von sehr hohen Implantationsdosen von Dotierstoffen ($Dosis > 10^{14}/\text{cm}^2$) und der daraus folgenden beschleunigten Diffusion von Dotierstoffen aufgrund von diffundierenden Eigenzwischen-gitteratomen (self-interstitials)[32][33]. In der hier verfügbaren Version von Athena ist ein Modul implementiert welches in Grenzen erlaubt die beschleunigte Diffusion aufgrund von self-interstitials, die bei der Implantation entstehen, zu berücksichtigen. Allerdings ist dieses Modul nur in engen Grenzen zu verwenden.

Die hier präsentierten Ergebnisse zeigen die Bemühungen, mithilfe der zur Verfügung stehenden Mittel das beste Ergebnis bezüglich des Bauteilverhaltens zu erhalten. Bis auf für die explizit angegeben Schritte wurden die Standardmodelle des Prozesssimulators verwendet. Die Anpassung wurde anhand von Testdurchläufen gemacht, anhand derer die Dotierstoffverteilung mittels SIMS-Analyse ermittelt wurde. Die Parameter in den Diffusionsmodellen wurden darauf folgend so angepasst, dass eine so weit als mögliche Übereinstimmung mit den SIMS-Analysen erfolgt. Anschließend wurden wieder Abweichungen von den ermittelten SIMS-Profilen zugelassen um eine bessere Übereinstimmung der Ergebnisse aus der Bauteilsimulation mit den ermittelten Messwerten zu erhalten.

Es wird davon ausgegangen, dass die Parameter für die Bauteilsimulation, welche grundlegende physikalische Materialparameter beinhalten, in der Simulationsumgebung annähernd von vornherein richtig gesetzt sind. Dies folgt dem Rat des Handbuchs des verwendeten Simulators [34]. Demzufolge wurde zuerst ein Abgleich der vorausgesagten mit ermittelten Dotierstoffprofilen angestrebt. Als erster Schritt wurde eine Kalibrierung der Implantationstiefen für die Spezies Bor und Phosphor vorgenommen. Die Implantationsspezies Arsen wurde nicht abgeglichen, da diese nur im Source-Drain-Bereich verwendet wird und daher keinen Einfluss auf das Verhalten im Kanal hat.

	Err_{rel}	damage factor
Backgate	0.025	0.055
Main Channel	0.115	0.45
Ex Drain CH	0.065	0.4

TABELLE 2.1: Korrekturfaktoren für Diffusion und Implantation um simulierte und gemessene Dotierprofile in Übereinstimmung zu bringen

Eine Abweichung der ohne Korrekturen simulierten von an realen Proben gemessenen Tiefen der Implantationsprofile von 10 % ist üblich [34]. Es wurde also für den Abgleich der Implantationsenergie ein Korrekturfaktor eingeführt, welcher in Abhängigkeit der vorgegebenen Energie linear die im Simulator verwendete Energie anpasst. Die in der Simulationsumgebung verwendeten Energien werden wie folgt berechnet:

$$Energie = Energie_{inp}(1 - Err_{rel}) \quad (2.1)$$

Die im Simulator projizierten Implantationstiefen im Silizium für die Dotierstoffe sind also zu groß und werden durch einen Korrekturfaktor verringert, siehe Tabelle 2.1.

Um die erhöhte Diffusion, welche für Phosphor und Bor im Kanalbereich mittels SIMS ermittelt wurde, im Simulator abzubilden, wurde auf das in Athena implementiert "Plus-One" Modell zurückgegriffen [35]. In diesem Modell wird davon ausgegangen, dass die implantierten Dotierstoffatome einen gewissen Anteil an Silizium self-interstitials erzeugen, welche dann zur beschleunigten Diffusion beitragen. Dieser Anteil wird im sogenannten "Damage Factor" festgehalten, vgl. Tabelle 2.1.

Was nicht berücksichtigt wurde, waren mögliche Einflüsse des Emitter-Push-Effekts [36] sowie die Einflüsse einer Oxidation während des Ausheilprozesses, da diese im Rahmen der verfügbaren Modelle des Prozesssimulators nicht zufriedenstellend dargestellt werden können bzw. den Rahmen der verfügbaren Ressourcen für die Analyse überschritten hätten.

Im Rahmen dieser Arbeit war es ausreichend, einen Parametersatz für die Prozesssimulation zu ermitteln, bei dem die Dotierstoffverläufe im Simulator mit denen durch SIMS- Analyse erhaltenen Profilen übereinstimmen. Simulationen mit kleineren Variationen um diesen Punkt lieferten hinreichend genaue Aussagen zum elektrischen Verhalten der JFETs.

Es wurden weitestgehend die Prozessparameter des real existierenden Herstellungsablaufs verwendet. Einzige Ausnahme bildet hier das Ausheilen der Kanal- und Backgateimplantation wo ein dummy-Anneal zwischen Kanalimplantation und Backgateimplant eingefügt wurde. Es war sonst nicht möglich durch Verändern der in Tabelle 2.1 aufgeführten Parameter das SIMS-Profil nachzubilden. Dies liegt an

der eingeschränkten Möglichkeit auf das Diffusionsmodell, welches beschleunigte Dotierstoffdiffusion aufgrund von Implantationsschaden berücksichtigt, einzuwirken. Des Weiteren wurde die Annealzeit des letzten Anneals, bei dem die SP-Implantation des Gates ausgeheilt wird, angepasst. Wird das Temperaturprofil im Simulator mit Haltezeit und Abkühlung, wie es in Wirklichkeit durchgeführt wird, eingegeben, ist die Tiefe des p-n Übergangs zu tief - es wird eine zu starke Diffusion des Bors simuliert. Wird die Abkühlung hingegen vernachlässigt, ist der p-n Übergang zu flach. Als Kompromiss wurde die Haltezeit abgebildet, jedoch eine steilere Rampe beim Abkühlen angegeben.

Wie in den beiden Abbildungen 2.22 und 2.23 zu sehen ist, ist das Bordotierprofil eine Zusammensetzung aus einem flachen Implant, der Top-Gate-Dotierung, und einem tiefen Implant, der Bottom-Gate-Dotierung. Die Top-Gate Dotierung weicht in der Simulation für Werte unter $1 \times 10^{18} \text{cm}^{-3}$ stärker ab. Die Bottom-Gate-Dotierung, entsprechend den Parametern aus Split 0 in Kapitel 3.2, stimmt am Übergang von Bottom-Gate zum Kanalgebiet mit der SIMS-Messung überein, jedoch ist es für Tiefen größer $1 \mu\text{m}$ zu hoch - die Verteilung ist zu breit. Es wurde aber, da für das elektrische Verhalten die Dotierung im Kanalgebiet wichtig ist, diese Abweichung in Kauf genommen. Der Grund für diese Unstimmigkeit wird in der Wechselwirkung bei der Diffusion von Boratomen mit Phosphoratomen im Siliziumgitter vermutet, so dass eine asymmetrische Bottom-Gate-Dotierstoffverteilung zustande kommt [36]. Dieser Effekt kann mit diesem Simulator unter den gegebenen Rahmenbedingungen nicht abgebildet werden.

Die Phosphordotierung in Abb. 2.22 entspricht der Main-Channel-Kanaldotierung aus Split 0 in Kapitel 3.2. Die Phosphordotierung in Abb. 2.23 entspricht der extended-Drain-Channel-Kanaldotierung aus Split 0 in Kapitel 3.2.

Wie zu sehen, passt das Dotierprofil bis auf wenige Messartefakte an der Oberfläche sehr gut zu den simulierten Werten.

2.3 Wahl der Modelle für die Bauteilsimulation

Wie im vorherigen Abschnitt bereits erwähnt, wird davon ausgegangen, dass die Parameter für die Bauteilsimulation bereits vorab zumeist richtig gewählt sind. Es ist jedoch auch wichtig, zum Bauteil passende physikalische Modelle mit einzubeziehen. Die Auswahl der Modelle ist mit Bedacht zu treffen, da von der Auswahl die Simulationsgeschwindigkeit und damit die Größe des abzufragenden Parameterraums bei gegebener Zeit abhängt. Um eine hinreichend genaue Aussage der Bauteileigenschaften zu erhalten wurden Modelle zu den folgenden Effekten in die Simulation mit einbezogen. Die Ausdrücke in Klammern vor der Beschreibung entspricht der Bezeichnung des Modells in der Simulationsumgebung:

- (srh) Shockley-Read-Hall Generation und Recombination, um den Leckstrom der Gate-zu-Kanal-Dioden darzustellen [37][38].

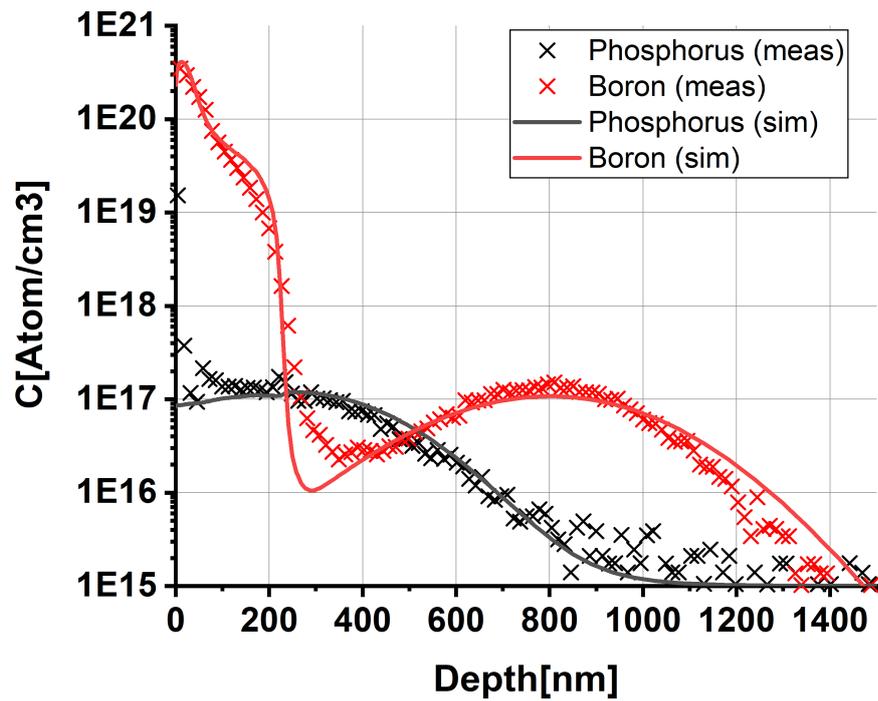


ABBILDUNG 2.22: Vergleich der Dotierstoffverteilung des Main-Channel (schwarz) mit Gate und Backgate-Dotierung (rot) SIMS (X) und als Ergebnis optimierter Parameter der Prozesssimulation (Linie)

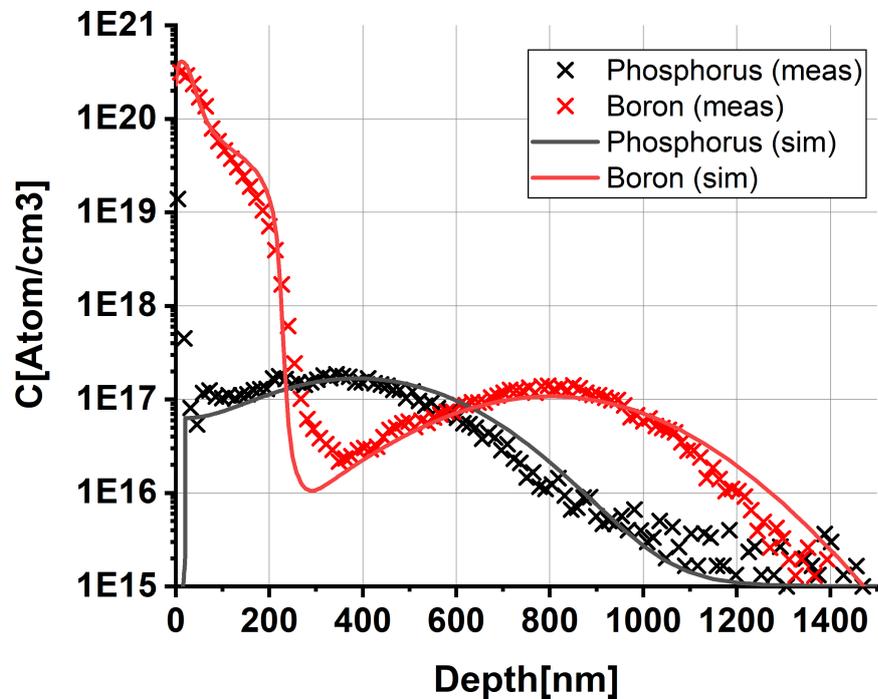


ABBILDUNG 2.23: Vergleich der Dotierstoffverteilung des extended-Drain-Channel (schwarz) mit Gate und Backgate-Dotierung (rot) SIMS (X) und als Ergebnis optimierter Parameter der Prozesssimulation (Linie)

- (conmob) Dotierstoffkonzentrationsabhängige Mobilität. Wird durch eine Tabelle mit Messwerten realisiert.
- (fldmob) Feldstärkenabhängige Mobilität [39].
- (auger) Rekombinationsrate in Abhängigkeit der Ladungsträgerdichte [40].
- (impact) Berücksichtigung der Stoßionisation von Ladungsträgern [41].

Folgende Parameter müssen nur bei Verwendung des Energy Balance Transport Modells [42] [43], s.u., gesetzt werden. Sie steuern den Energieverlust der Ladungsträger je zurückgelegter Strecke. Nähere Erläuterungen dazu finden sich unten.

- (htce, KSN=0, KSP=0) Verwendung des Energy Balance Transport Modells unter der Annahme, dass sich die Ladungsträgersättigungsgeschwindigkeit nicht mit der Temperatur ändert
- (impact toyabe length.rel lrel.ho=0.0268 lrel.el=0.025) Relaxationslängen-Parameter für das Stoßionisationsmodell von Toyabe [44]
- (material , taurel.el=0.25e-12, taumob.el=0.25e-12 , taurel.ho=0.25e-12 , taumob.ho=0.25e-12 , taun0=1e-6 , taup0=1e-6) taurel.el bzw. taurel.ho sind die Relaxationszeiten für Elektronen und Löcher, taumob.el bzw. taumob.ho sind Koeffizienten, mit denen energieabhängige Mobilitäten bestimmt werden.

Das weit verbreitete Drift-Diffusionsmodell [41] nimmt an, dass Ladungsträger keine Trägheit besitzen - Die Ladungsträgergeschwindigkeit am Punkt \vec{x} entspricht dem elektrischen Feld $\vec{E}(\vec{x})$. Es werden rein lokale Effekte betrachtet. Wie im Folgenden gezeigt wird, ist dies allerdings für die hier betrachteten Strukturen eine nicht mehr zutreffende Beschreibung.

2.4 Vergleich der elektrischen Parameter

Die vorausgesagten DC-Kennlinien wurden sowohl für MC-JFETs, als auch für SC-JFETs mit gemessenen Werten von Drain- und Gate-Strömen verglichen. Die Voraussagegenauigkeit ist ausreichend, um eine Optimierung des Split-Channel Kanalgebiets vornehmen zu können. Im Folgenden wird auf die einzelnen Anteile des Abgleichs eingegangen.

Für die Bezeichnung der JFETs wird folgende Nomenklatur verwendet:

$$"WW GG LL, (0, I, II)"$$

mit WW Gateweite [μm], GG Top-Gate-Länge [μm], LL effektive Kanallänge [μm], (I,II,III) bezieht sich auf die Splitnummer, siehe Tab. 3.1. JFETs mit durchgängigen Kanal werden mit MC-JFET und Split-Channel-JFETs mit SC-JFET bezeichnet.

2.4.1 Transferkennlinie

Zunächst werden die Kennlinien von JFETs mit durchgehendem Kanal mit den Ergebnissen der Simulation verglichen. Wie in Abb. 2.24 und Abb. 2.25 zu erkennen ist, stimmen die simulierten Kennlinien für JFETs mit durchgängigem Main-Channel und extended-Drain-Channel mit den gemessenen Kennlinien überein.

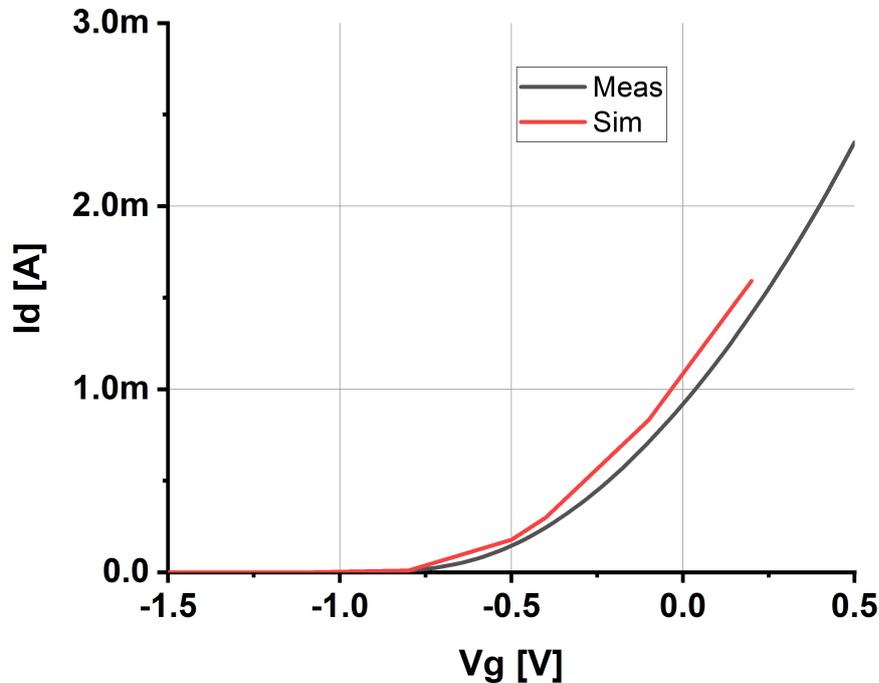


ABBILDUNG 2.24: Vergleich von gemessenen und simulierten Eingangskennlinien für einen JFET mit durchgängigen Main-Channel Kanal. $L_{tg}:0.8\mu\text{m}$ $W_{tg}:120\mu\text{m}$

In Abb. 2.26 ist eine Messung und Simulation für einen SC-JFET, "120 1.4 0.7, 0" abgebildet. Es ist zu sehen, dass Schwellspannung und Drainstrom hinreichend ähnlich sind.

Neben den Drainströmen ist ebenfalls die zu erwartende Transkonduktanz im Arbeitspunkt $V_{tg} = V_{bg} = 0\text{V}$, $V_d = 3\text{V}$ interessant. In Abb. 2.27 wurde für den Arbeitspunkt $V_{tg} = V_{bg} = 0\text{V}$, $V_d = 3\text{V}$, die Transkonduktanz an Teststrukturen mit variierender effektiver Kanallänge L_{cheff} aus Split "II,p" gemessen und mit simulierten Werten verglichen. Wie zu sehen, wird die Transkonduktanz hinreichend gut für einen Bereich von $L_{cheff} : 0.2\mu\text{m}$ bis $1.4\mu\text{m}$ voraus gesagt.

Es ist bekannt, dass die Schwellspannung bei JFETs mit kurzer Kanallänge in Abhängigkeit der Kanallänge variiert [5]. In Abb. 2.28 sind die erwarteten Änderungen der Schwellspannung, $V_{th} =: V_g(I_{ds} = 1\text{nA } \mu\text{m}^{-1})$, als Funktion der Top-Gate-Länge, L_{tg} , für MC-JFET bzw. der effektiven Kanallänge, L_{cheff} , für SC-JFET, dargestellt. Es wird bei den SC-JFETs unterschieden in der Realisierung des Split-Channels zwischen getrennt implantierten Main-Channel und extended-Drain-Channel, "Split I", und durchgehenden Main-Channel mit lokaler Erhöhung durch den extended-Drain-Channel, "Split II".

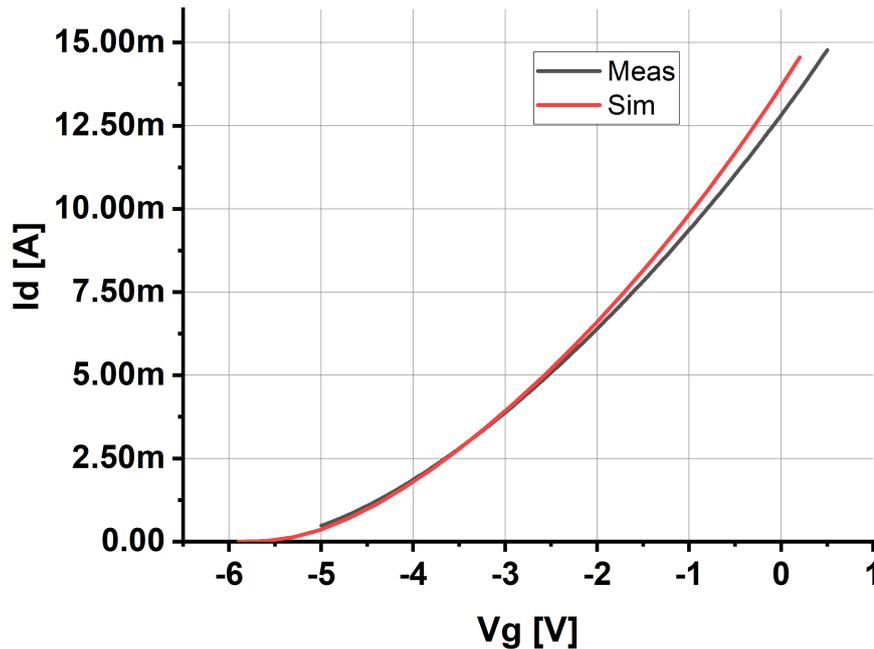


ABBILDUNG 2.25: Vergleich von gemessenen und simulierten Eingangskennlinien für einen JFET mit durchgängigen extended-Drain-Channel Kanal. $L_{tg}:0.8\mu\text{m}$ $W_{tg}:120\mu\text{m}$

Es zeigt sich, dass SC-JFETs eine stärkere Abhängigkeit der Schwellspannung von L_{cheff} haben als MC-JFET. Die SC-JFETs aus Split II (SCCH) haben eine geringere Steigung bezüglich L_{cheff} als die aus Split I (SC). Der Grund für die stärkere Abhängigkeit der Schwellspannung von der Kanallänge bei SC-JFETs gegenüber MC-JFETs ist die laterale Diffusion der extended-Drain-Channel-Implantation, welche die Dotierung im Kanal am sourceseitigen Ende und damit die Abschnürspannung erhöht. Dies ist in Abb. 2.29 dargestellt. Dies erklärt auch die geringere Steigung für Split II gegenüber Split I, da bei Split II die Dosis der extended-Drain-Channel-Implantation geringer ist. Für Split I gibt es einen Bereich, wo Main-Channel und extended-Drain-Channel überlappen. Der Bereich überlappender Implantationsprofile in Split I ist deutlich höher dotiert, sodass eine stärkere Schwellspannungsverschiebung auftritt als bei Split II.

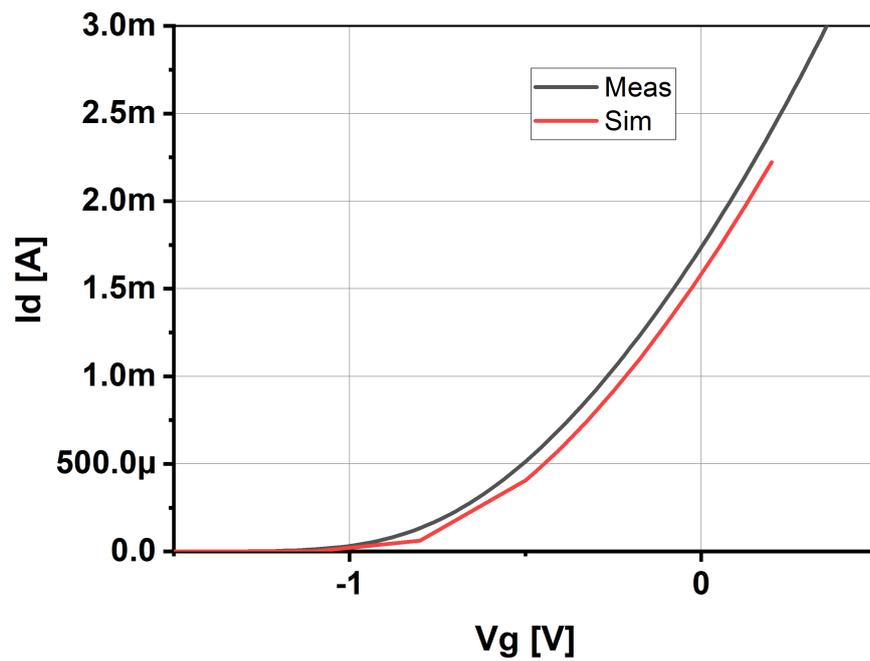


ABBILDUNG 2.26: Vergleich von gemessenen und simulierten Eingangskennlinien für einen Split-Channel-JFET $L_{tg}:1.4\mu\text{m}$
 $L_{cheff}:0.7\mu\text{m}$, $L_{edc}:0.7\mu\text{m}$, $W_{tg}:120\mu\text{m}$ aus Split 0

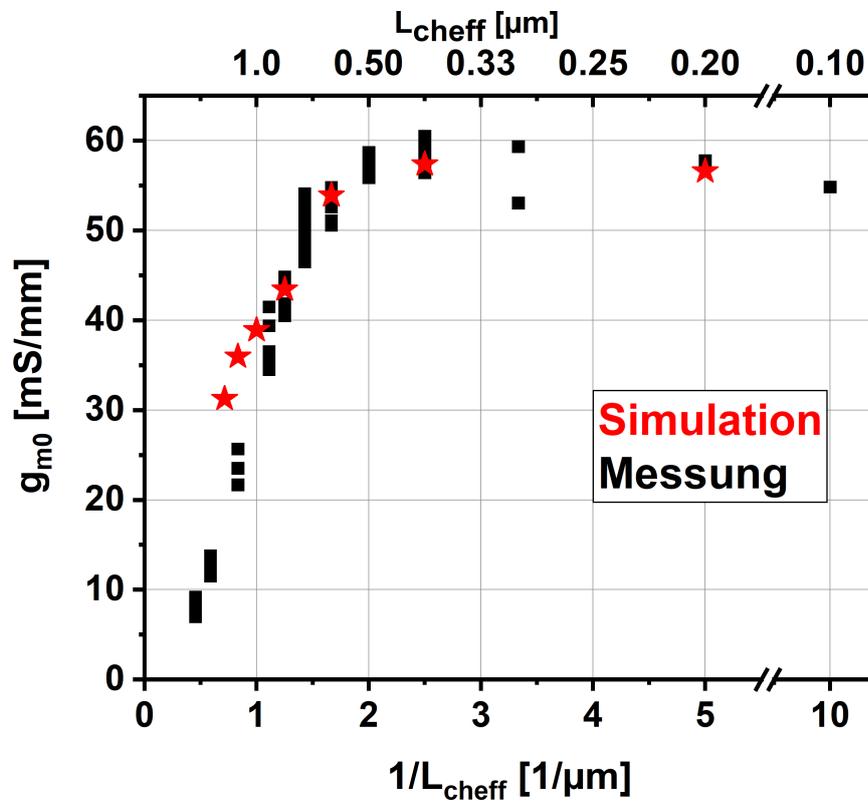


ABBILDUNG 2.27: Vergleich von gemessenen und simulierten Werten für die Transkonduktanz aus "Split II". ($V_{ds}:3\text{V}$, $V_{tg}=V_{bg}=0\text{V}$)

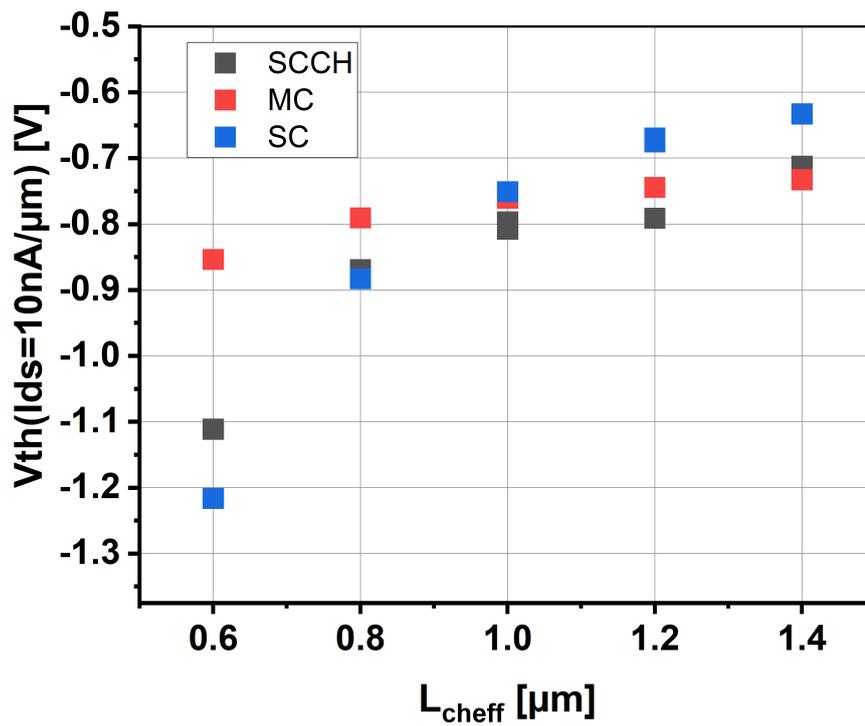


ABBILDUNG 2.28: Schwellspannung als Funktion der Top-Gate-Länge, L_{tg} , bzw. der effektiven Kanallänge, L_{cheff} , für JFETs ausschließlich mit Main-Channel, Split-Channel mit getrennt implantierten Main-Channel und extended-Drain-Channel(SC), Split I, sowie Main-Channel mit lokaler Erhöhung durch extended-Drain-Channel, Split II, (SCCH)

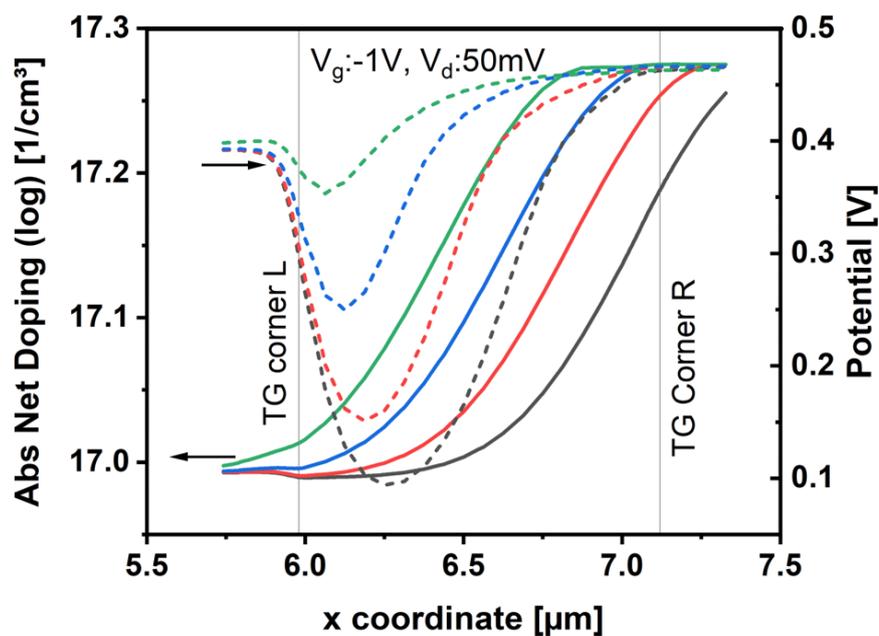


ABBILDUNG 2.29: Potential und Dotierung entlang des Kanals für verschiedene effektive Kanallängen L_{cheff} anhand eines Modell JFETs

2.4.2 Ausgangskennlinie

Die Ausgangskennlinien der einfachen JFETs mit durchgehenden Kanal sind in Abb. 2.30 und Abb. 2.31 abgebildet. Wie zu erkennen, werden Gate-, als auch Drainströme sowohl für MC-JFET als auch SC-JFET mit $L_{tg} : 0.8\mu\text{m}$, $W_{tg} : 120\mu\text{m}$, durch die Simulation mit guter Übereinstimmung wiedergegeben.

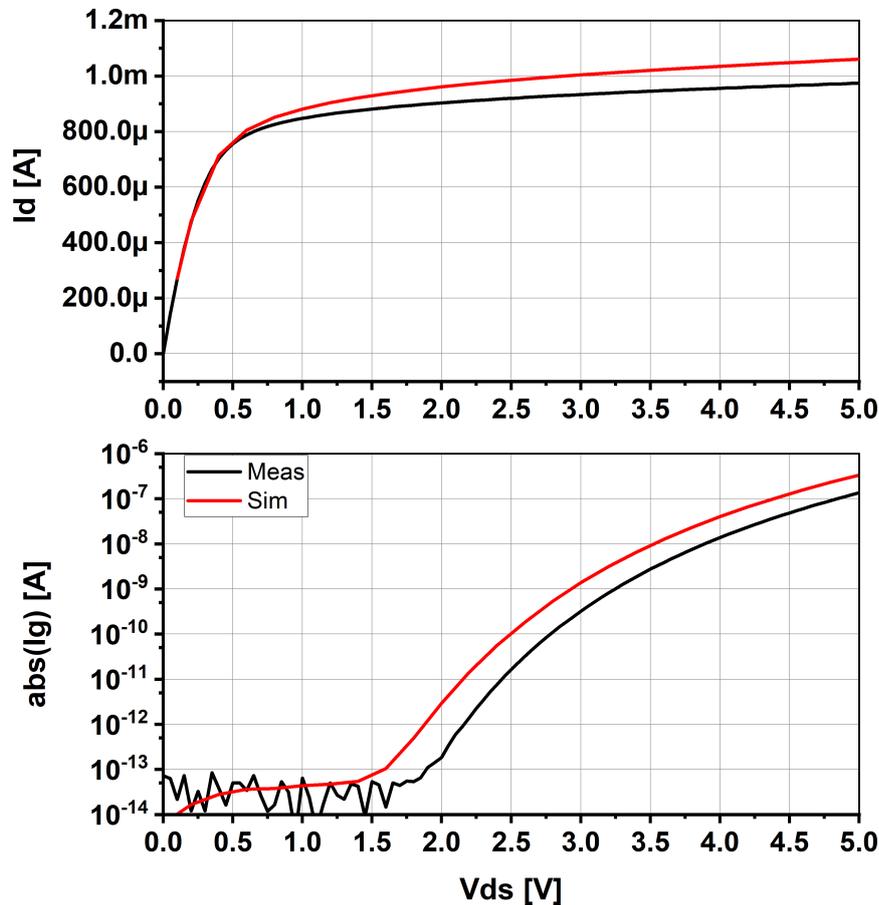


ABBILDUNG 2.30: Vergleich von gemessenen und simulierten Ausgangskennlinien für einen JFET mit durchgängigen Main-Channel Kanal. $L_{tg}:0.8\mu\text{m}$ $W_{tg}:120\mu\text{m}$

Um die Voraussagekraft der Simulation zu überprüfen, sind in Abb. 2.33 für den Arbeitspunkt $V_{tg} = V_{bg} = 0\text{V}$, $V_d = 3\text{V}$ gemessene und simulierte Drainströme von Strukturen aus "Split II p" aufgetragen. Die Anpassung der Technologieparameter wurde anhand von Ergebnissen aus "Split 0" durchgeführt. Die Übereinstimmung der Drainströme für "Split II p" ist zufriedenstellend, im Hinblick darauf, dass von "Split 0 n" zu "Split II p" sowohl Substrat, als auch Implantationsdosen von Main-Channel und extended-Drain-Channel geändert wurden.

Es ist zu sehen, dass die simulierten Werte des Drainstroms höher als die gemessenen Werte sind. Die simulierten Werte weichen bei $L_{\text{cheff}}:1.2\mu\text{m}$ bzw. $L_{1/\text{eff}}:0.33\mu\text{m}$, um mehr als den Faktor fünf vom Messwert ab, bei $L_{\text{cheff}}:0.4\mu\text{m}$ bzw. $L_{1/\text{eff}}:2.5\mu\text{m}$, liegt der simulierte Wert im Bereich der Streuung der Messwerte. Wenn auch die Genauigkeit für L_{eff} größer als $0.5\mu\text{m}$ zu wünschen übrig lässt, kann anhand der

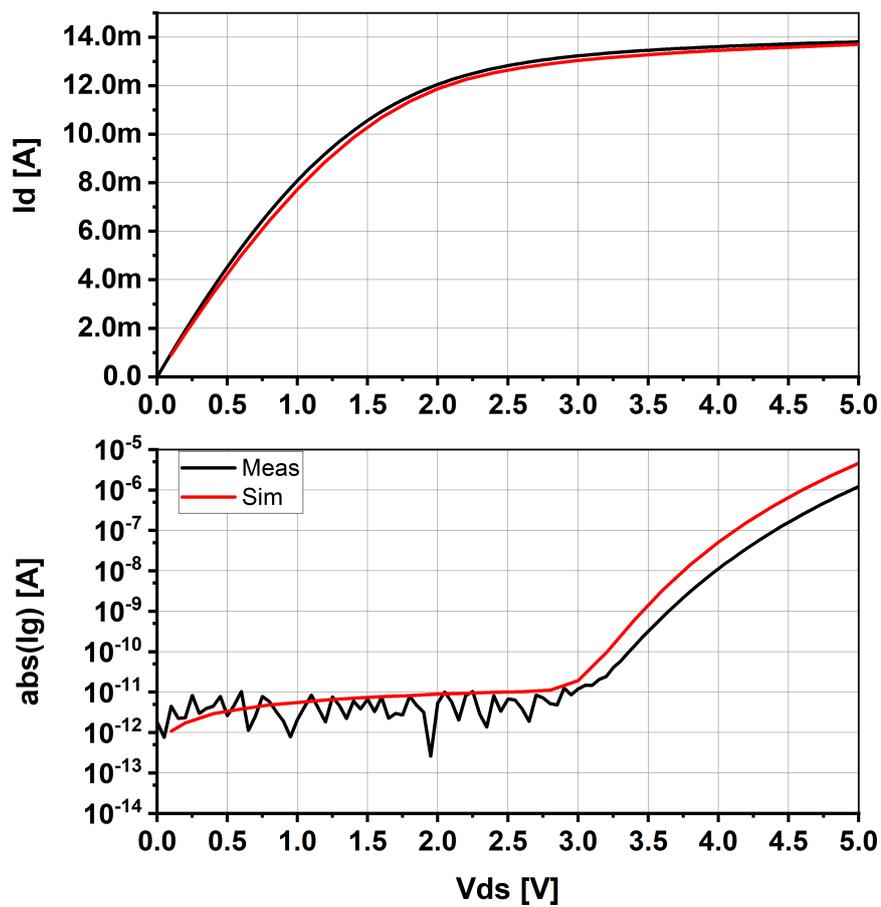


ABBILDUNG 2.31: Vergleich von gemessenen und simulierten Ausgangskennlinien für einen JFET mit durchgängigen extended-Drain-Channel Kanal. $L_{tg}:0.8\mu\text{m}$ $W_{tg}:120\mu\text{m}$

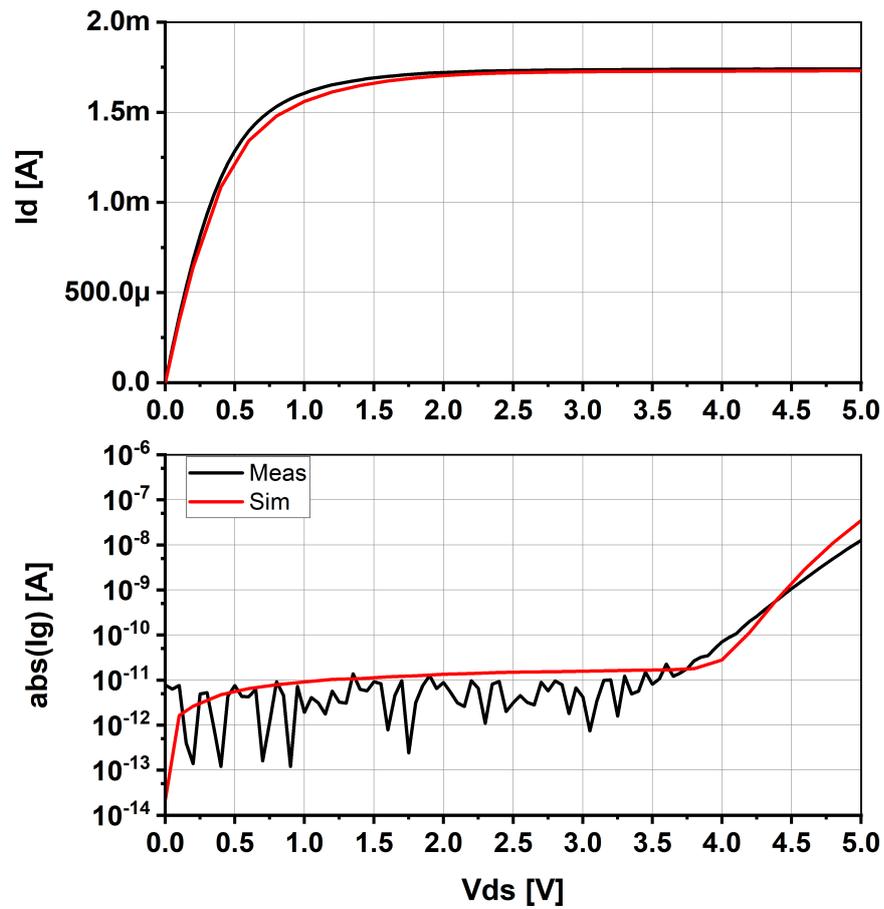


ABBILDUNG 2.32: Vergleich von gemessenen und simulierten Ausgangskennlinien für einen JFETs mit Split-Channel Kanal aus "Split 0". L_{tg} :1.4 μ m L_{cheff} :0.7 μ m, L_{edc} :0.7 μ m, W_{tg} :120 μ m

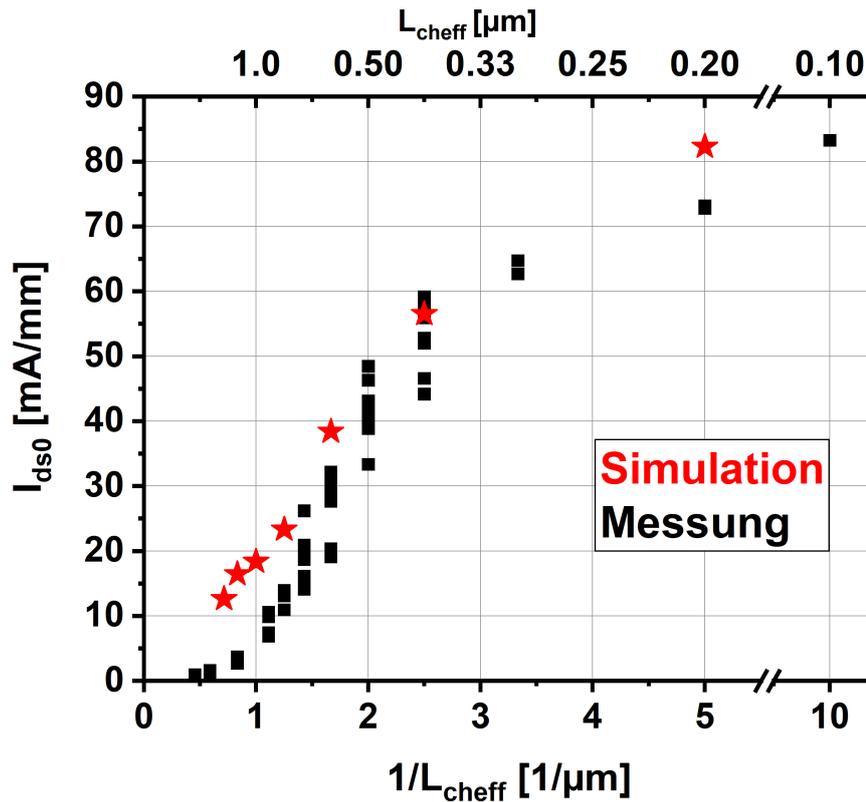


ABBILDUNG 2.33: Vergleich von gemessenen und simulierten Werten für den Sättigungsstrom aus "Split II" ($V_d:3V$, $V_{tg}=V_{bg}=0V$) in Abhängigkeit der effektiven Kanallänge L_{cheff}

Simulation ein Parametersatz gefunden werden, der als Aufpunkt für weitere Optimierungen dient. Um eine bessere Passung von Simulation zu Messwerten zu erreichen, wäre zusätzlich zu den durchgeführten Analysen eine genaue Charakterisierung der tatsächlich erzeugten Strukturen im Lack nach den Lithographieschritten, vgl. Abb. 3.1, eine genauere Beschreibung des Dotierstoffdiffusionsverhaltens und die Beobachtung der Messwerte über mehrere Herstellungsdurchläufe notwendig. Auch wäre eine Anpassung von Parametern in der Bauelementesimulation denkbar. Um die Machbarkeit und die Eigenschaften des Split-Channel-Konzepts und seine Eigenschaften zu zeigen, reicht die bestehende Genauigkeit aber durchaus.

Die Wahl der verwendeten Modelle und Parameter, die in der Bauteilsimulation verwendet werden, sind weitestgehend die Standardeinstellungen, welche aus dem Handbuch für das Atlas Framework hervorgehen. Bei der Wahl des Ladungsträgertransportmodells musste jedoch eine Anpassung vorgenommen werden. Wie in Abb. 2.35 zu sehen ist, ist der Drainstrom weitestgehend unabhängig von der Wahl des Ladungsträgertransportmodells. Allerdings unterscheidet sich der berechnete Gatestrom in Abhängigkeit des gewählten Ladungsträgertransportmodells und der Simulationsparameter deutlich. Wie sich herausstellt, liefert das standardmäßig verwendete und in der Halbleiterindustrie weit verbreitete Drift-Diffusions-Modell für

diese Art von Transistoren nicht die richtigen Ergebnisse. Es werden für die Generationsströme aufgrund von Stoßionisation falsche Ergebnisse simuliert. Im unteren Teil von Abb. 2.35 ist ersichtlich, dass hierbei auf das Energy-Balance Modell zurückgegriffen werden muss. Dieser Ansatz ist weniger verbreitet, da die Lösung der zu Grunde liegenden Differentialgleichungen aufwändiger und die numerische Konvergenz weniger gut ist. Im Energy-Balance Modell werden nicht-lokale Transporteffekte wie Diffusion aufgrund von Ladungsträgertemperatur durch Einbezug der Ladungsträgertemperatur in die Kontinuitätsgleichungen berücksichtigt. Dies führt zu einer veränderten Stromdichteverteilung und erlaubt den Einbezug von Ladungsträgertemperaturen in die Berechnung der Stoßionisationsrate. Eine genauere Betrachtung findet im folgenden Abschnitt statt.

2.4.3 Gatestrom

Ein Vorteil der Split-Channel-JFETs gegenüber einfachen Main-Channel-JFETs, ist die Verringerung der Stoßionisationsrate bei Drainspannungen oberhalb der Pinch-Off-Spannung. Abb 2.34 zeigt, wie diese Eigenschaft in einem optimierten SC-JFET zustande kommt. Die Ladungsträrgeschwindigkeit steigt vom source-seitigen Ende des Top-Gates, $x = 0\mu\text{m}$, bis zum Ende des Main-Channel an. Am Übergang von Main-Channel zu extended-Drain-Channel, grau markiert, bleibt die Ladungsträrgeschwindigkeit konstant. Bei steigender Drainspannung steigt lediglich die Ladungsträrgeschwindigkeit im extended-Drain-Channel. Wie zu erkennen, steigt bei der Änderung von $V_{DS} = 2\text{V}$ auf $V_{DS} = 3\text{V}$ die Ladungsträrgeschwindigkeit stark an und von 4V auf 5V nicht mehr. Das liegt daran, dass hier die Abschnürspannung des extended-Drain-Channel erreicht wird, bzw. es tritt Ladungsträrgeschwindigkeitssättigung v_{sat} ein und zusätzliche Energie wird über Stoßionisation abgegeben.

Weiterhin ist natürlich auch der Generationsstrom in der Raumladungszone von Kanal zu Top- und Bottom-Gate von Interesse. Wie in Abb. 2.30, 2.31 und Abb. 2.32 zu sehen, konnte sowohl der Strom aufgrund von Generation (Bereich A) als auch aufgrund von Stoßionisation (Bereich B) hinreichend genau durch den Simulator abgebildet werden. Thermische Generation ist durch den Parameter "TAUN0" oder "TAUP0" einstellbar, welche die Minoritätsladungsträgerlebensdauer bestimmt.

Etwas größere Aufmerksamkeit bedarf die Wahl des richtigen Ladungsträgermobilitätsmodells für die korrekte Berechnung des Stoßionisationsstroms. In Abb. 2.35 ist der Unterschied des errechneten Top-Gate-Leckstroms zwischen der Drift-Diffusionsnäherung, im Folgenden DD, und des Energy Balance Transport Modells, im Folgenden EB, dargestellt. Wenn auch die simulierten Drainströme quasi identisch sind, sind es die Gate-Ströme nicht.

Um die Diskussion an Ort und Stelle weiterführen zu können, werden die Formeln für Elektronen für beide Modelle hier aufgezeigt. An den Stellen wo das Subscript "n" verwendet wird, muss für Löcher ein "p" eingesetzt werden. Die Konstanten ändern sich dementsprechend.

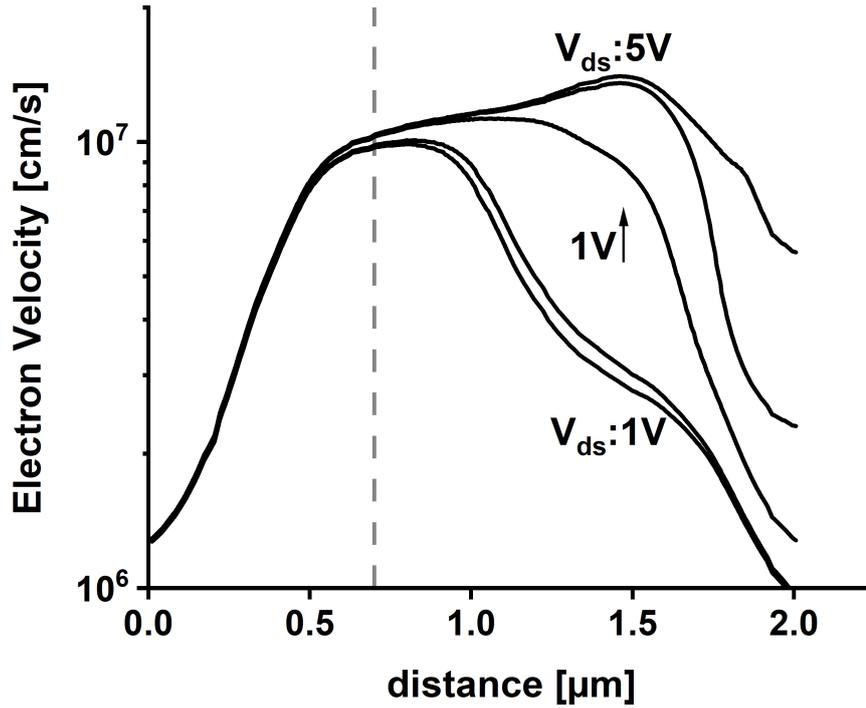


ABBILDUNG 2.34: Simulierte Ladungsträgergeschwindigkeit entlang des Split-Channel Kanals mit variierender Drainspannung von 1 V bis 5 V im Arbeitspunkt $V_{tg}=V_{bg}=0$ V. $L_{cheff}:0.7 \mu\text{m}$ $L_{tg}:1.4 \mu\text{m}$. Source seitiges Ende Top-Gate $x=0$, Ende Main-Channelist grau markiert.

Die Kontinuitätsgleichung der Stromdichte im Falle der Drift-Diffusions-Näherung ist durch folgenden Ausdruck definiert:

$$\vec{J}_n = qD_n \nabla n - qn\mu_n \nabla \psi - \mu_n n (kT_L \nabla (\ln n_{ie})) \quad (2.2)$$

Diese Gleichung vereinfacht sich unter Verwendung des elektrischen Felds

$$\vec{E}_n = -\nabla \left(\psi + \frac{kT_L}{q} \ln n_{ie} \right)$$

zur bekannten Formel:

$$\vec{J}_n = qn\mu_n \vec{E}_n + qD_n \nabla n$$

Das EB Modell erweitert das DD Modell um einen Term welcher die Elektronenstromdichte mit der Ladungsträgertemperatur bzw. deren Energie koppelt.

Hierfür wird der Stromfluss, \vec{J}_n mit dem Energiefluss \vec{S}_n verknüpft:

$$\text{div} \vec{S}_n = 1/q \vec{J}_n \cdot \vec{E} - W_n - \frac{3k}{2} \frac{\partial}{\partial t} (\lambda_n^* n T_n) \quad (2.3)$$

Mit

$$\vec{S}_n = -K_n \vec{\nabla} T_n - \left(\frac{k\delta_n}{q} \right) \vec{J}_n T_n \quad (2.4)$$

$$\vec{J}_n = qD_n \nabla n - q\mu_n n \nabla \psi + qnD_n^T \nabla T_n \quad (2.5)$$

Für den vereinfachten Fall, dass Boltzmann Statistik verwendet wird gilt :

$$D_n = \frac{kT_L}{q} \mu_n$$

Daneben stehen K_n für die thermische Leitfähigkeit von Elektronen, λ_{*n} und δ_n für Materialparameter, ψ für das Potential, T_N für die Ladungsträgertemperatur, T_L für die Gittertemperatur stehen.

Die Energiedichtenverlustrate, W_n , aus Formel 2.3 kann wie folgt ausgedrückt werden:

$$W_n = \frac{3}{2} n \frac{k(T_n - T_L)}{\text{TAUREL.EL}} \lambda_n + \frac{3}{2} kT_n \lambda_n R_{SRH} + E_g (G_n - R_n^A) \quad (2.6)$$

Die Variable "TAUREL.EL" steht für die Ladungsträgerrelaxationszeit welche die Energieverlustrate bestimmt. Dieser Parameter ist nicht experimentell bestimmbar, sondern ist ein empirischer Parameter. Für die DD-Näherung gilt immer nur das lokale elektrische Feld. Die Stoßionisation wird über dieses elektrische Feld berechnet. Durch den letzten Term in 2.5 können nichtlokale Effekte berücksichtigt werden[45].

Die DD sagt für viele Split-Channel-Strukturen einen zu niedrigen Gatestrom aufgrund von Stoßionisation voraus. Dies liegt daran, dass es zwei Bereiche mit relativ kleinen Abständen zueinander innerhalb des Kanals gibt, in denen die Elektronen beschleunigt werden. So gelangen heiße Elektronen vom sourcenäheren Bereich (I) in den drainnäheren Bereich(II), vgl. Abb. 2.36.

Weiterhin fällt in Abb. 2.36 auf, dass die Elektronenstromdichten für das EB-Modell kleiner sind als beim DD-Modell. Der stromführende Pfad im Kanal ist im Fall der EB also breiter als für DD, da bei geringerer Stromdichte genauso viel Strom transportiert wird. Dies liegt daran, dass bei EB die Ladungsträgertemperatur in die Kontinuitätsgleichung mit eingeht. Ladungsträger mit hoher Geschwindigkeit entsprechen Ladungsträger mit höherer Temperatur. Der Diffusionskoeffizient hängt ebenfalls von der Temperatur ab. Der breitere stromführende Pfad ergibt sich also aus der höheren Diffusion der Elektronen senkrecht zur Driftrichtung. Gleichzeitig wird mehr Energie pro zurückgelegter Strecke dissipiert wie an der Stoßionisationsrate zu sehen ist. Durch Einbezug der temperaturbedingten Diffusion können nicht-lokale Effekte mit einbezogen werden.

Der Einfluss nichtlokaler Effekte kann gezeigt werden, indem SC-JFETs betrachtet werden, bei denen die Drainspannung, ab der stark steigender Stoßionisationsstroms eintritt, durch Vergrößerung von L_{ext} zu größeren Drainspannungen verschoben werden kann. Dies ist in Abb. 2.37 mit Mess- und Simulationswerten dargestellt. Ein längerer extended-Drain-Channel bedeutet einen größeren Abstand zwischen Übergang Main-Channel zu extended-Drain-Channel und dem Abschnürbereich des extended-Drain-Channel. Die heißen Elektronen aus dem Main-Channel verlieren, bis sie im Abschnürbereich des extended-Drain-Channel sind, wieder Energie. So setzt der exponentielle Anstieg des Gate-Strom bei höheren Drainspannungen ein, obwohl der Transistor bei gleicher Drainspannung im Sättigungsbereich ist.

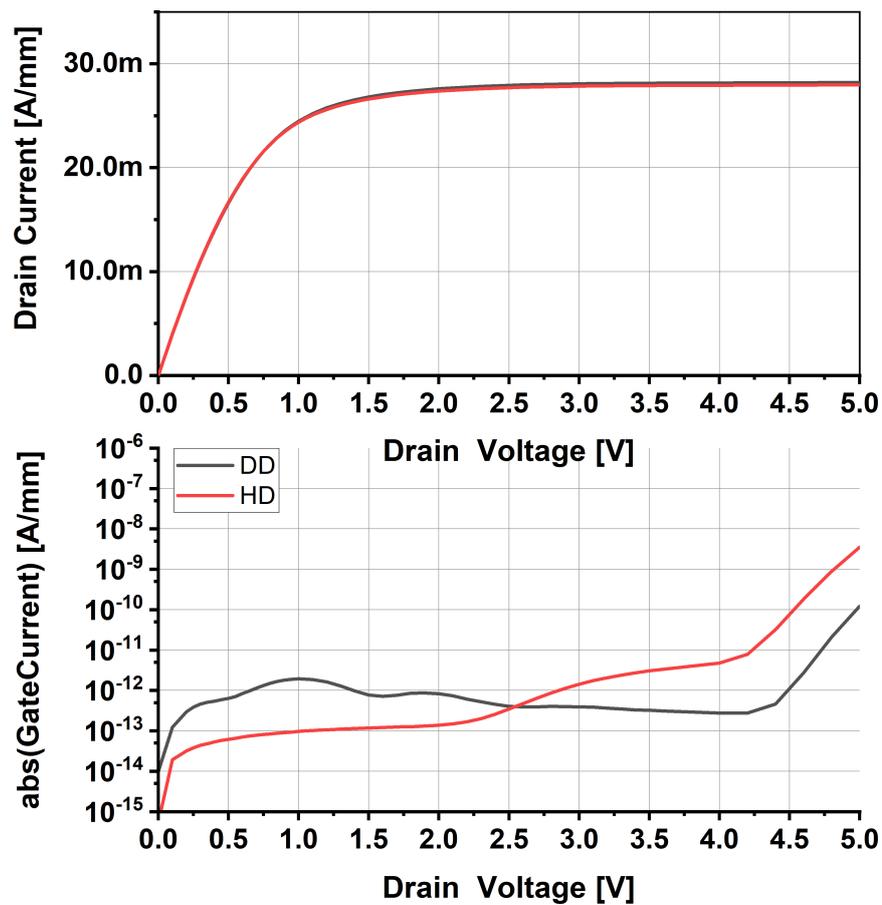


ABBILDUNG 2.35: Vergleich der Ausgangscharakteristik unter Verwendung des Drift-Diffusion bzw Energy Balance Modells.

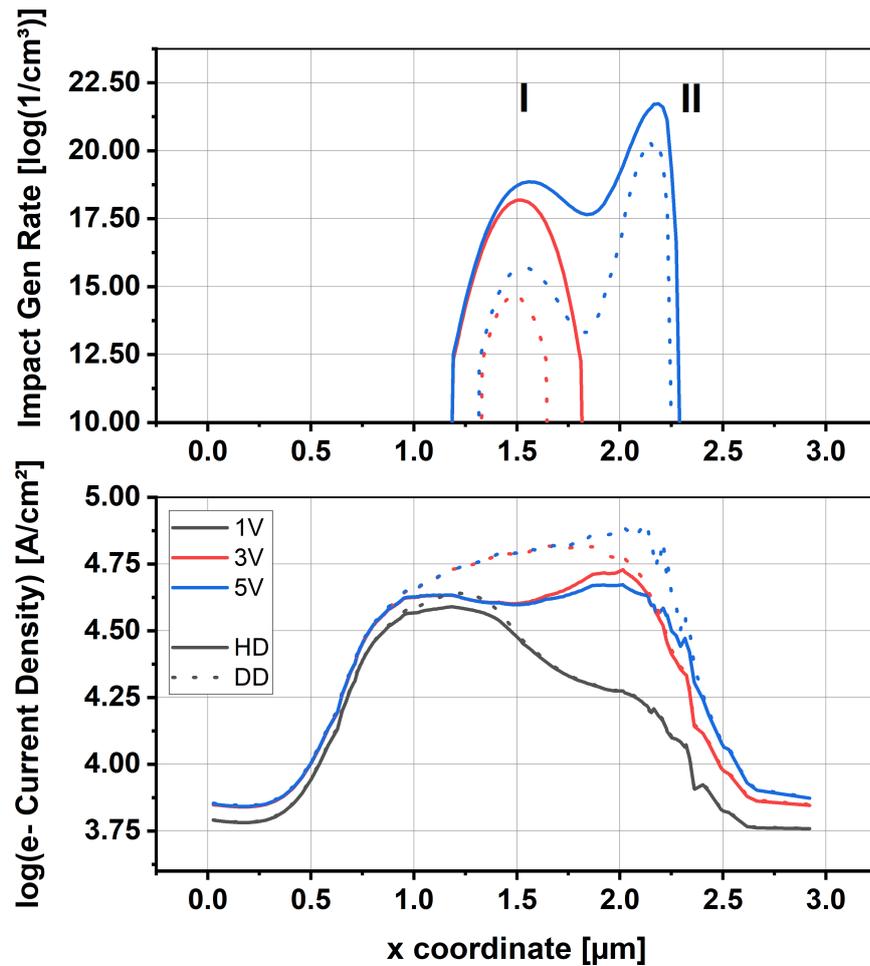


ABBILDUNG 2.36: Simulierte Stoßionisationsrate und Elektronenstromdichte entlang des Split-Channel Kanals, berechnet mittels Electron-Balance (Linie) und Drift-Diffusion Modell (gepunktet). Die Drainspannung variiert von 1 V bis 5 V im Arbeitspunkt $V_{\text{tg}}=V_{\text{bg}}=0$ V. $L_{\text{cheff}}:0.7 \mu\text{m}$ $L_{\text{tg}}:1.4 \mu\text{m}$. I und II sind den beiden lokalen Maxima mit Stoßionisation zugeordnet.

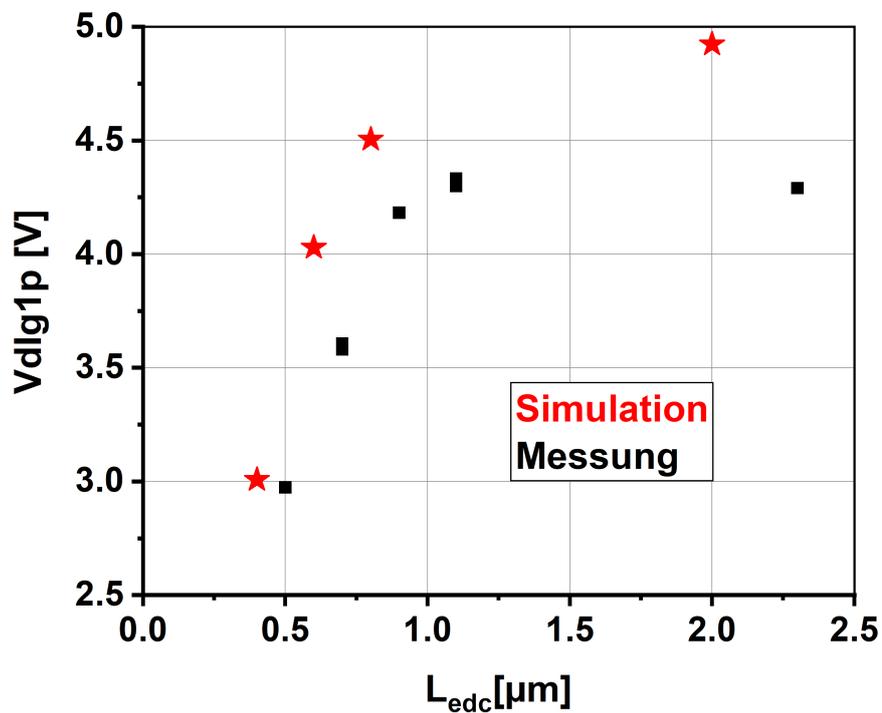


ABBILDUNG 2.37: Vergleich von simulierten und gemessener Drainspannung bei der ein Top-Gate Strom von 1pA auftritt. $L_{\text{cheff}}: 0.7\mu\text{m}$, $W_{\text{tg}}=120\mu\text{m}, \text{II}, \text{p}$, Arbeitspunkt: $V_{\text{tg}}=V_{\text{bg}}=0\text{V}$, mit Variation der extended Drain Channel Länge L_{edc} . Top-Gate-Länge ergibt sich aus der Summe von L_{cheff} und L_{ext} .

2.4.4 Optimierung der Implantationsparameter der Kanaldotierungen

Wie in Kapitel 1.2 beschrieben, wird der Kanal eines Split-Channel JFETs durch zwei Bereiche definiert: Main-Channel und extended-Drain-Channel. Die Transfercharakteristik kann weitestgehend über die Implantationsdosis und -tiefe des Main-Channel eingestellt werden. Der extended-Drain-Channel ist so hoch dotiert, dass die Abschnürspannung weit über der des Main-Channel liegt. Die Transfercharakteristik des SC-JFETs wird durch die Lage des Übergangs von Main-Channel in den extended-Drain-Channel bestimmt.

Es würde ausreichen, um eine Abhängigkeit der Transfercharakteristik von der Länge des Main-Channel zu erreichen, den extended-Drain-Channel lediglich hoch genug zu dotieren, um ein Abschnüren des Kanals im extended-Drain-Channel zu verhindern. Allerdings sollte die Randbedingung, dass ein JFET nur für Sensoranwendungen mit hohen Impedanzen im Vorteil ist, wenn der Eingang, das Gate, des JFETs selbst eine möglichst hohe Impedanz aufweist, beachtet werden. Wie schon in Abschnitt 1.1.3 erwähnt, kommt es im Abschnürbereich eines JFETs durch hohe Energien der Ladungsträger zu Stoßionisation und damit zu Gateströmen, die um viele Größenordnungen größer sein können als thermische Generationsströme. Durch geeignete Wahl der Dosis und Energie der Kanalimplantationen kann erreicht werden, dass im Sättigungsbereich das Potential $V_{Dex} := V_{ds} - V_{dsat}$ über einen größeren Bereich abfällt und der Anstieg des Stoßionisationsstroms zu höheren Drainspannungen verschoben wird. In Abb. 2.37 ist die Drainspannung "VdIg1p" dargestellt. Es ist die Drainspannung bei der im Arbeitspunkt $V_{gs} = V_{bs} = 0V$ 1 pA Top-Gate-Strom aufgrund von Stoßionisation fließt. Diese Spannung sollte maximiert werden.

Um den Einsatz bei möglichst hohen Frequenzen zu erlauben, sollte die Top-Gate-Länge minimiert werden. Wie aber in Abb. 2.37 gezeigt, steigt "VdIg1p" für größere extended-Drain-Channel-Längen was eine größere Top-Gate-Länge impliziert.

Neben der Bedingung, dass Stoßionisationsstrom vermieden wird, sollte im meist gewählten Arbeitspunkt $V_{tg} = V_{bg} = 0V$ ein günstiges Transkonduktanz zu Drainstrom Verhältnis, g_m/I_d , gegeben sein. In Applikationen, in denen die Transistoren verwendet werden sollen, ist ein $g_m/I_d \geq 1$ gefragt. Das auf den Eingang bezogene Rauschen eines Transistors ist proportional zu $\frac{1}{g_m}$. Für den Fall, dass die Anwendung Einschränkungen bezüglich der Verlustleistung des Transistors hat, ist es wünschenswert bei einem vorgegebenen Strom möglichst geringes Rauschen zu erhalten.

Die JFETs "L_{tg}:1.4µm, L_{cheff}:0.7µm, II" weisen, wie aus Abb. 2.33 und 2.27 hervorgeht, ein Verhältnis g_m/I_d von etwa $2 SA^{-1}$ auf. Wie auch in Abb. 2.33 und 2.27 zu sehen ist, wird dieses Verhältnis kleiner für kleinere L_{cheff} . Dies kann durch das Absinken der Schwellspannung für sinkende L_{cheff} erklärt werden. Da der Strom etwa quadratisch, die Transkonduktanz aber nur linear mit V_{th} steigt, wird damit g_m/I_d mit sinkender Schwellspannung kleiner. Weiterhin ist in Abb. 2.27 und Abb. 2.33 zu

sehen, dass die Transkonduktanz ab $L_{cheff} < 0.5$ quasi nicht mehr, der Strom jedoch weiterhin steigt.

Als Ausgangspunkt für die Simulationen zur Optimierung der Kanaldotierungen wurden also zunächst die Implantationsparameter für Main-Channel so gewählt, dass eine gewünschte Abschnürspannung und damit auch das gewünschte g_m/I_d Verhältnis für JFETs mit $L_{cheff}:0.7\mu\text{m}$ erreicht wurde. Die extended-Drain-Channel Dotierung wurde danach so angepasst, dass der Gatestrom für einen möglichst großen Bereich von $V_{ds} > V_{dsat}$, mit V_{dsat} der Abschnürspannung, nicht ansteigt. Aufgrund von Unsicherheiten zwischen Simulation und Herstellung mussten hier auch Toleranzen berücksichtigt werden. In Abb. 2.38 sind Simulationsergebnisse zur Abhängigkeit von Top-Gate- und Drainstrom für einen SC-JFET mit durchgehendem Main-Channel und hinzugefügten extended-Drain-Channel (Split II aus Tabelle 3.1) unter Variation der extended-Drain-Channel-Implantationsparameter dargestellt. Wie zu sehen, ändern die Implantationsparameter auch den Drainstrom, jedoch in geringerem Maße als es Änderungen der Main-Channel-Implantation bewirken. Ein Vergleich mit Tabelle 3.1 zeigt, dass die Implantationsparameter " $4.5 \times 10^{12} \text{ cm}^{-2}$, 400 keV" für Split II in der Fertigung verwendet wurden.

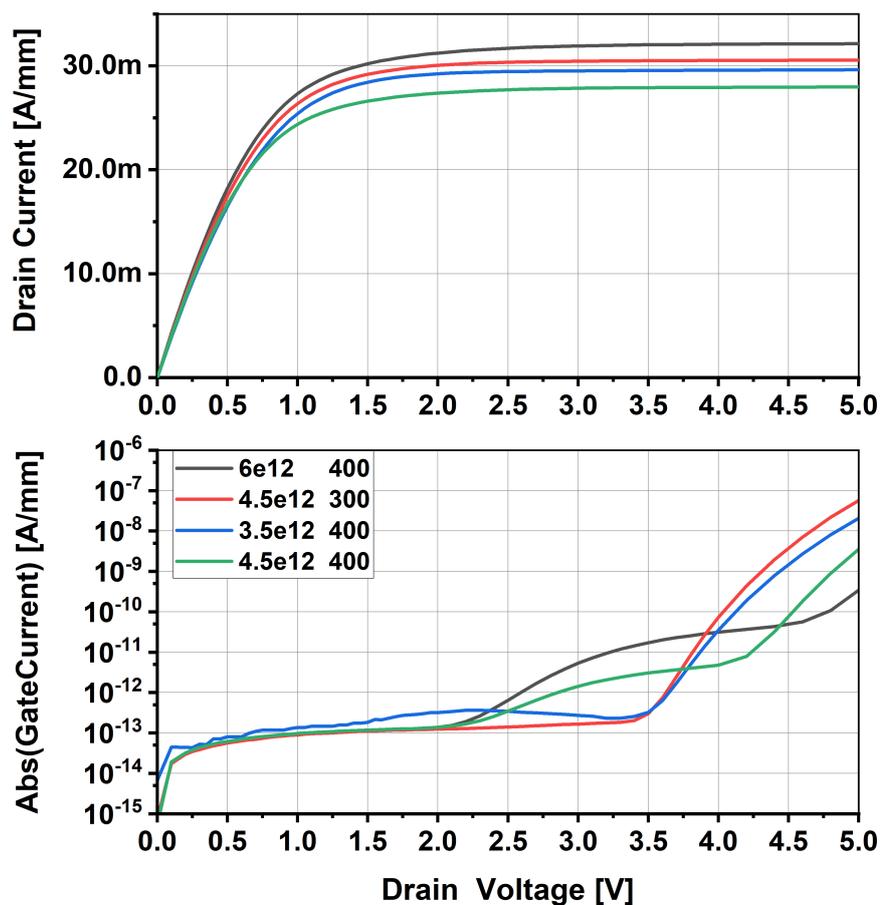


ABBILDUNG 2.38: Simulierte Ausgangskennlinien mit Drain- und Top-Gate-Strom, $V_{tg}=V_{bg}=0\text{V}$, $L_{cheff}:0.7\mu\text{m}$, mit Variation der extended-Drain-Channel-Implantationsparameter. Kodierung: "Dosis [cm^{-2}] Energie[keV]"

Die in den folgenden Kapiteln dargestellten Messungen zeigen, dass der Top-Gate-Strom den Simulationen mit den Parametern " $3.5 \times 10^{12} \text{ cm}^{-2}$, 400 keV" oder " $4.5 \times 10^{12} \text{ cm}^{-2}$, 300 keV" entspricht. Auffällig ist, dass sowohl Dosis als auch Energie einen Einfluss auf das Gate-Strom-Verhalten haben, als auch, dass mehrere Parameterkombinationen zu einem sehr ähnlichen Ergebnis führen. Dies liegt daran, dass sowohl die Dosis, als auch die Energie Einfluss auf die Abschnürspannung des extended-Drain-Channel haben welche von der Ladung im Kanal abhängt, vgl. hierzu 1.1.2. Eine höhere Implantationsenergie setzt den Peak der Implantation tiefer und es wird weniger vom Top-Gate kompensiert; es ist also mehr Ladung im Kanal vorhanden, als bei einer geringeren Implantationsenergie.

Abb. 2.39 zeigt eine Messung eines JFETs mit $L_{cheff} : 0.7 \mu\text{m}$ aus einem Herstellungsdurchlauf, wo die Dosis für den extended-Drain-Channel ein wenig zu hoch gewählt wurde. Für die Gatelänge $1.4 \mu\text{m}$ steigt der Top-Gate-Strom bereits bei 2.7 V exponentiell an, zeigt dann ein Sättigungsverhalten bei 4 V und steigt dann für Drainspannungen größer 4.5 V exponentiell weiter. Dieser Effekt wird mit zunehmender Top-Gate- und damit extended-Drain-Länge kleiner. Bei einer Top-Gate-Länge $1.8 \mu\text{m}$ ist lediglich ein exponentieller Anstieg bei 4.5 V zu erkennen.

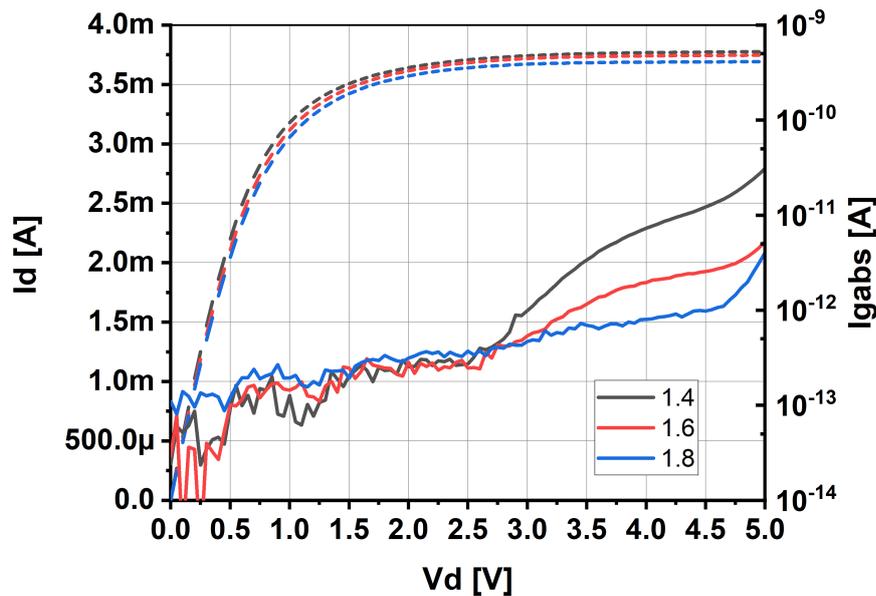


ABBILDUNG 2.39: Gemessene Ausgangskennlinien mit Drain- (gestrichelt) und Top-Gate-Strom (durchgezogen), $V_{tg}=V_{bg}=0\text{V}$, $L_{cheff}:0.6\mu\text{m}$, $W_{tg}:120\mu\text{m}$, mit Variation der Top-Gate Länge L_{tg} von 1.4 bis $1.8 \mu\text{m}$. (aus Vortests)

In Abb. 2.40 sind als Vergleich Ausgangskennlinien der Struktur " $120 \ 1.4 \ 0.7 \ \text{n}''$ zweier Herstellungsdurchläufe im Arbeitspunkt $V_{tg} = V_{bg} = 0\text{V}$ dargestellt. Bei der Herstellung beider Strukturen wurde die gleiche Main-Channel-Implantationsdosis verwendet. Unterschiede liegen in der Realisierung des Split-Channel. Einmal wurde der extended-Drain-Channel mit einer Dosis von $8 \times 10^{12} \text{ cm}^{-2}$ und einmal mit $7.25 \times 10^{12} \text{ cm}^{-2}$ dotiert. Bei der Struktur mit $8 \times 10^{12} \text{ cm}^{-2}$ steigt der Gate-Strom ab 2.5 V an, bei der Struktur mit $7.25 \times 10^{12} \text{ cm}^{-2}$ ab 3.25 V .

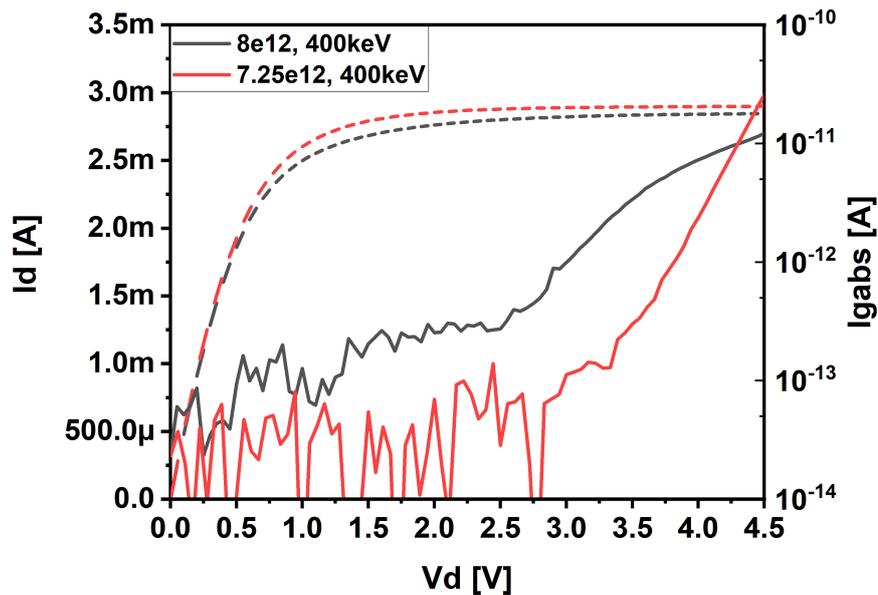


ABBILDUNG 2.40: Gemessene Ausgangskennlinien mit Drain- (gestrichelt) und Top-Gate-Strom(durchgezogen) der gleichen JFET Struktur. Der Unterschied bei der Herstellung ist eine veränderte extended-Drain-Implantationsdosis von $8 \times 10^{12} \text{ cm}^{-2}$ (Vortest) zu $7.25 \times 10^{12} \text{ cm}^{-2}$ (Split I). $V_{\text{tg}}=V_{\text{bg}}=0\text{V}$, $L_{\text{tg}}:1.4\mu\text{m}$, $L_{\text{cheff}}:0.7\mu\text{m}$, $W_{\text{tg}}:120\mu\text{m}$,

2.4.5 Variante Übergang Main-Channel zu extended-Drain-Channel

Wie in den vorherigen Abschnitten bereits festgestellt, gibt es zwei Bereiche im SC-JFETs in denen Stoßionisation auftritt: Am Übergang von Main-Channel zu extended-Drain-Channel und am drainseitigen Ende des Top-Gates. Eine Möglichkeit, die Stoßionisation am Übergang Main-Channel zu extended-Drain-Channel zu reduzieren, ist, den Übergang der Dotierungen weicher zu gestalten. Dies kann durch eine zusätzliche Implantation bewirkt werden, die durch die extended-Drain-Channel-Maske implantiert wird. Diese Implantation, unter 45° Verkippung und mit höherer Energie, dafür mit geringerer Dosis implantiert, gelangt tiefer ins Silizium und reicht durch die Verkippung lateral weiter unter die Lackmaske.

Simulationen zeigen, dass sich die pinch-off-Spannung aufgrund der zusätzlichen Implantation unter die extended-Drain-Channel-Maske erhöht. Es kann jedoch gezeigt werden, dass bei gleichem Drainstrom ein Anstieg des Gatestroms bei kleinen Drainspannungen vermieden werden kann, siehe Abb. 2.41. Implantationsparameter zu realisierten Wafersplits sind in Tabelle 3.1 zu finden.

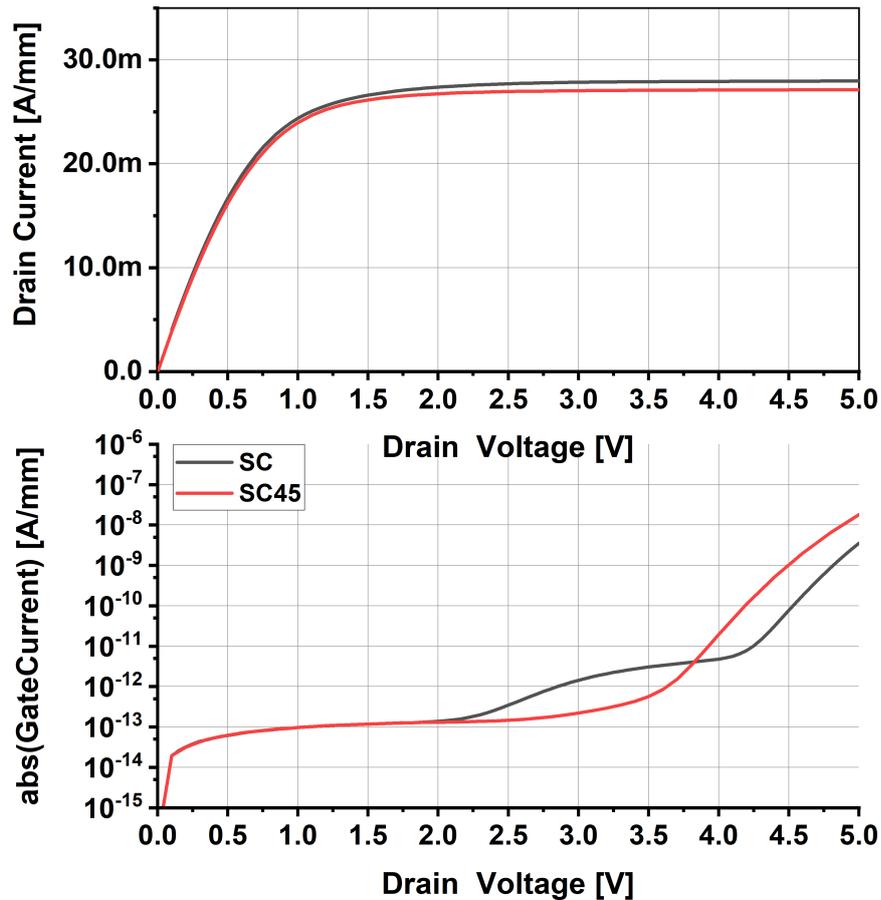


ABBILDUNG 2.41: Simulierte Ausgangskennlinie eines 1.4 0.7 II JFET (SC) und eines 1.4 0.8 III JFET (SC45).

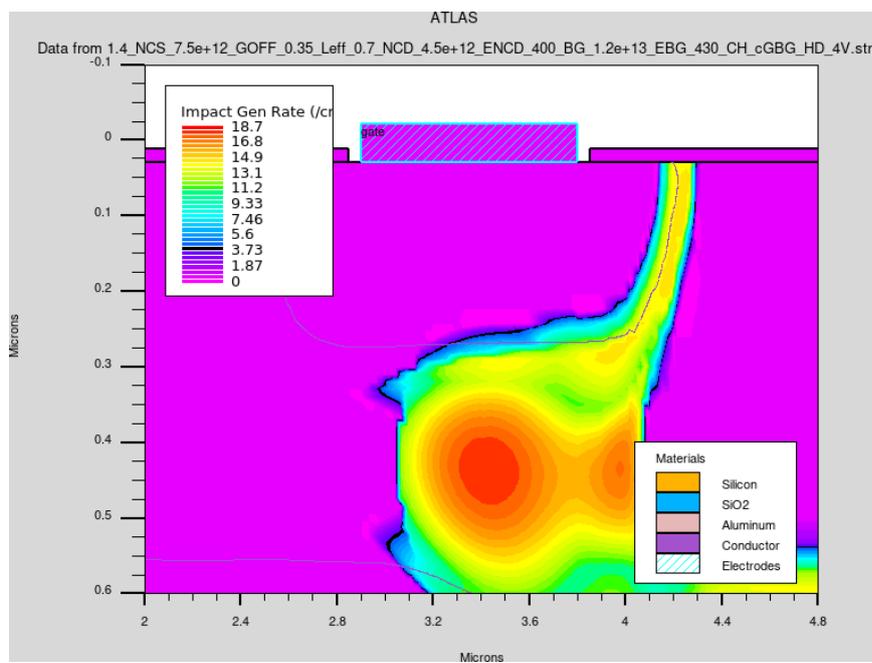


ABBILDUNG 2.42: Kanalquerschnitt eines JFET 1.4 0.7, entsprechend Split II, ohne zusätzliche extended-Drain-Channel-Implantation im Arbeitspunkt $V_{tgs}=V_{bgs}=0V$ $V_{ds}=4V$

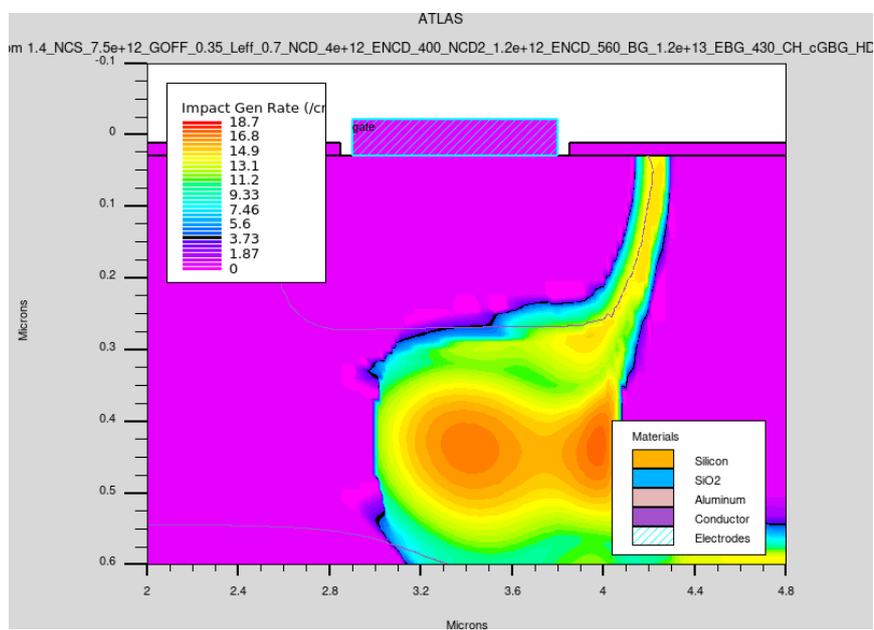


ABBILDUNG 2.43: Kanalquerschnitt eines JFET 1.4 0.8, entsprechend Split III, mit zusätzlicher extended-Drain-Channel-Implantation unter 45° im Arbeitspunkt $V_{tgs}=V_{bgs}=0V$ $V_{ds}=4V$

2.4.6 Zusammenfassung Simulation DC

Die Abhängigkeiten der Transistorströme von Herstellungsparametern, vornehmlich von solchen, die das Dotierprofil des Kanals ändern, werden hinreichend genug durch die gewählten Einstellungen im Simulationsframework wiedergegeben. Es können damit Ansatzpunkte für die Fertigung und anschließende Optimierung der JFETs gefunden werden. Des Weiteren können Abhängigkeiten und Einflüsse von Herstellungsparameteränderungen abgebildet werden und somit Toleranzbereiche und Hauptparameter, die für die Optimierung besonders wichtig sind, herausgearbeitet werden. In dieser Arbeit wurden nach einer ersten Iteration, Split 0, die Implantationsparameter für Backgate- und Main-Channel festgeschrieben, sowie für die Energie und Dosis des extended Drain Channels enge Bereiche zur Variation abgesteckt. Dies führte in weiteren Herstellungsdurchläufen in denen mit p-, als auch n-leitendem Material und unterschiedlichen Kanalkonfigurationen gearbeitet wurde zu funktionierenden JFETs, welche in Verstärkerschaltungen mit höchster Eingangsimpedanz eingesetzt werden können.

Eine genauere Abbildung der realen Ströme und Transkonduktanzen ist mit der gegebenen Vorhersagegenauigkeit des Simulators nicht möglich bzw. würde den Rahmen dieser Arbeit weit überschreiten, da weitere Untersuchungen zu Abweichungen in Simulation und Herstellungsprozess sowie darauf aufbauend möglicherweise Änderungen in den physikalischen Modellen des Simulationsframeworks nötig und sehr aufwändig wären.

2.4.7 Kapazitäten

In der Anwendung als Kleinsignal-Verstärker sind neben den Gleichstromeigenschaften vor allem Kapazitäten als parasitäre Impedanzen zu berücksichtigen. Es werden simulierte Kapazitäten von MC-JFET und SC-JFET verglichen und die errechneten Grenzfrequenzen f_T aufgelistet.

Um einen Überblick zu bekommen, wird der Querschnitt eines JFET mit seinen parasitären Anteilen hier noch einmal abgebildet, Abb. 2.44. Wird ein vier-Terminal-JFET als Verstärker für Hochfrequenz verwendet, wird meist nur das Top-Gate als Eingang verwendet, da diese Konfiguration ein günstigeres Verhältnis aus Eingangskapazität und Verstärkung als das Bottom-Gate aufweist.

Da die Kapazitäten durch Raumladungszonen um die dotierten Gebiete bestimmt sind, sind diese abhängig von der angelegten Spannung. Die Kapazität von Top-Gate nach Source, C_{tg-s} , ist vor allem abhängig von der Top-Gate-Source-Spannung. Die Kapazität von Top-Gate nach Drain, C_{tg-d} , ist vor allem abhängig von der Top-Gate-Drain-Spannung.

In Abb. 2.45 ist der simulierte Verlauf der Eingangskapazität für Top- und Bottom-Gate für $V_{tgs} = V_{bgs} = 0V$ aufgetragen. Wie zu erkennen, ist die Kapazität für das

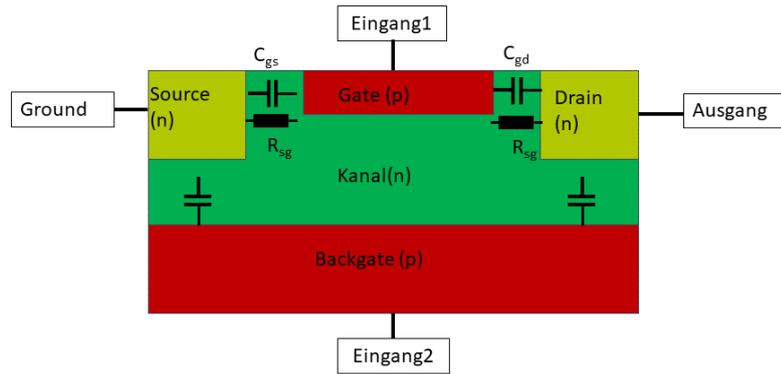


ABBILDUNG 2.44: Schematischer Querschnitt eines n-Kanal JFET mit Bezeichnung der verfügbaren Terminals und Abmessungen des Kanals.

Strukturname	C_{inp}	f_T
$L_{tg} \ L_{cheff}$	fF/ μm	GHz
0.6 *	0.893	9.94
1 *	1.05	6.29
1.4 *	1.21	4.18
1.4 0.6 °	1.10	7.32
1.4 0.8 °	1.10	6.52
1.4 1.0 °	1.10	5.86
1.8 0.6 °	1.25	7.02

TABELLE 2.2: Simulierte Eingangskapazität und Grenzfrequenz von Main-Channel-JFETs (*) und Split-Channel-JFETs (°) im Arbeitspunkt $V_{tgs} = V_{bgs} = 0\text{V}$, $V_{ds} = 2\text{V}$.

Bottom-Gate deutlich höher als die des Top-Gate. Hinzu kommt, dass das Bottom-Gate eine niedrigere Transkonduktanz hat als das Top-Gate. Auch ist für das Bottom-Gate eine starke Abweichung der Parameter von Simulation zu Messung festzustellen. Für die Simulation wurden die Source-Drain Gebiete deutlich kleiner gestaltet als im realisierten Layout. Da die Optimierung im Rahmen der Simulation bezüglich des Top-Gates erfolgt, ist dies eine zulässige Vereinfachung der Situation. Auch ist die Stufe in Abb. 2.45, bei der ein steiler Kapazitätsabfall in der Messung zu beobachten ist, nicht in der Simulation sichtbar. Dies liegt daran, dass die Kapazitätsmessung ohne Source-Drain Potential durchgeführt wird - Source wird als Terminal offen gelassen. Da bei 1.5 V der Kanal abgeschnürt wird, trägt der sourceseitige Anteil des Kanals dann nicht mehr zur Messung bei. Im Gesamten stimmt die gemessene Top-Gate-Kapazität hinreichend gut mit der simulierten Kapazität überein.

Im Folgenden sollen die Grenzfrequenzen f_T zwischen MC-JFET und SC-JFET verglichen werden. Hierbei wird der Arbeitspunkt $V_{tgs} = V_{bgs} = 0\text{V}$, $V_{ds} = 2\text{V}$ betrachtet. In Tabelle 2.2 ist eine Übersicht über die Simulationsergebnisse gezeigt.

Es ist zu sehen, dass die erreichbare Grenzfrequenz f_T mit einem MC-JFET mit $L_{tg} : 0.6\mu\text{m}$ höher liegt als die eines SC-JFET mit $L_{tg} : 1.4\mu\text{m}$ und $L_{cheff} : 0.6\mu\text{m}$.

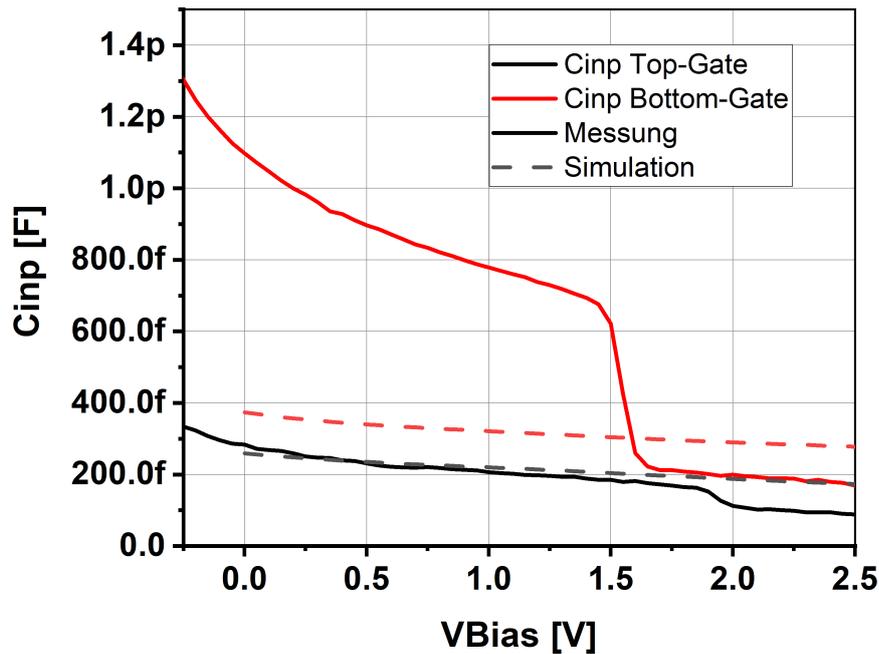


ABBILDUNG 2.45: Simulierte und gemessene Eingangskapazität von Top- und Bottom-Gate eines Split-Channel JFET mit $L_{tg}:1.4\mu\text{m}$ $L_{cheff}:0.6\mu\text{m}$. V_{Bias} bezeichnet die Potentialdifferenz zwischen Drain und Bottom- bzw. Top-Gate.

In dieser Simulation wurden jedoch die Randbedingung der verwendeten Technologieplattform nicht berücksichtigt. In der hier verwendeten Plattform ist die minimale Größe eines Kontaktlochs $1.2\mu\text{m}$. Auf das $0.6\mu\text{m}$ Top-Gate kann in der hier verwendeten Technologieplattform also kein Linienmetallkontakt aufgebracht werden. Es müssen Top-Gate-Gebiete geschaffen werden, in denen $L_{tg} > 0.6\mu\text{m}$, wo die Top-Gate-Dotierung angeschlossen werden kann. In diesen Bereichen ist f_T deutlich niedriger. Als Folge sinkt f_T für den gesamten Transistor, da über Bereiche mit $L_{tg} > 0.6\mu\text{m}$ und $L_{tg} = 0.6\mu\text{m}$ gemittelt wird. Weiterhin ist das dotierte Gebiet des Top-Gates auch wesentlich weniger leitfähig als eine Metalleitung - der Serienwiderstand des Top-Gates steigt beträchtlich gegenüber einem Linienmetallkontakt. Mit wenigen Kontakten wird ein hohes f_T erreicht, aber der Top-Gate-Serienwiderstand ist hoch. Mit vielen Kontakten gibt es viele Gebiete wo $L_{tg} \gg 0.6\mu\text{m}$ und f_T sinkt. Wie später in 4.4 gezeigt wird, ist das weiße Rauschen von JFETs mit Punktkontakten deutlich größer als das von JFETs mit Linienkontakt bei gleicher Kanallänge. Eine ausführliche Diskussion anhand von Messungen findet im Abschnitt 4.4.3 statt.

Weiterhin ist zu bemerken, dass bei SC-JFET die Eingangskapazität unabhängig von L_{cheff} ist. Damit steigt f_T linear mit L_{cheff} bei gegebener Top-Gate-Länge.

Kapitel 3

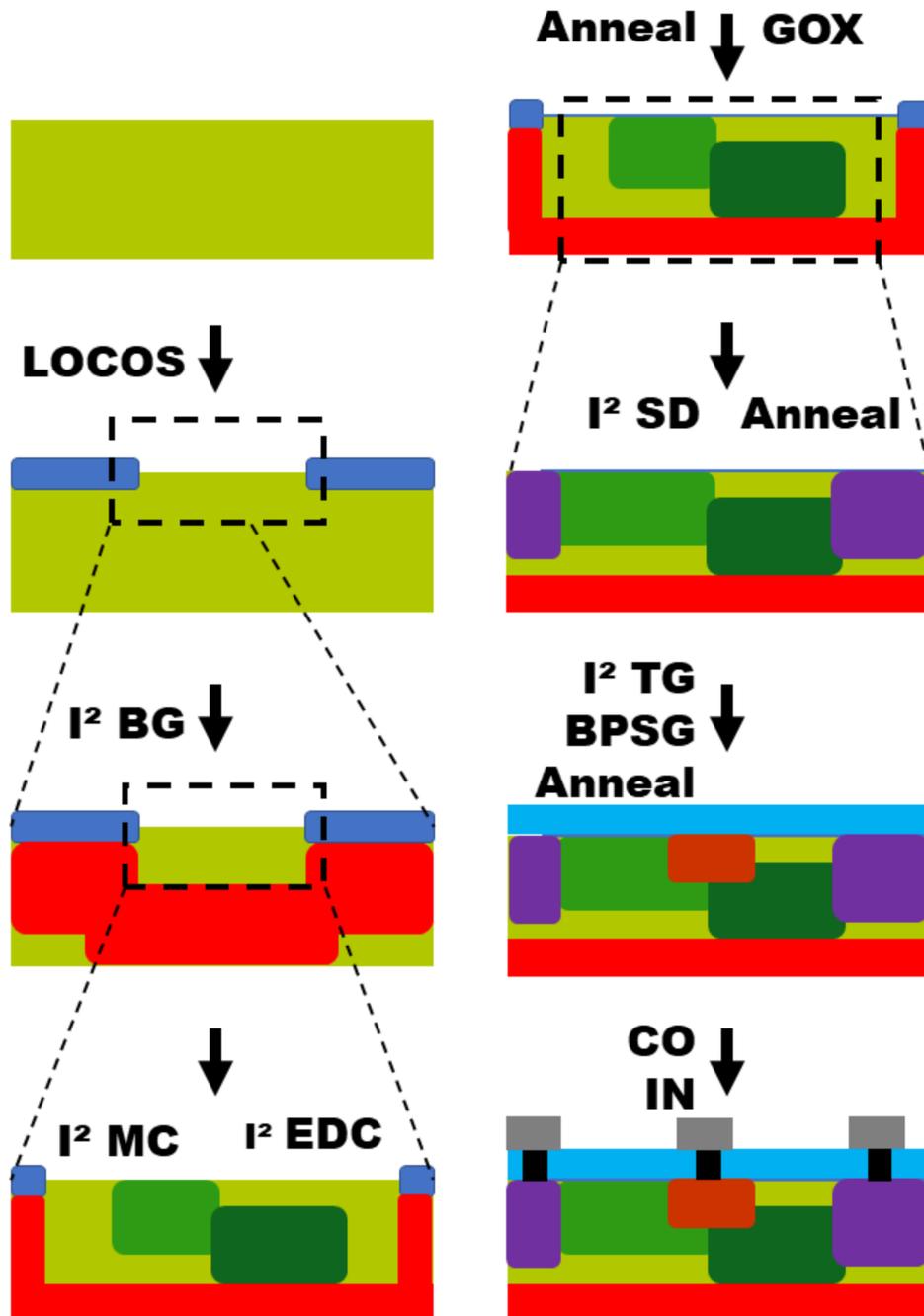
Realisierung

3.1 Technologieplattform

Der hier vorgestellte JFET entstand aus der Idee, einen JFET als Prozessmodul in einem CMOS-Prozess zur Verfügung zu haben. Als Technologieplattform eignet sich eine Technologie, deren minimale Gatelänge zumindest gleich der minimalen Gatelänge des JFETs ist, die aber auch kein zu enges Temperaturbudget vorschreibt, wie es oft in CMOS-Prozessen mit Gatelängen im Submikrometerbereich der Fall ist. Bezüglich des Temperaturbudgets wird im späteren Verlauf dieser Arbeit noch mehr auf den Zusammenhang zwischen Qualität des pn-Übergangs und der Art und Weise, wie ionenimplantierte Dotierungen ausgeheilt und aktiviert werden, eingegangen. Als Technologieplattform wurde der an der Fraunhofer EMFT etablierte C5P Prozess gewählt. In diesem Prozess beträgt die minimale Gatelänge $1\ \mu\text{m}$, die Betriebsspannung V_{DD} liegt bei 5 V. In einem n-Substrat werden p- und n-Wannen erzeugt, sodass die Bottom-Gates der JFETs getrennt voneinander angesteuert werden können. Die minimale Kontaktlochgröße beträgt $1.4\ \mu\text{m}$. Es wird nur eine Metalllage prozessiert, eine zweite ist bei Bedarf möglich. Der Herstellungsprozess ist in Abb. 3.1 schematisch aufgezeigt.

3.2 Integration in die Technologieplattform

Die Integration in den C5P Prozess erfolgte über zusätzliche Implantationen, deren Verteilung auf dem Wafer über Fotolack und vorherige Lithographiestritte festgelegt wurde. Es wurde dabei nur ein n-Kanal JFET realisiert. Kanal- und Bottom-Gate-Implantation erfolgen im Prozessblock Schwellspannungsimplantation. Als Source und Drain wurde die Source/Drain N+ Implantation des NMOSFET herangezogen. Anders als im CMOS Prozess fand der JFET-Gateimplant später als im C5P CMOS-Prozess statt und wurde mit reduziertem thermischem Budget ausgeheilt. Die Implantation erfolgte jedoch mit den gleichen Parametern wie für die PMOSFET Source/Drain P+ Implantation.



**Substrat Feldoxid BackGate Main Channel
Extended Drain Channel Source/ Drain
Kontaktloch Aluminium**

ABBILDUNG 3.1: Schemazeichnung der Hauptschritte zur Herstellung des JFET als Prozessmodul im C5P CMOS Prozess

$\frac{\text{Dotierbereich}}{\text{Dosis}[1/\text{cm}^2]; \text{Energie}[\text{keV}]}$	Main Ch	Ext. D Ch	BG	Split#	Substrat
	6e12; 200	8.5e12; 300	6e12; 330	0	n
	7.5e12; 200	7.25e12; 400	1.2e13; 430	I	n; p
	7.5e12; 200	4.5e12; 400	1.2e13; 430	II §	n; p
	7.5e12; 200	4e12; 400	1.2e13; 430	III §*	n
	–	1.2e12; 560	–	§*	n

TABELLE 3.1: Übersicht der Hauptparameter der gefertigten JFETs. Die mit § gekennzeichneten Splits haben als Main Channel Implantation einen durchgängige Kanal. Dies entspricht einer Maske ("CHNIMP" \vee "LDDNIMP"). Der mit * gekennzeichnete Split wurde wie § realisiert und beinhaltet eine Zusatzimplantation in KD welche unter 45° Verkippung eingebracht wurde.

Da über TCAD Simulation im Vorfeld bereits ein relativ enger Parametersatz ermittelt werden konnte, jedoch die Vorhersagegenauigkeit des hier verwendeten Frameworks, siehe Kapitel 2, noch einige Unsicherheiten zulässt, waren sowohl mehrere Anläufe als auch parallele Fertigungsdurchläufe nötig. Es wurden die Implantationsdosen und -energien für Kanal und Bottom-Gate variiert.

Es wurde sowohl ein Ansatz verfolgt, bei dem eine Maskenebene den Main-Channel und eine andere den extended-Drain-Channel definiert, Split I und 0, als auch ein Ansatz, bei dem der Main-Channel durchgängig von Source bis Drain implantiert und der extended Drain-Channel als zusätzliche Dotierung verwendet wurde, Split II und III.

Letzterer Ansatz wurde realisiert indem beim Belichtungsschritt vor der Implantation des Main-Channel zuerst die Maske für Main-Channel und dann die Maske für extended Drain-Channel aufbelichtet wurde. Da Main- und extended-Drain-Channel mit einem Überlapp gezeichnet wurden, war nun eine Fläche die den Masken "CHNIMP" \vee "LDDNIMP" entspricht freibelichtet. Eine schematische Darstellung ist in Abb. 3.2 gegeben.

In Split III wurde versucht den Übergang zwischen Main-Channel und extended-Drain-Channel weicher zu gestalten, also den Gradienten der Dotierstoffkonzentration entlang des Kanals zu verkleinern. So wurde unter 45° Verkippung eine zusätzliche Implantation auf die Maske für den extended-Drain-Channel eingebracht. Durch die Verkippung wird schräg unter die Lackkante implantiert.

Eine Zusammenfassung befindet sich in Tabelle 3.1. "Split 0" zeigt die Implantationsparameter des Testvehikels, welches für die Anpassung der Simulationsparameter verwendet wurde, vgl. Abschnitt 2.2. Es wurden n-Kanal-JFETs mit einer gezeichneten Gatelänge zwischen 0.6 μm bis 3 μm und einer Kanaldotierung von $2e17$ und 0.25 μm Kanaldicke in der 200mm CMOS- Reinraumanlage am Fraunhofer EMFT hergestellt. Neben dem n-Substrat, welches im C5P Prozess verwendet wird, wurde auch p-Material für die Verwendung als Einzelbauelement verwendet.

Diese Art von JFET Prozessen ist vergleichbar mit denen aus anderen Publikationen [46][47][48][49].

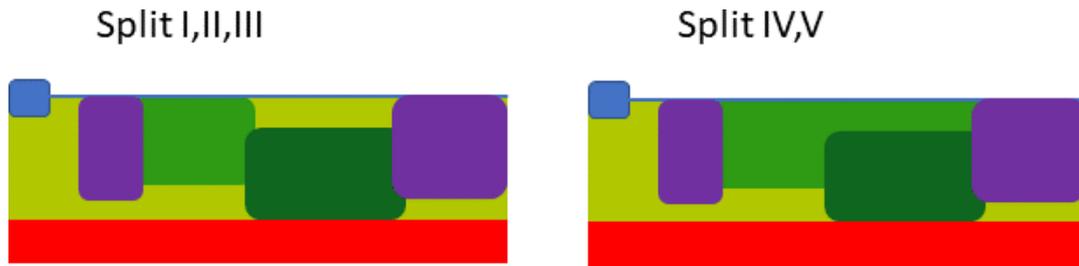


ABBILDUNG 3.2: Schemazeichnung zur unterschiedlichen Realisierung der Split-Channels zwischen den Splits

3.3 Layout

Um eine Vergleichbarkeit zwischen den Herstellungsvarianten für die Untersuchungen zu gewährleisten, wurden Standardzellen definiert, bei denen dann die zu untersuchenden Parameter verändert wurden. Folgende Parameter wurden variiert: Gatelänge, Main-Channel-Länge, extended-Drain-Channel-Länge, Gatekontakt. In Abb. 3.3 ist eine Standardzelle mit $W_g:120\ \mu\text{m}$, $L_{tg}:1.4\ \mu\text{m}$ abgebildet. An Variationen dieser Zelle wurden die meisten Untersuchungen gemacht. Der aktive Bereich des Transistors sitzt in einer Wanne, Bottom-Gate, welches an den Außenrändern, bei n-Substrat mit einer zusätzlichen n-Wanne, über eine SP-Gate-Implantation angeschlossen ist. Der aktive Bereich setzt sich aus einem Kanalgebiet mit darin befindlichen Sourcegebiet (SN), welches ein geschlossenes, ovales Gategebiet (SP) und ein innenliegendes Draingebiet (SN) umschließt. Zwischen Gate und Drain bzw. Source wurden mindestens $1.4\ \mu\text{m}$ und maximal $2.0\ \mu\text{m}$ Abstand eingehalten. Da der Herstellungsprozess nur über eine Metallisierungsebene (IN) verfügt, muss die Kontaktierung (CO, schwarze Linie) in Teilbereichen von Top-Gate und Drain unterbrochen werden, wie in Abb. 3.4 und Abb. 3.5 im Detail dargestellt. Die Umsetzung des Punktgatekontakts und des Liniengatekontakts ist in Abb. 3.5 im Detail abgebildet.

3.3.1 Split-Channel JFETs

Split-Channel Transistoren wurden durch Implantation realisiert. Die Definition der beiden Kanalbereiche wurde durch Lackmasken erreicht. Im Layout wurden den beiden Bereichen jeweils eine Zeichenebene zugeordnet. Ein Beispiel für die Umsetzung ist in Abb. 3.6 dargestellt.

3.3.2 JFET Normal Zelle

Des Weiteren wurde für Untersuchungen zum Einfluss des niederfrequenten Rauschens Bauteile mit dem Layout der Zelle „JFET_Normal“ verwendet. Diese Zelle ist symmetrisch bezüglich Source und Drain und besteht aus zwei gegenüberliegenden SN Gebieten die über ein Kanalgebiet miteinander verbunden sind. Gate und Bottom-Gate, wobei Bottom-Gate durch eine P-Wanne realisiert ist, sind außerhalb des Kanalgebiets miteinander verbunden.

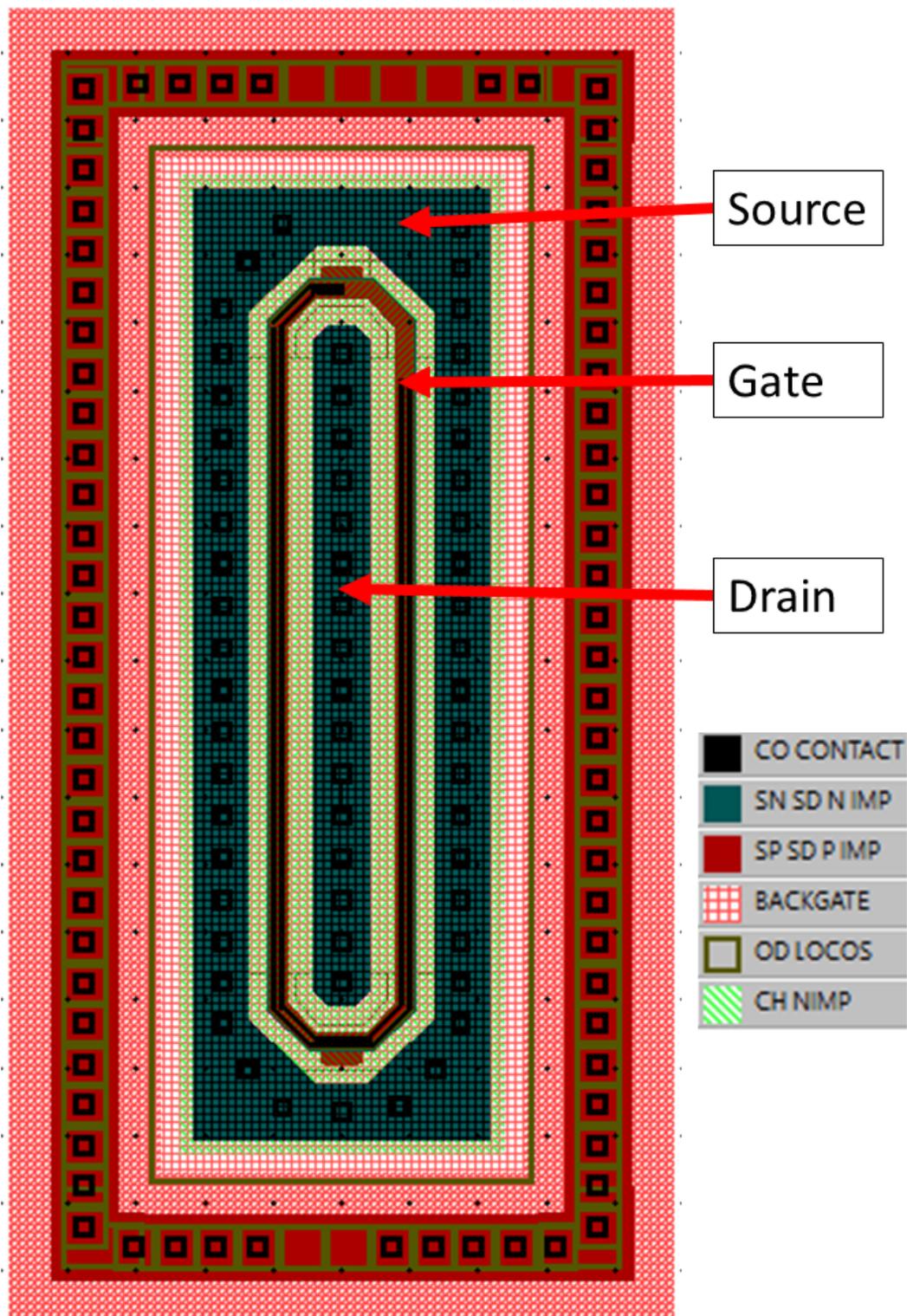


ABBILDUNG 3.3: Aufsicht auf eine Einheitszelle eines closed-cell JFETs. W_{tg} : 120 μm , L_{tg} : 1.4 μm

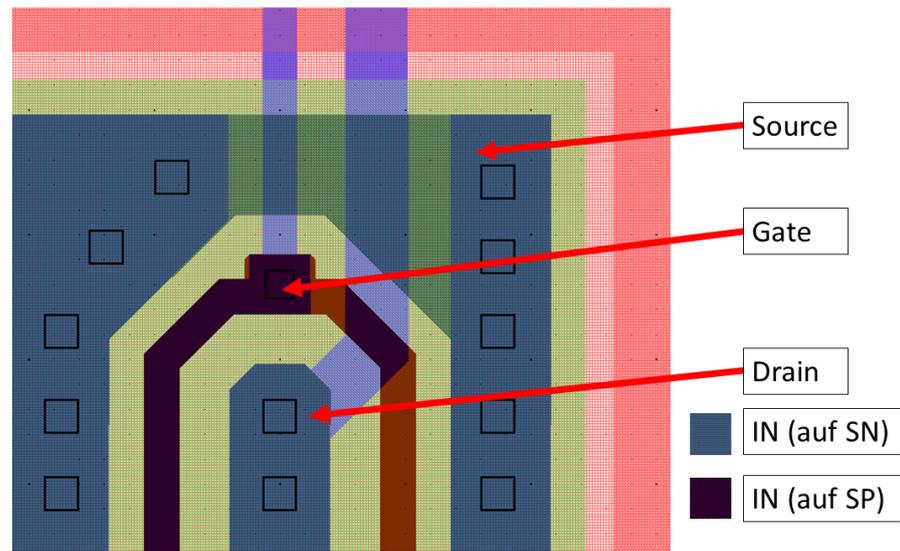


ABBILDUNG 3.4: Aufsicht auf eine Einheitszelle eines closed-cell JFETs mit eingblendeter IN-Ebene. W_{tg} : $120\ \mu\text{m}$, L_{tg} : $1.4\ \mu\text{m}$. Layerzuweisungen entsprechen denen in Abb. 3.3

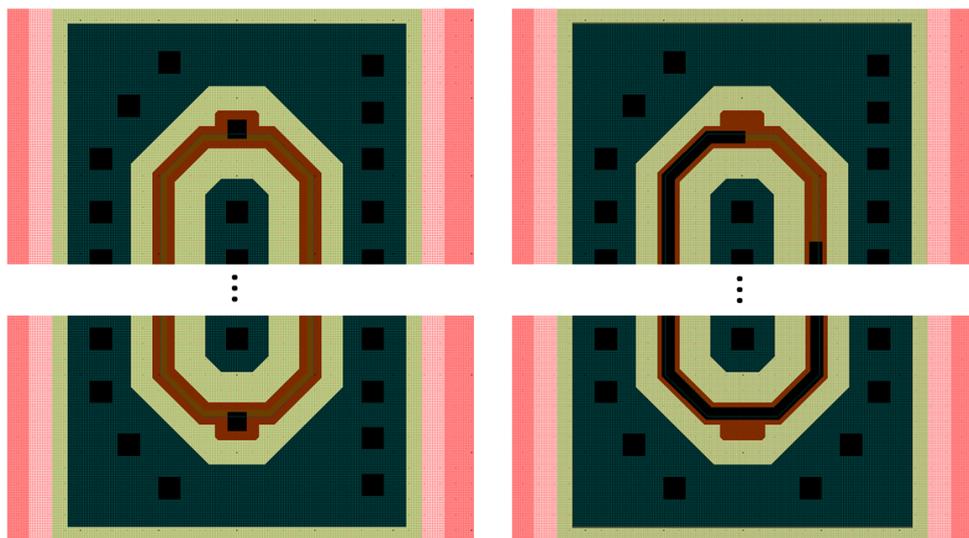


ABBILDUNG 3.5: Aufsicht auf eine Einheitszelle eines closed-cell JFETs mit Detail des Gatekontakts (schwarze Bereiche). Layerzuweisungen entsprechen denen in Abb. 3.3

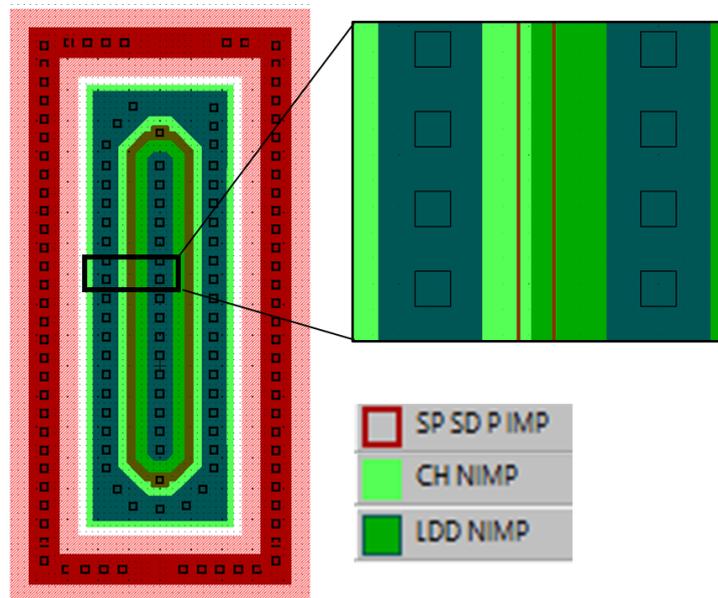


ABBILDUNG 3.6: Aufsicht auf eine Einheitszelle eines closed-cell JFETs mit Detail des Split-Channel (rot eingerahmt). Layerzuweisungen entsprechen denen in Abb. 3.3

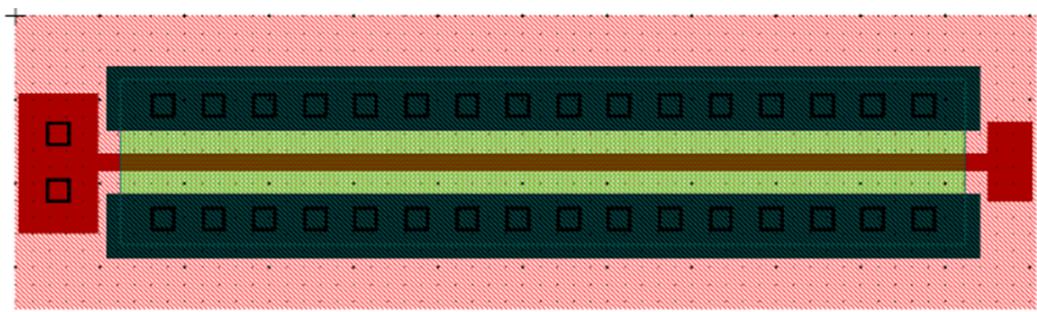


ABBILDUNG 3.7: Aufsicht auf eine "JFET_Normal" Zelle. Layerzuweisungen entsprechen denen in Abb. 3.3

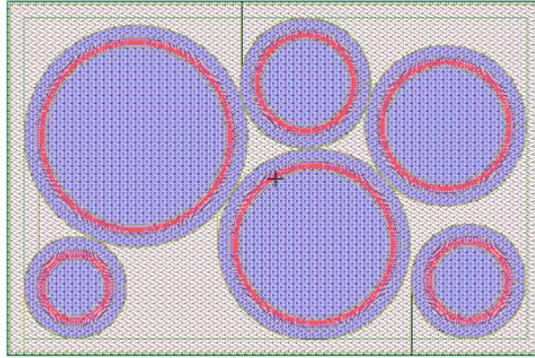


ABBILDUNG 3.8: Layout der verwendeten p-n-Dioden. Die Durchmesser der Dioden werden durch die Kathoden, roten Kreise, definiert: 300 μm , 250 μm , 200 μm , 150 μm , 120 μm , 100 μm . Der beige melierte Bereich ist Kathode.

3.3.3 p-n Dioden

Versuchsaufbau

Das niederfrequente Rauschen von JFETs entsteht vor allem als Generations-Rekombinations-Prozesse in der Raumladungszone zwischen Top- bzw. Bottom-Gate und Kanal [50] [51] [52] [26]. Auch wird bei sehr hoher Impedanz der Signalquelle ein sehr kleiner Leckstrom benötigt, um keinen Rauscheintrag aufgrund von Schrotrauschen zu erhalten [53]. Daher ist das Ausheilen der durch Ionen Implantation eingebrachten Defekte sehr wichtig. Es gibt Literatur zum Zusammenhang $1/f$ -Rauschen-Annealing an Widerständen [54]. Der untersuchte Temperaturbereich endet jedoch unter den 900 °C des Gateimplants des hier verwendeten Prozesses.

Die letzte Implantation erfolgt am Top-Gate des JFET. Da hier zusätzlich eine hohe Dosis eingebracht wird, ist dies der Punkt, an dem eine zu geringe Ausheilung den größten Effekt hat. Um das Ausheilen nach der Top-Gate Implantation zu optimieren, wurden Experimente an einfachen, kreisförmigen p-n Dioden mit unterschiedlichen Radien durchgeführt, siehe Abb. 3.8.

Als Substrat wurde n-Epi-Material mit einer Dotierung von $1 \times 10^{15} / \text{cm}^3$ Phosphor verwendet. Es wurde zwischen den Annealeigenschaften unter oxidierender und reiner Stickstoffatmosphäre unterschieden. Die Prozesstemperatur war bei allen Prozessierungen 1000 °C. Die Annealings wurden mittels "Rapid Thermal Processing", RTP, sowie Diffusionsofen durchgeführt. Dies ist interessant, da mit RTP prinzipiell durch kürzere Prozesszeiten und steilere Temperaturrampen ein flacherer p-n Übergang erreicht werden kann und damit Randkapazitäten des Top-Gates verringert werden können. In Tabelle 3.2 sind die Versuchsvorschriften aufgelistet, welche an je einem Wafer durchgeführt wurden.

Ergebnisse

Die Ergebnisse der Annealexperimente der p-n Dioden sind in Tabelle 3.3 aufgeführt. Es wird der auf die Fläche normierte Leckstrom bei 5 V Sperrspannung an

Split #	O ₂ -Anteil [%]	N ₂ -Anteil [%]	RTP [min]	Ofen [min]
1	2.5	97.5	25	
2	2.5	97.5	20	
3	0	100	0.16	
4	0	100	1	
5	0	100	20	
6*	2.5	97.5	15	1
7	2.5	97.5		20
8	0	100		20

TABELLE 3.2: Übersicht der Hauptparameter aus dem Experiment zur Optimierung des Top-Gate p-n Übergangs. Die Temperatur war für alle Prozessierungen 1000 °C. Der mit * gekennzeichnete Split hat zuerst einen RTP Annealschritt und darauffolgend einen Ofenschritt.

Split	I leak@5V nA/cm ²	Leak Rand nA/cm	Leak Fläche nA/cm ²
1; 25min O2 2.5% RTP	0.789	–	–
2; 20min O2 2.5% RTP	0.998	576	0.661
3; 10s N2% RTP	0.64	36.4	0.069
4; 1min N2 2.5% RTP	4.73	239.5	0.948
5; 20 min N2 RTP	0.473	30.0	0.199
6; 15min O2 2.5% RTP 1min O2 2.5% FUR	1.97	–	–
7; 20 min O2 2.5% FUR	1.38	321	0.727
8; 20 min N2 FUR	3.6	251	0.482

TABELLE 3.3: Übersicht der Ergebnisse aus dem Experiment zur Optimierung des Top-Gate p-n Übergangs. Die Angabe des Leckstroms in der ersten Spalte beziehen sich auf Dioden mit 250 µm Durchmesser.

einer Diode mit 250 µm Radius gemessen. Bemerkenswert ist, dass der geringste Leckstrom unter reiner Stickstoffatmosphäre mit RTP erreicht wird. Allerdings verhält sich der Leckstrom für mit RTP unter Stickstoffatmosphäre prozessierte Wafer nicht wie erwartet. Mit steigender Annealingzeit sollte der Leckstrom abnehmen, da die Dotierung über den geschädigten Bereich diffundiert. Stattdessen ist für 1 min Annealingzeit dieser deutlich höher als für 10 s. Es kann nicht ausgeschlossen werden, dass eine Verwechslung in der Waferzuordnung stattfand. Andere Prozesse die eine starke Schwankung von Wafer zu Wafer aus dem selben Los verursachen, scheinen nicht plausibel. Der in dieser Arbeit verwendete Prozess des Top-Gate-Anneals entspricht am ehesten dem Ofenprozess mit 0 % N₂, 20 min. Da die hier vorgestellte Untersuchung erst nach der Prozessierung des JFET-Wafer durchgeführt wurde, konnten die Ergebnisse nicht mehr für diese verwendet werden.

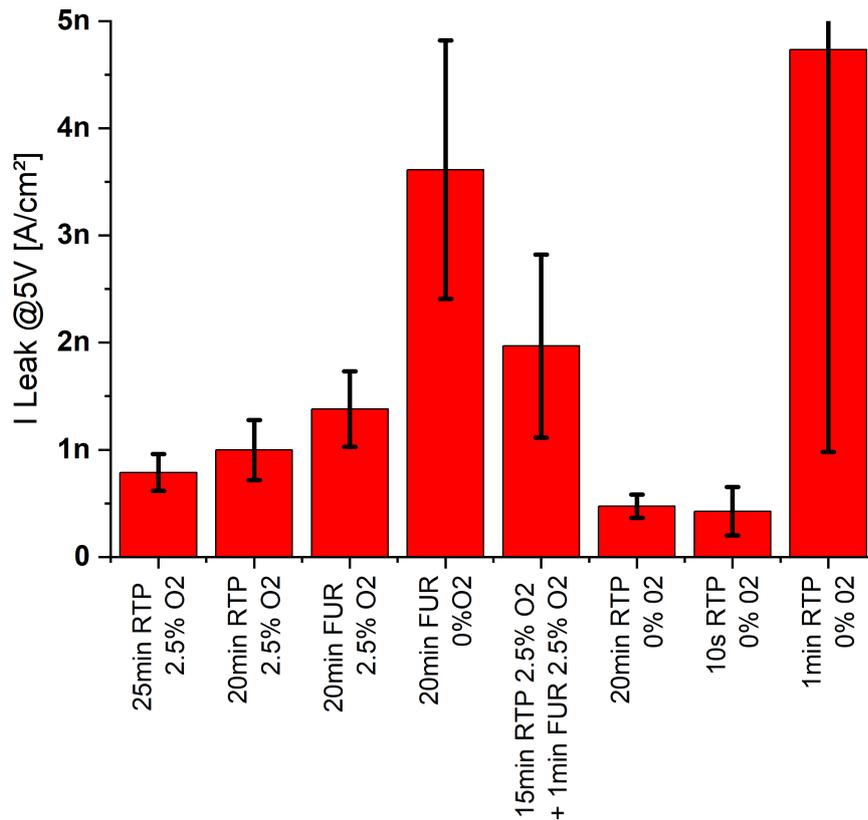


ABBILDUNG 3.9: Mittelwerte von 49 Punkten der Leckstrommessung bei 5 V an Dioden mit 250 μm Durchmesser für alle Wafer.

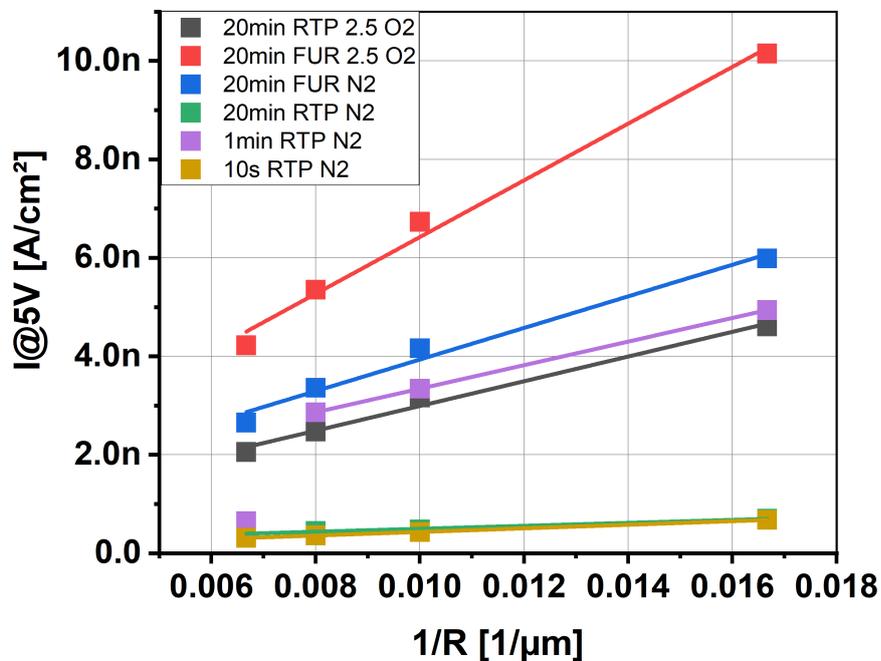


ABBILDUNG 3.10: Ermittlung des Volumen und Oberflächenanteils des Leckstroms bei 5V. Die Parameter der Ausgleichsgerade sind wie folgt zugeordnet. I: $5.76 \cdot 10^{-7}x + 6.61 \cdot 10^{-10}$, II: $3.21 \cdot 10^{-7}x + 7.27 \cdot 10^{-10}$, III: $2.51 \cdot 10^{-7}x + 4.82 \cdot 10^{-10}$, IV: $3.00 \cdot 10^{-8}x + 1.99 \cdot 10^{-10}$, V: $2.39 \cdot 10^{-7}x + 9.48 \cdot 10^{-10}$, VI: $2.65 \cdot 10^{-8}x + 6.90 \cdot 10^{-11}$

Kapitel 4

Charakterisierung

Für die hergestellten JFETs wurden Grundparameter wie Transfer- und Ausgangskennlinie sowie Eingangskapazität gemessen. Darüber hinaus werden Ergebnisse zur Charakterisierung bezüglich Rauschen präsentiert. Für die Bezeichnung der JFETs wird folgende Nomenklatur verwendet:

$$''WW GG LL, (0; I; II; III)(n; p)''$$

mit WW:=Gateweite [μm], GG:=Top-Gate-Länge [μm], LL:=effektive Kanallänge [μm], (0;I;II;III) bezieht sich auf die Splitnummer, siehe Tab. 3.1, (n;p) bezieht sich auf die Substratdotierung. JFETs mit durchgängigen Kanal werden mit MC-JFET und Split-Channel-JFETs mit SC-JFET bezeichnet.

4.1 DC Charakterisierung

Es werden Gleichstromparameter wie Schwellspannung, Strom und Steilheit in einem bestimmten Arbeitspunkt, $V_{tgs}=V_{bgs}=0\text{ V}$, $V_{ds}=3\text{ V}$, ermittelt. 3 V Drainspannung stellt einen guten Kompromiss aus zuverlässigem Betrieb im Sättigungsbereich und genügend Sicherheitsabstand zum Bereich in dem Stoßionisation stattfindet und Gatestrom fließt dar. Weiterhin wird oft für Kleinsignalverstärkeranwendungen die höchste Transkonduktanz gewünscht, ohne die Gate-Diode in Vorwärtsrichtung zu polen, sodass $V_{tgs}=V_{bgs}=0\text{ V}$ gewählt wird.

4.1.1 Eingangscharakteristik

In Abb. 4.1 ist eine typische Eingangskennlinie der Struktur ''120 1.4 0.6 II p' unter variabler Drainspannung für kurzgeschlossenes Top- mit Bottom-Gate gezeigt. Wie zu erkennen, sieht die Transfercharakteristik wie die eines üblichen Transistors aus. Die Schwellspannung liegt bei -0.7 V , die Subthreshold-Steilheit bei $75\text{ mV}/(\text{decA})$.

Um eine Abhängigkeit der Schwellspannung von der Kanallänge zu untersuchen, wurden für verschiedene effektive Kanallängen Eingangskennlinien aufgenommen. Die Schwellspannung wurde bei Strukturen konstanter Top-Gate-Weite, $W_{tg}:120\mu\text{m}$, unter der Bedingung $V_{ds} = 50\text{mV}$, $V_{th} := V_{gs}(I_{ds} = 1 \cdot 10^{-7}\text{A})$ gemessen.

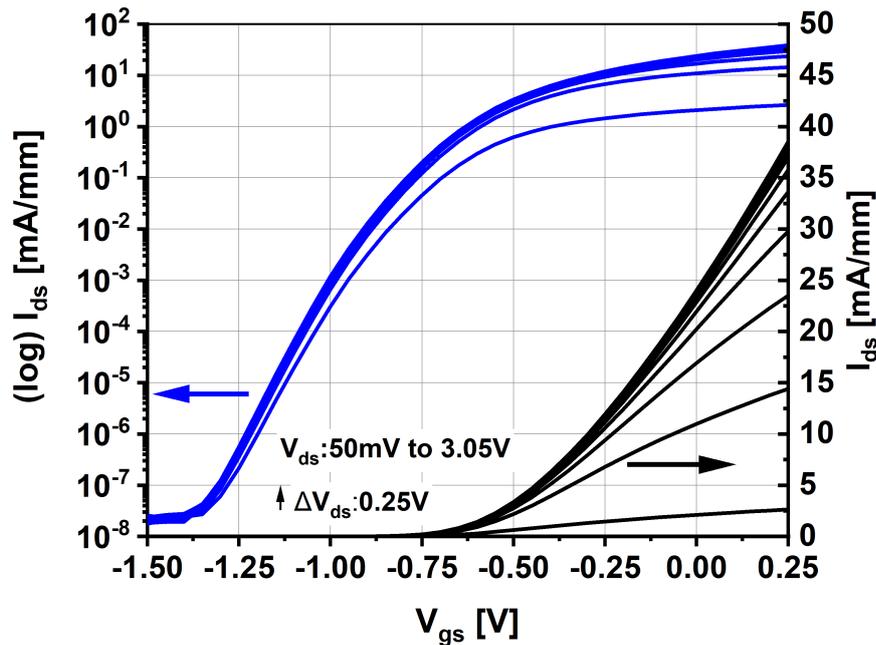


ABBILDUNG 4.1: Gemessene Eingangskennlinie eines JFET "120 1.4 0.6 II p" mit variabler Drainspannung von 50 mV bis 3.05 V. $V_{tgs}=V_{bgs}$. [55]

Die Änderung der Schwellspannung in Abhängigkeit der effektiven Kanallänge ist in Abb. 4.3 dargestellt. Für $L_{cheff} < 1.2\mu\text{m}$ hängt die Schwellspannung stark von L_{cheff} ab. Ein Vergleich mit Abb. 4.1 zeigt aber, dass der als Drain-Induced-Barrier-Lowering bezeichnete Effekt ausgeschlossen werden kann. Der JFET in Abb. 4.1 hat eine effektive Kanallänge von $0.6\mu\text{m}$. Die Verschiebung der Schwellspannung von 50 mV Drainspannung gegenüber 3.05 V Drainspannung beträgt lediglich 50 mV. In Abb. 4.3 ist eine Schwellspannungsänderung von -0.3 V auf -2.5 V zu sehen. Wie in Abb. 2.29 dargestellt, bewirkt eine Verkürzung des Main-Channel eine Erhöhung der Kanaldotierung am sourceseitigen Ende des Main-Channel.

Die Schwellspannung des extended-Drain-Channel liegt mehrere Volt über der des Main-Channel. Da, wie in der Siliziumtechnologie bei diesen Strukturgrößen üblich, unter 7° Verkippung implantiert wird, werden auch Bereiche die von der Maske verdeckt werden dotiert. Dies führt dazu, dass im Main-Channel auch Dotierstoff des extended-Drain-Channel vorhanden ist was die Schwellspannung anhebt. Da die Schwellspannung durch das source-seitige Ende des Kanals bestimmt wird, ist die Schwellspannungsverschiebung bei kleinen effektiven Kanallängen größer, vgl. Abb. 2.29 in Abschnitt 2.4.

In Abb. 4.2 ist die Transfercharakteristik von kurzgeschlossenen Top- mit Bottom-Gate von $L_{tg}:1.4\mu\text{m}$, $L_{eff}:0.6\mu\text{m}$, $W_{tg}:120\mu\text{m}$ JFETs bei Drain-Spannung 3 V für die gefertigten Splits abgebildet. Die Schwellspannung der auf n-Substrat gefertigten JFETs aus den Splits I,II,III ist durchweg negativer als die der auf p-Substrat gefertigten JFETs.

Die Wahl der Kanalrealisierung bewirkt einen Unterschied von Split I auf II von

ca. 100 mV und von Split II auf III von ca. 50 mV für das Kriterium $V_{th} := V_{gs}(I_{ds} = 1 \cdot 10^{-7} \text{ A})$. Für Gatespannungen über der Schwellspannung verkleinert sich der Unterschied auf ca. 50 mV zwischen den Splits. Dieser Effekt ist ebenfalls bei Split I und II auf p-Substrat zu beobachten. Ein abflachen der Subthreshold-Steilheit bei Split I,p bewirkt, dass die Unterschiede über bei Gatespannungen über Schwellspannung kleiner werden. Der Effekt der Abflachenden Subthreshold-Steilheit wird für Split I und III beobachtet, aber nicht für Split II. Auch für kleine Drainspannung von 50 mV wird dieser Effekt beobachtet, siehe Abb. A.1 im Anhang. Eine mögliche Ursache dieses Verhaltens könnte die lokale Erhöhung der Dotierung am Übergang von Main-Channel zu extended-Drain-Channel sein.

Der Grund für den Unterschied der Schwellspannung zwischen n- und p-Substrat liegt in der dünnen Epi-Dicke des p-Substrats. Die Volumendotierung des p-Substrats beträgt etwa $1 \times 10^{19} \text{ cm}^{-3}$, die Epidicke ist etwa 2.1 μm . Das Aufwachsen des Feldoxids wird bei 1000 °C eine Stunde durchgeführt. Bei diesen Temperaturen und dieser Zeit ist es denkbar, dass die Volumendotierung sich mit der Backgateimplantation addiert und damit den Kanal dünnt. Simulationen der Dotierprofile zu dieser Situationen sind nicht eindeutig, zeigen aber ein erhöhtes Borprofil am Backgate, siehe A.2. Dieser Effekt kann vermieden werden, wenn eine dickere Epi-Dicke verwendet wird. Es gab aber zum Zeitpunkt der Realisierung kein alternatives Material welches besser geeignet wäre. Auf p- Substrat ist der Unterschied zwischen Split I zu Split II analog zu den Unterschieden auf n-Substrat.

Die erreichten Transkonduktanzen im Arbeitspunkt $V_{tgs}=V_{bgs}=0 \text{ V}$, $V_{ds}=3 \text{ V}$ variieren von 6.2 mS, Split "II, p", bis 7.1 mS, Split "I, n", bedingt durch die veränderte Schwellspannung. Bemerkenswert ist ebenfalls, dass sich die Unterschiede der Transkonduktanzen zwischen den Splits bei Annäherung an Gatespannung 0 V verringern. Für Split I und II ergeben sich für das jeweilige Substrat nahezu identische Werte bei Gatespannung 0 V.

Wie schon in Kapitel 2.2 vorgestellt, wachsen Transkonduktanz und Sättigungsstrom mit sinkender effektiver Kanallänge, wie in Abb. 4.4 und Abb. 4.8 gezeigt. Für eine effektive Kanallänge von 0.5 μm werden Top-Gate-Transkonduktanzen bis zu 40 mS/mm erreicht. Die Markierung "*" zeigt JFETs ohne Split- Channel, wo $L_{\text{eff}}=L_{\text{tg}}$ gilt. "*" zeigt als Referenz den besten Wert aus einer aktuellen Veröffentlichung [56]. Die Farbkodierung der Symbole verweist auf die verwendete Top-Gate-Länge.

Wie man sieht, ist die erreichte Transkonduktanz weitestgehend unabhängig von den verwendeten Top-Gate-Längen der SC-JFET. Die Änderungen der Trankonduktanzen bei verschiedenen Top-Gate-Längen variieren innerhalb der Streuung der Messwerte.

Bei effektiven Kanallängen $L_{\text{cheff}} < 0.5 \mu\text{m}$ sinkt die Transkonduktanz wieder. Dies lässt sich durch folgende Ursache begründen: Wie oben schon erwähnt, sinkt die Schwellspannung für kleinere L_{cheff} . Die Transistoren sind also bei $V_{sd}=3 \text{ V}$ nicht mehr ganz in Sättigung. Messungen mit höheren Drainspannungen haben ergeben,

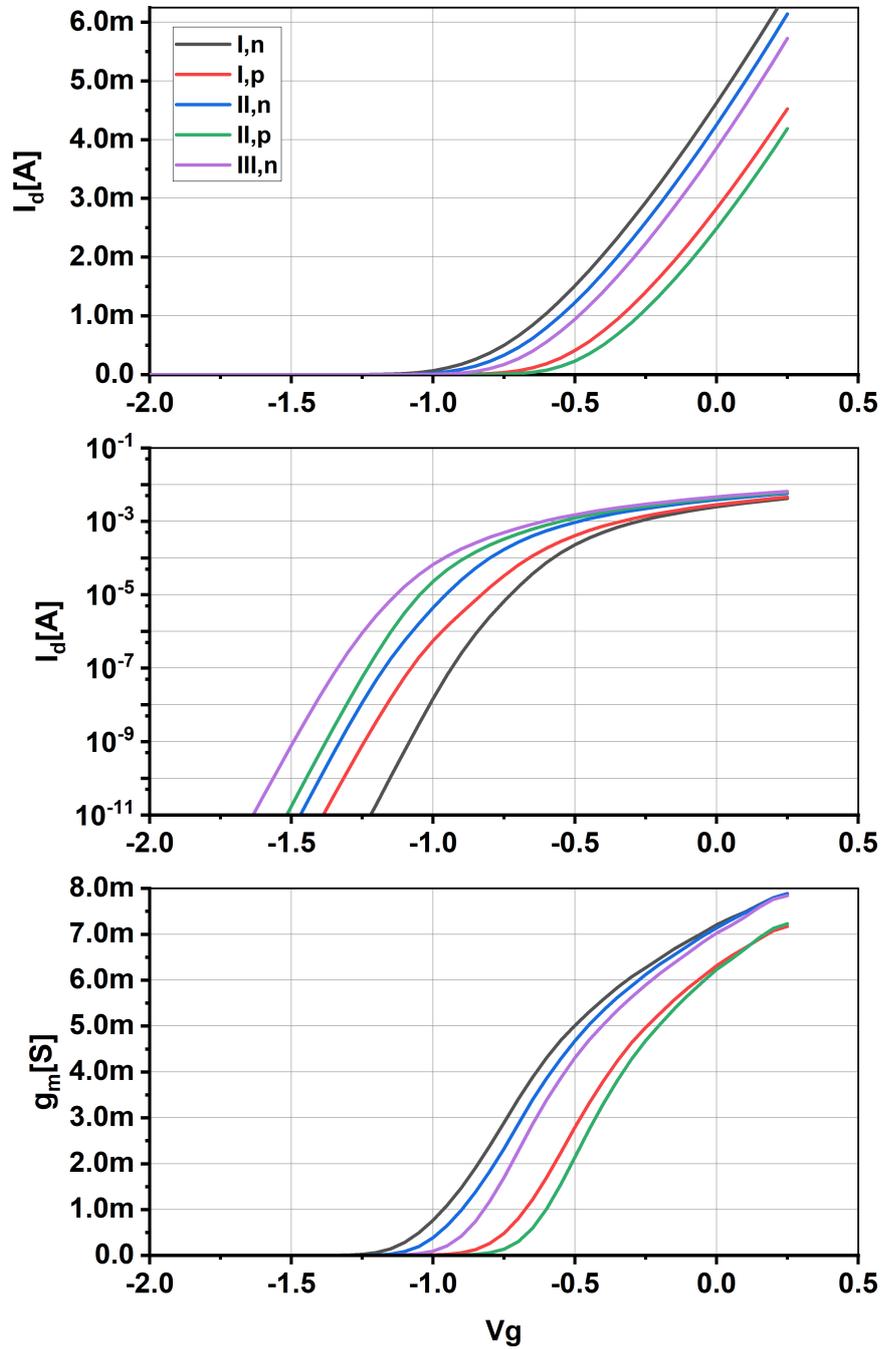


ABBILDUNG 4.2: Gemessene Eingangskennlinie von JFETs aus Split II bis V bei Drainspannung 3 V. $V_{bg}=0$ V, $L_{tg}:1.4\mu\text{m}$, $L_{eff}:0.7\mu\text{m}$, $W_{tg}:120\mu\text{m}$

dass die Transkonduktanz dennoch nicht mehr weiter steigt, sondern sättigt. Der Grund dafür wird in den Zuleitungswiderständen im Main-Channel Source zu Top-Gate und im extended-Drain-Channel Top-Gate zu Drain vermutet [57].

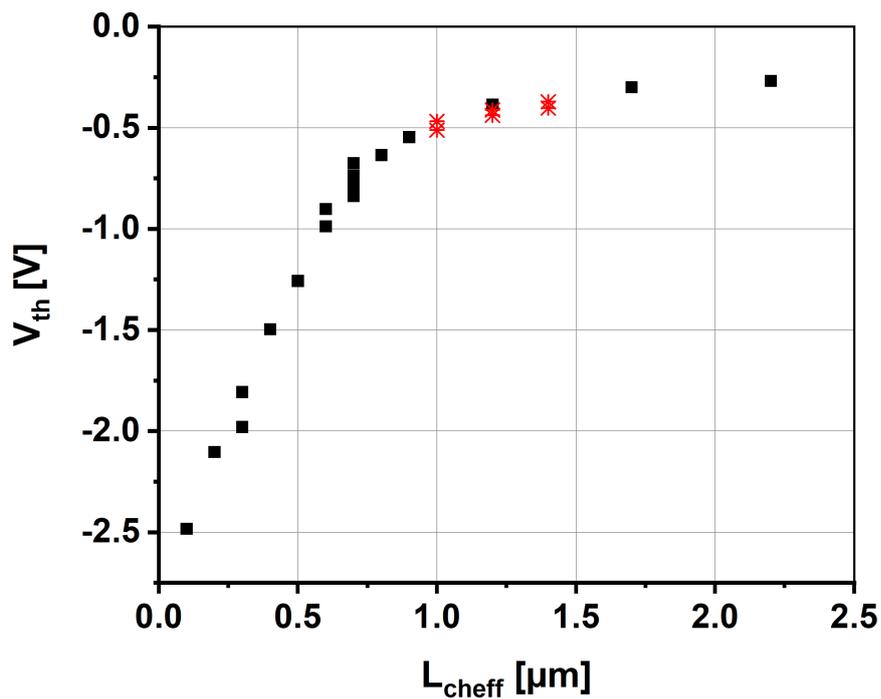


ABBILDUNG 4.3: Gemessene Schwellspannung V_{th} in Abhängigkeit der effektiven Kanallänge L_{eff} . * markiert JFETs ausschließlich mit Main-Channel, wo $L_{tg} = L_{cheff}$ gilt. $V_{tgs} = V_{bgs}$, $W_{tg}: 120 \mu\text{m}$, "Split II, p"

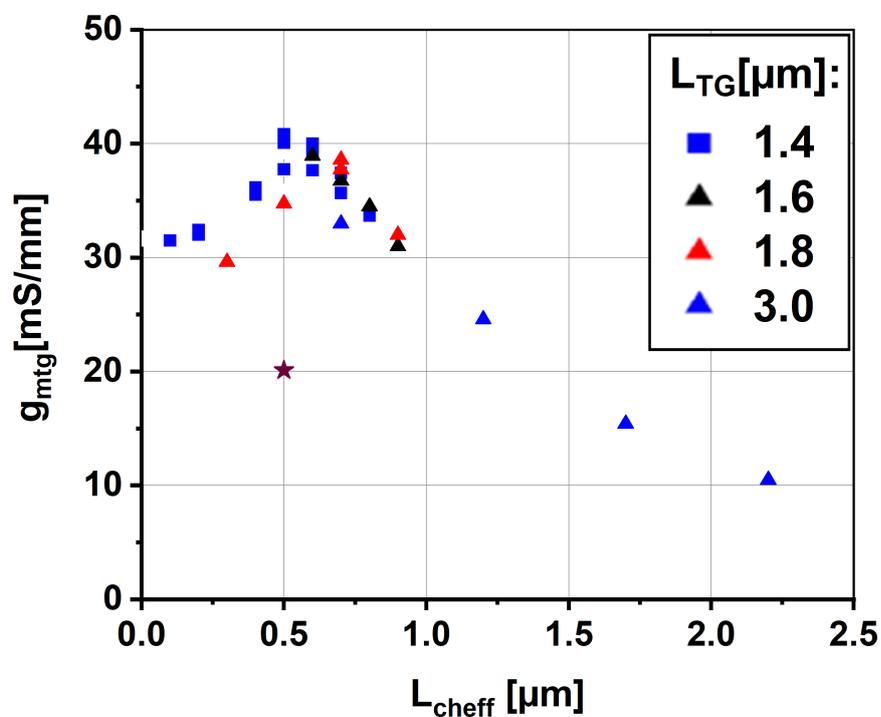


ABBILDUNG 4.4: Gemessene Top-Gate-Transkonduktanz im Arbeitspunkt $V_{tgs} = V_{bgs} = 0$ V, $V_{ds} = 3$ V für variable L_{eff} von JFETs: '120 III,n'. * ist der beste Wert aus [56].

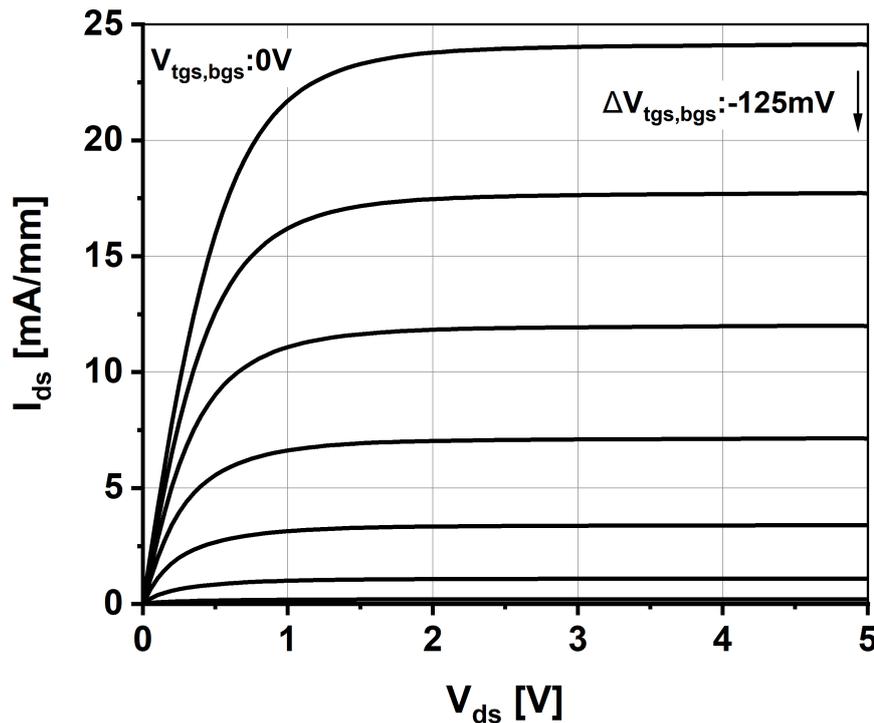


ABBILDUNG 4.5: Ausgangskennlinie mit variabler Gatespannung $V_{tgs}=V_{bgs}$ von 0V Gatespannung bis $-1V$. JFET "120 1.4 0.6 II, p", [55]

4.1.2 Ausgangscharakteristik

In diesem Abschnitt werden Sättigungsstrom und Ausgangswiderstand in Abhängigkeit der effektiven Kanallänge L_{cheff} untersucht, aber auch parasitäre Gateströme aufgrund von Stoßionisation.

Die Ausgangscharakteristik eines typischen JFETs, "120 1.4 0.6 II,p", ist in Abb. 4.5 abgebildet. Wie zu sehen ist, wird auch bei kurzen Kanallängen, hier $0.6\ \mu\text{m}$, die Kanallängenmodulierung durch einen Split-Channel Kanal stark unterdrückt. Eine nähere Untersuchung dazu findet sich weiter unten in diesem Kapitel.

In Abb. 4.6 sind Ausgangscharakteristiken der Struktur "120 1.4 0.6" für verschiedene Splits und Substrate im Arbeitspunkt $V_{tgs}=V_{bgs}=0\ \text{V}$ dargestellt. Wie schon weiter oben gezeigt, bilden die Splits mit n-Substrat eine Gruppe und die mit p-Substrat eine weitere. Split I hat einen höheren Sättigungsstrom als Split II und III.

Für die JFETs, welche auf p-Substrat gefertigt wurden, ist kein Unterschied in der Drainspannung zu erkennen ab der der Stoßionisationsstrom den thermischen Generationsstrom übersteigt. Er ist für die JFETs auf p-Substrat um $0.8\ \text{V}$ kleiner als für die JFETs auf n-Substrat. Für Split "II, n" wurde die höchste Drainspannung, $4.2\ \text{V}$, ermittelt, für die ein Top-Gate-Strom größer als $1\ \text{pA}$ gemessen wird. Bemerkenswert ist Split "III, n". Der exponentielle Gatestromanstieg findet bei der gleichen Drainspannung wie beim Split "I, n" statt, aber der Anstieg ist zunächst flacher und steigt dann wie Split "II, n" an. Das veränderte Verhalten lässt sich auf die zusätzliche

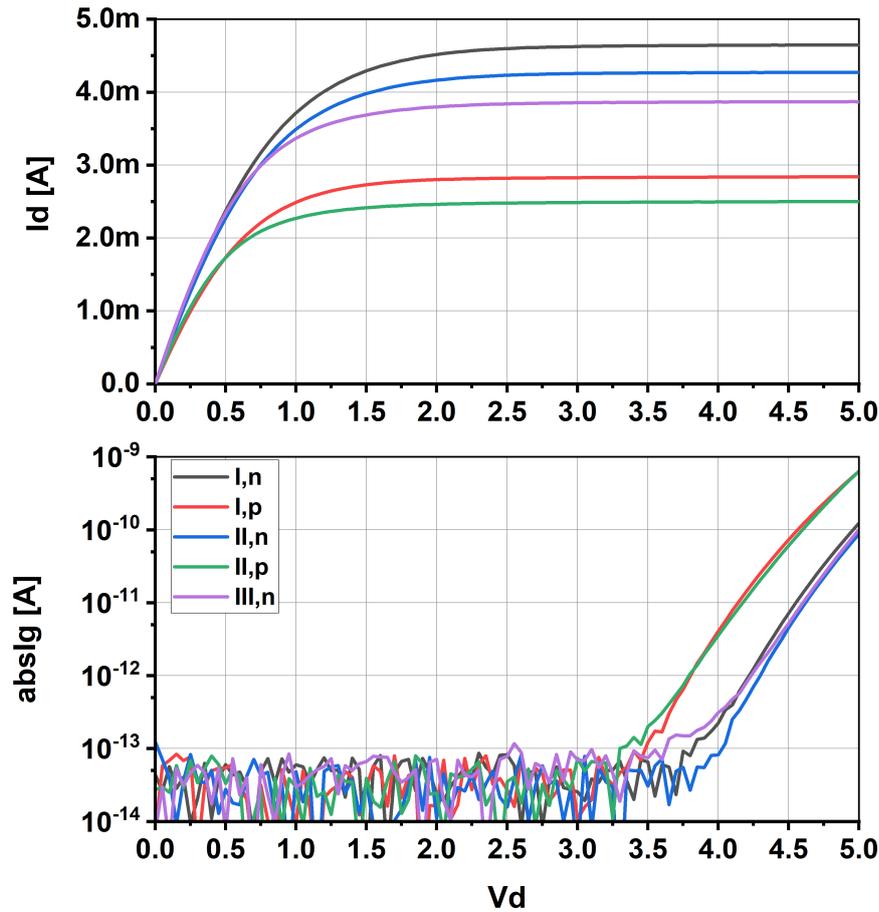


ABBILDUNG 4.6: Ausgangskennlinie im Arbeitspunkt $V_{tgs}=V_{bgs}=0\text{ V}$ von JFETs aus den gefertigten Splits. $L_{tg}:1.4\mu\text{m}$, $L_{eff}:0.7\mu\text{m}$, $W_{tg}:120\mu\text{m}$

Implantation zurückführen welche den Übergang von Main-Channel zu extended-Drain-Channel weicher gestalten und damit die Energie der Ladungsträger, welche vom Main-Channel in den extended-Drain-Channel übergehen, geringer halten soll, vergleiche hierzu Tabelle 3.1. Es ist zu erkennen, dass der Stoßionisationsstrom in Split "III, n" bei niedrigeren Drainspannungen überwiegt, jedoch dann weniger stark mit der Drainspannung ansteigt als bei den anderen beiden Splits. Für höhere Drainspannungen ab 4.5 V zeigt sich jedoch auch, dass die Dosis zu gering gewählt wurde, da der Stoßionisationsstrom dann gleich verläuft wie der von Split "II, n".

In Kapitel 2.4.3 Abb. 2.37 wurden Daten vorgestellt, um einen Zusammenhang zwischen extended-Drain-Channel Länge und der Drainspannung $V_{ds_{Ig1p}}$, bei der 1 pA Top-Gate-Strom fließt, darzustellen. In Abb. 4.7 ist dieser Zusammenhang erweitert dargestellt. Die untersuchten JFETs sind aus Split "I, n". Die Main-Channel und extended-Drain-Channel Implantationen werden separat implantiert. Um einen Übergang von Main-Channel zu extended-Drain-Channel zu schaffen, gibt es einen Überlapp, vgl. Abb. 3.2. Wie im oberen Teil von Abb. 4.7 zu sehen, bewirkt ein größerer Überlapp ein größeres $V_{ds_{Ig1p}}$.

Für einen Überlapp von $0.1\mu\text{m}$ ist $V_{ds_{Ig1p}}$ mindestens um 0.25 V kleiner als die

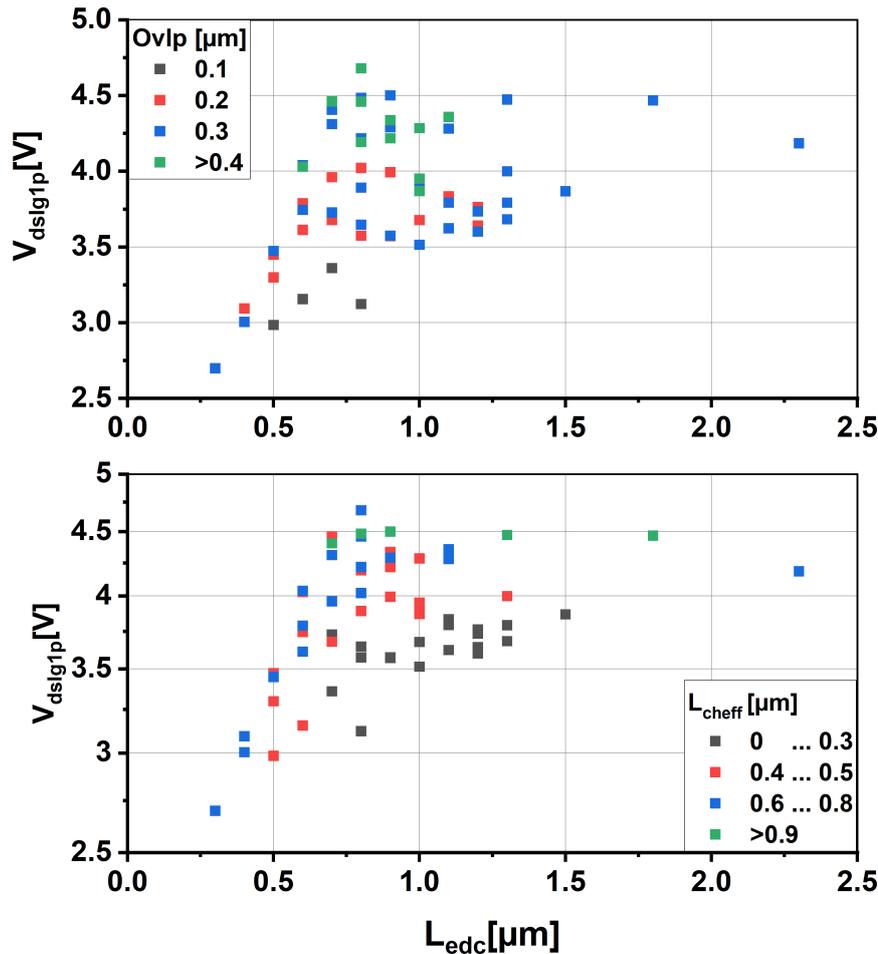


ABBILDUNG 4.7: Auftragung von V_{dsIg1p} über L_{edc} an JFETs mit Top-Gate-Wate $120\ \mu\text{m}$, I,n. Bild oben: Aufteilung nach Überlapp der Main-Channel und extended-Drain-Channel Implantation in μm . Bild unten: Aufteilung nach effektiver Kanallänge.

Werte aus den anderen Gruppen. Die Werte bei denen der Überlapp größer als $0.1\ \mu\text{m}$ ist, streuen stark. Für einen Überlapp von $0.3\ \mu\text{m}$ z.B. streuen die Werte bei $L_{edc} = 0.6\ \mu\text{m}$ von $3.6\ \text{V}$ bis $4.5\ \text{V}$. Die höchsten V_{dsIg1p} ergeben sich für einen Überlapp $> 0.4\ \mu\text{m}$. Im unteren Teil von Abb. 4.7 sind die gleichen Daten in Bereiche von L_{cheff} unterteilt. Es ist zu erkennen, dass für steigendes L_{cheff} auch V_{dsIg1p} steigt bei gegebenem L_{edc} . V_{dsIg1p} für $L_{cheff} < 0.4\ \mu\text{m}$ liegt für fast alle L_{edc} um $0.3\ \text{V}$ unter den Minimalwerten der anderen Gruppen. Die Streuung innerhalb einer Gruppe ist kleiner gegenüber der Gruppierung nach Überlapp. Für $L_{cheff} = 0.4\ \dots 0.5\ \mu\text{m}$ z.B., streuen die Werte bei $L_{edc} = 0.6\ \mu\text{m}$ von $3.7\ \text{V}$ bis $4.5\ \text{V}$. Die Werte der Gruppen $L_{cheff} = 0.6\ \dots 0.8\ \mu\text{m}$ und $L_{cheff} > 0.9\ \mu\text{m}$ unterscheiden sich kaum, sodass davon ausgegangen werden kann, dass für diesen Bereich der Einfluss von L_{cheff} auf V_{dsIg1p} vernachlässigt werden kann. Ein linearer Fit an den linearen Anteil der Gruppe $L_{cheff} = 0.6\ \dots 0.8\ \mu\text{m}$ in Abb. 4.7 ergibt eine Steigung von $3\ \text{V}\ \mu\text{m}^{-1}$ für V_{dsIg1p} in Abhängigkeit von L_{edc} ; der y-Achsen-Schnittpunkt liegt bei $2\ \text{V}$, vgl. Abb. A.7.

Wie schon in Kapitel 2.2 vorgestellt, wachsen Transkonduktanz und Drainstrom

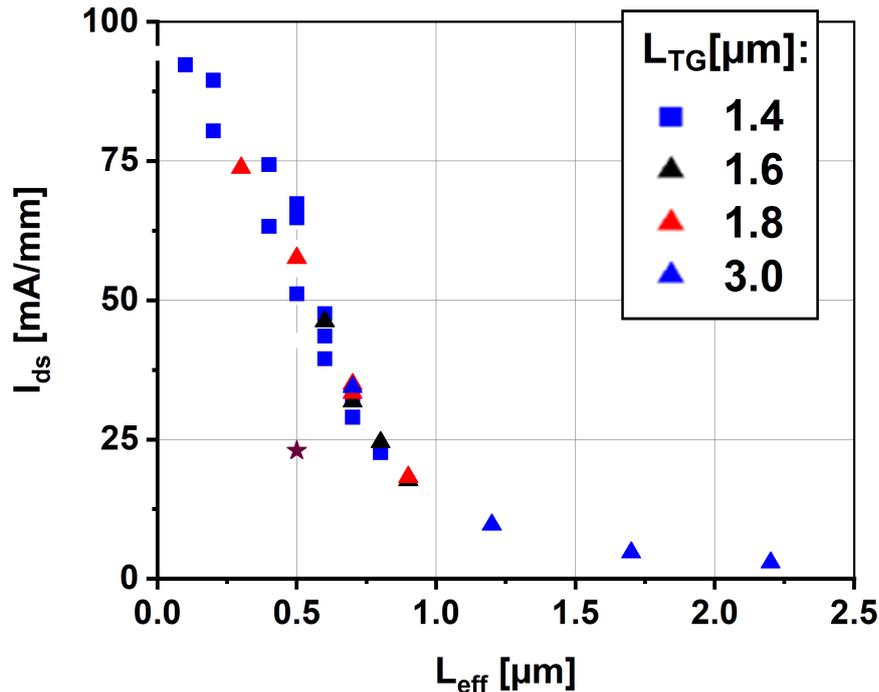


ABBILDUNG 4.8: Gemessener Drainstrom im Arbeitspunkt $V_{tgs}=V_{bgs}=0\text{ V}$, $V_{ds}=3\text{ V}$ von JFETs aus Split "III, n" mit variabler effektiver Kanallänge L_{eff} . $W_{tg}:120\mu\text{m}$, * ist der angegebene Wert aus [56]

bei Gatespannung 0 V , $I_{ds0} := I_{ds}(V_{tg} = V_{bg} = 0\text{ V}, V_{ds} = 3\text{ V})$ mit sinkender effektiver Kanallänge L_{cheff} wie in Abb. 4.4 und Abb. 4.8 gezeigt. Anders als die Transkonduktanz steigt der Sättigungsstrom stetig mit sinkenden L_{cheff} . Allerdings ändert sich auch hier das Steigungsverhalten bezüglich L_{cheff} .

Für $L_{cheff} < 0.7\mu\text{m}$ steigt I_{ds0} linear bis etwa $L_{cheff} = 0.4\mu\text{m}$. Ab $L_{cheff} < 0.4\mu\text{m}$ wird der Anstieg von I_{ds0} flacher. Wohingegen für $L_{cheff} > 0.7\mu\text{m}$ ein Anstieg von $I_{ds0} \propto 1/L_{eff}^x$ mit $x \geq 1$ angenommen werden kann. Der Grund für dieses Verhalten liegt im abnehmenden Verhältnis von $R_{kanal}/(R_{sg} + R_{dg})$ für sinkende L_{cheff} - der Zuleitungswiderstand von Source zu Top-Gate und von Top-Gate zu Drain wird mit sinkenden L_{cheff} vergleichbar groß wie der Kanalwiderstand unter dem Top-Gate.

"*" zeigt als Referenz den besten Wert aus einer aktuellen Veröffentlichung [56]. Die farbigen Symbole verweisen auf die verwendete Top-Gate-Länge. Wie man sieht, ist der erreichte Sättigungsstrom weitestgehend unabhängig von den hier verwendeten Top-Gate-Längen. Die Änderungen von I_{ds0} bei verschiedenen Top-Gate-Längen variieren innerhalb der Streuung der Messswerte.

Oben im Abschnitt wurde darauf verwiesen, dass in Split-Channel JFETs Kurzkanaleffekte wie "Channel-Length-Modulation" stark unterdrückt werden können. Channel-Length-Modulation zeigt sich durch einen verringerten Ausgangswiderstand, da die Kanallänge mit zunehmender Drainspannung abnimmt. In Abb. 4.9 ist die ermittelte intrinsische Verstärkung, $Av_{int} := g_m \cdot r_{out}$, im Arbeitspunkt $V_{tg} = V_{bg} = -0.25\text{ V}$, $V_{ds} = 3\text{ V}$ dargestellt. Die intrinsische Verstärkung ist eine Größe, die angibt, wie groß die maximal erreichbare Verstärkung eines Transistors an einem

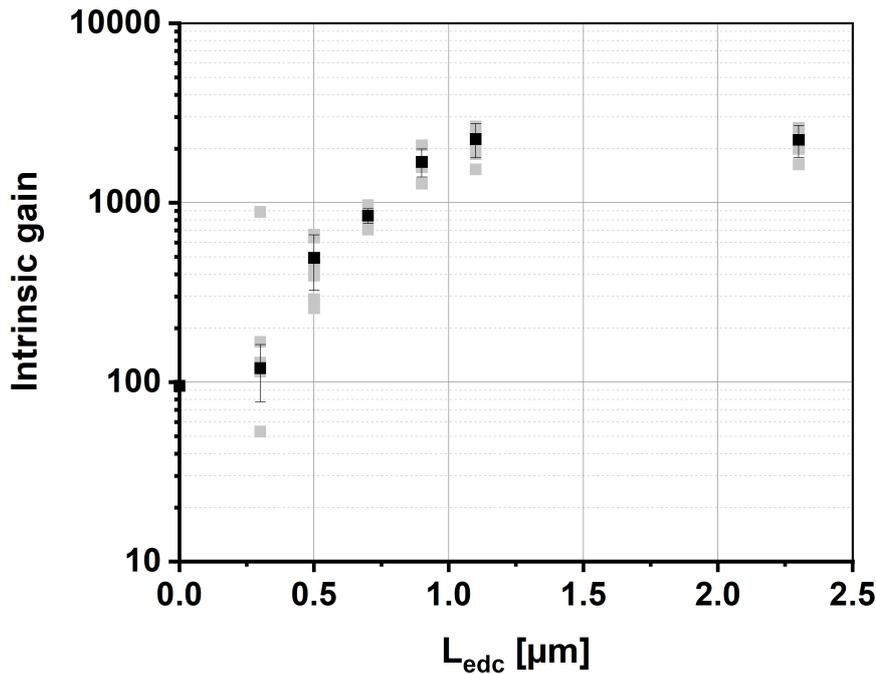


ABBILDUNG 4.9: Gemessene intrinsische Verstärkung, Av_{int} , im Arbeitspunkt $V_{tgs}=V_{bgs}=-0.25$ V, $V_{ds}=3$ V von JFETs aus Split "II, p" mit variabler extended-Drain-Channel Kanallänge L_{edc} . Graue Punkte zeigen einzelne Messwerte, schwarze Punkte zeigen den Mittelwert. Die Fehlerbalken zeigen eine 1- σ Standardabweichung. $L_{eff}:0.7$ μm , $W_{tg}:120$ μm [55]

unendlich großen Widerstand wäre.

In Abb. 4.9 ist für eine feste effektive Kanallänge, $L_{cheff}:0.7$ μm , die extended-Drain-Channel Länge von 0.3 μm bis 2.2 μm variiert worden. Für die kleinste extended-Drain-Channel Länge von 0.3 μm werden ($Av_{int}=120$) erreicht, für die größte Länge, $L_{edc}:2.3$ μm , ($Av_{int}=2200$). Es zeigt sich, dass mit größerer extended-Drain-Channel Länge der Ausgangswiderstand um mehr als den Faktor 10 erhöht werden kann. Ab einer extended-Drain-Channel Länge von 1.1 μm steigt der Ausgangswiderstand nicht mehr weiter, dies entspricht einer Top-Gate-Länge von 1.8 μm für $L_{cheff}:0.7$ μm .

Eine Erklärung für die Verbesserung des Ausgangswiderstands aufgrund des Split-Channels liefert Abb. 4.10 welche den Ausschnitt aus Abb. 2.18 für das Potential noch einmal groß aufträgt. Die graue Markierung zeigt den Übergang von Main-Channel zu extended-Drain-Channel an. Es ist zu erkennen, dass das Potential am Ende des Main-Channel selbst bei steigender Drainspannung nahezu konstant bleibt. Eine Kanallängenmodulation würde bedeuten, dass sich bei steigender Drainspannung die Position des Punkts, an dem das Potential der Abschnürspannung V_{sat} entspricht, immer weiter Richtung Source verschiebt, bzw. sich das Potential am Punkt $x = L_{eff} = 0.7$ μm mit Drainspannung $V_{ds} < V_{sat}$ weiter erhöht.

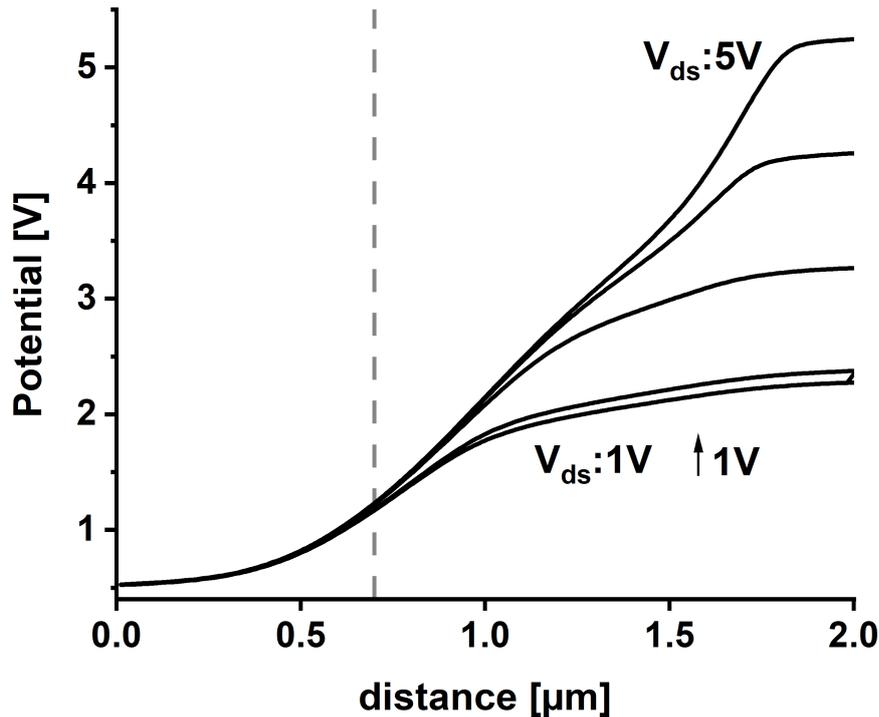


ABBILDUNG 4.10: Simuliertes Potential entlang des Split-Channel Kanals mit variierender Drainspannung von 1 V bis 5 V im Arbeitspunkts $V_{tgs}=V_{bgs}=0$ V. $L_{eff}:0.7 \mu\text{m}$ $L_{tg}:1.4 \mu\text{m}$. Source seitiges Ende Top-Gate $x=0$, Ende Main-Channel ist grau markiert.

4.2 Kapazitäten

Die Eingangskapazität bildet bei Kleinsignalverstärkern eine parasitäre parallele Impedanz zum Gleichstromeingangswiderstand des Verstärkers von Gate zu Drain und Source und verringert damit die Eingangsimpedanz des Verstärkers mit steigender Frequenz. Ein optimaler Verstärker hat die Eingangsimpedanz ∞ . In realen Verstärkern sollte sie zumindest maximiert werden. In Abb. 4.11 ist die Eingangskapazität für einen JFET "120 1.4 0.7 II,n' nach Top- und Backgate aufgetrennt gezeigt. Der Bottom-Gate-Eingang hat eine zum Teil viermal so hohe Kapazität wie der Top-Gate-Eingang. Die Eingangskapazität ist bei Spannung $V_{tgs} = V_{bgs} = V_{ds} = 0$ V für Bottom-Gate 1.1 pF, hingegen hat das Top-Gate 0.3 pF. Daraus lässt sich die Grenzfrequenz, $f_T : = g_m / (2\pi C_{inp})$, für den Fall maximaler Eingangskapazität ermitteln. Die Transkonduktanz wird im Arbeitspunkt $V_{tgs} = V_{bgs} = V_{ds} = 3$ V ermittelt. Für den Fall, dass nur Top-Gate als Eingang gewählt wird, ergeben sich damit $f_T = 2.5$ GHz mit $g_{m_{tg}} = 3.5$ mS, während $f_T = 0.6$ GHz deutlich geringer ist, wenn Top und Bottom-Gate kurzgeschlossen sind mit $g_m = 5.8$ mS. Ein Vergleich mit Literaturwerten findet im Abschnitt 5.3.1 statt.

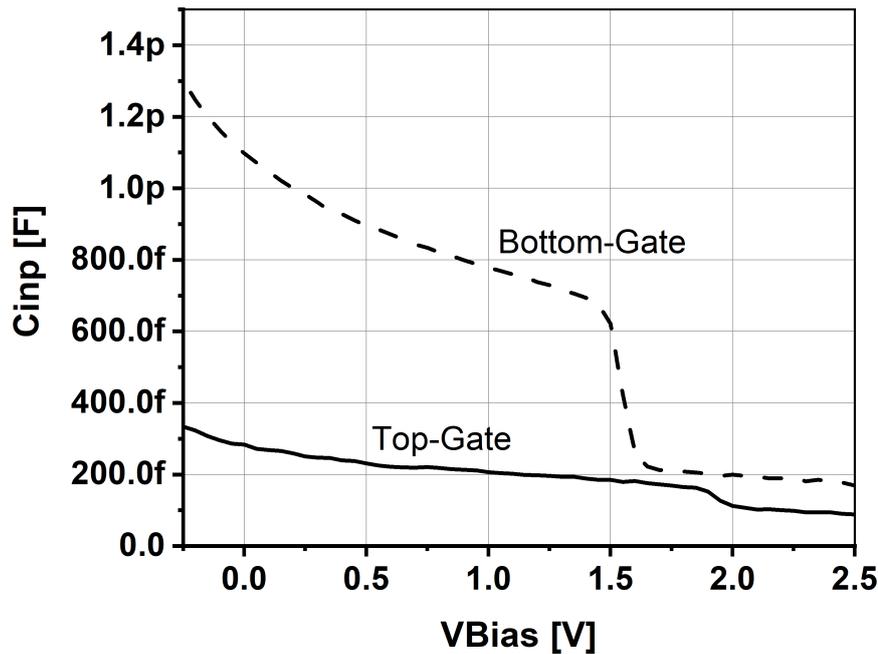


ABBILDUNG 4.11: Gemessene Eingangskapazität von Top- und Bottom-Gate eines JFETs. $L_{tg}:1.4 \mu\text{m}$, $L_{eff}:0.7 \mu\text{m}$, $W_{tg}:120 \mu\text{m}$ [55]

4.3 Statistische Analyse

Für Endanwender ist es wichtig zu wissen, in welchen Grenzen die Bauteile, die sie verwenden, in ihren elektrischen Parametern streuen. Dafür wird die Streuung von Schlüsselparametern, die für die Anwendung wichtig sind, innerhalb einzelner Wafer und von Wafer zu Wafer verglichen. Hierbei wird meistens auf Gleichstromparameter zurückgegriffen, da diese schnell und präzise mit wenig Aufwand gemessen werden können.

Im Folgenden werden die Ergebnisse zu den Messungen exemplarisch an einer Wafermap und anhand von Verteilungen für die Parameter I_{ds0} und V_{ds1g1p} dargestellt. I_{ds0} ist der Drainstrom bei $V_{tg} = V_{bg} = 0\text{V}$, $V_{ds} = 3\text{V}$, V_{ds1g1p} ist die Drain-Spannung, bei der der Top-Gate-Strom 1 pA beträgt, bei $V_{tg} = V_{bg} = 0\text{V}$. In Abb. 4.12 und 4.13 sind beispielhaft eine Heatmap für I_{ds0} und eine weitere für V_{ds1g1p} für eine JFET-Struktur mit Top-Gate-Weite $120 \mu\text{m}$, Top-Gate-Länge $1.4 \mu\text{m}$ und effektiver Kanallänge $0.6 \mu\text{m}$ aus Split "I,n" dargestellt. Der Notch des Wafers ist bei ($Y=20$, $X=4$).

Für I_{ds0} ist eine links-rechts Aufteilung erkennbar. Auf der rechten Seite liegt I_{ds0} höher als auf der linken Seite. I_{ds0} hängt von der Abschnür- und damit indirekt von der Schwellspannung des Transistors ab. Der gemessene Arbeitspunkt liegt im Sättigungsbereich des Transistors. Wie in Kap. 1.1.2 erläutert, hängt der Strom im Sättigungsbereich quadratisch von der Schwellspannung V_{th} ab. Für V_{ds1g1p} ist eine oben-unten Aufteilung erkennbar.

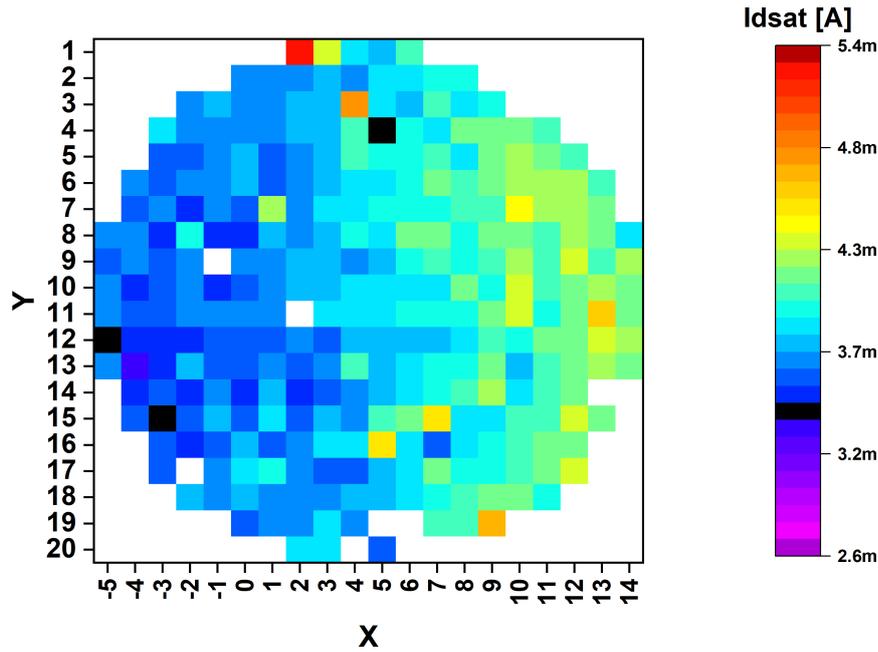


ABBILDUNG 4.12: Verteilung von I_{ds0} über einen Wafer. JFETs mit Top-Gate-Weite $100\ \mu\text{m}$, Top-Gate-Länge $1.4\ \mu\text{m}$ und effektiver Kanallänge $0.6\ \mu\text{m}$ aus Split "I,n"

Eine Schwellspannungsänderung kann auf mehrere Ursachen zurückgeführt werden:

- Veränderte effektive Kanallänge
- Veränderte Kanaldotierung
- Veränderte Kanaldicke

Die effektive Kanallänge wird durch eine Lackmaske festgelegt. Abweichungen in diesem Parameter würden sich durch ein auf dem Wafer veränderndes Lackmaß zeigen. Eine veränderte Kanaldotierung würde sich durch eine Änderung der Implantationsdosis über den Wafer zeigen. Allerdings liegen die Genauigkeiten von Implantern bezüglich Dosis im unteren einstelligen Prozentbereich [58]. Die letzte und wahrscheinlichste Annahme betrifft die Kanaldicke. Die Kanaldicke kann schwanken, wenn die Top-Gate oder Bottom-Gate Dotierung mehr oder weniger diffundiert. Besonders für die Top-Gate-Dotierung ist der größte Einfluss zu erwarten. Da sie um das 100- bis 1000-fache größer als die Kanaldotierung ist, hat dort eine Änderung der Bor-Diffusion einen sehr großen Einfluss auf die verfügbaren Ladungsträger im Kanal, vgl. hierzu Kap 2.22. Eine ungleichmäßige Temperaturverteilung im Diffusionsofen, wo die Implantationen ausgeheilt werden, kann zu solchen Unterschieden im Diffusionsverhalten führen.

In Abb 4.14 bis 4.16 sind die Verteilungen der Wafermessungen für I_{d0} , g_{m0} und $V_{dsI_{g1p}}$ aufgetragen. Auffällig ist, dass I_{d0} und $V_{dsI_{g1p}}$ nicht symmetrisch verteilt um ihre maximalen Häufigkeit sind, g_{m0} jedoch schon. Eine erwartete hohe Korrelation $Korr(\sqrt{I_{d0}}, g_{m0})$ ist mit einem Korrelationskoeffizienten von 0.69 erstaunlich gering.

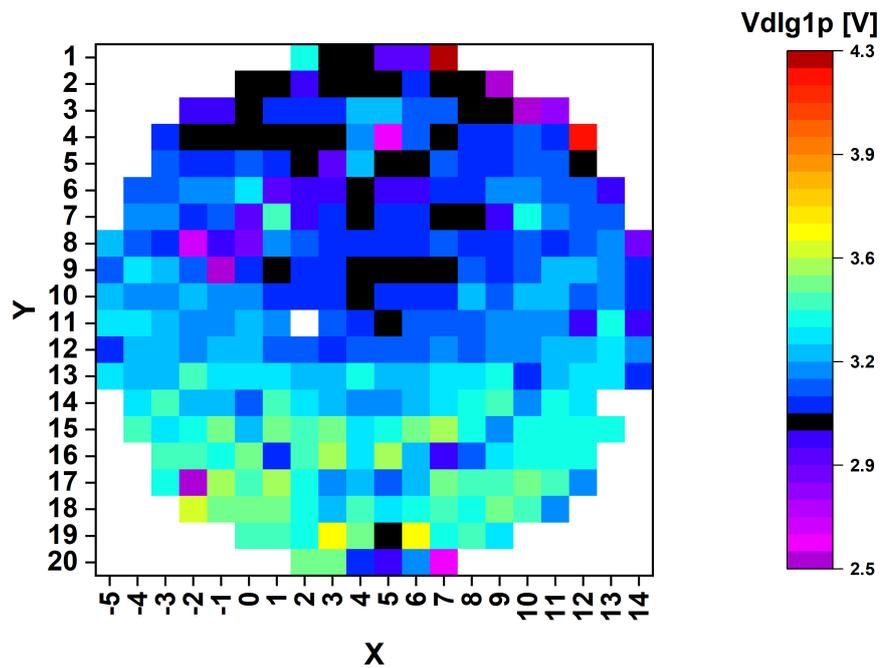


ABBILDUNG 4.13: Verteilung von V_{dlg1p} über einen Wafer. JFETs mit Top-Gate-Weite $120\ \mu\text{m}$, Top-Gate-Länge $1.4\ \mu\text{m}$ und effektiver Kanallänge $0.6\ \mu\text{m}$ aus Split "I,n"

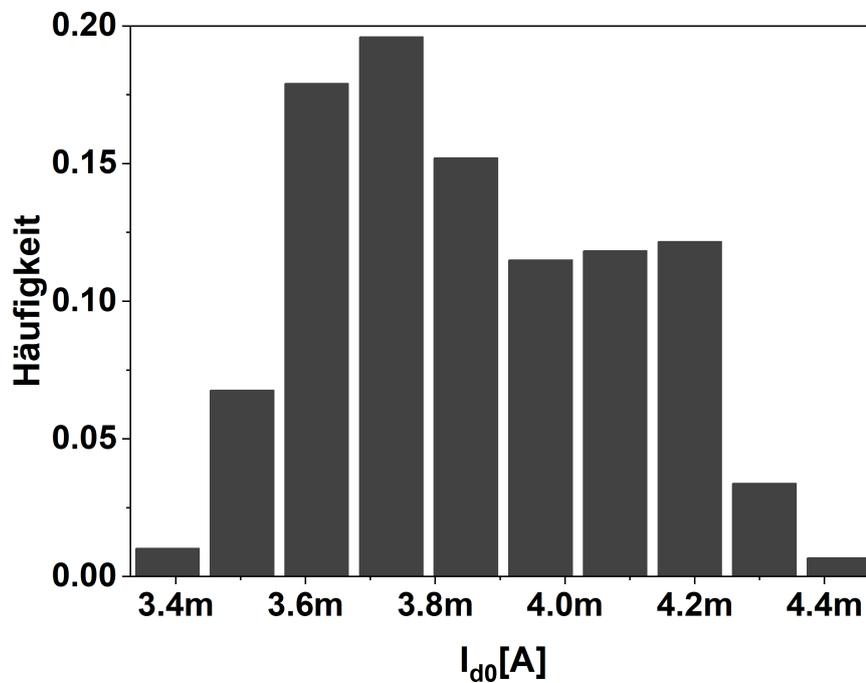


ABBILDUNG 4.14: Verteilung von I_{d0} über einen Wafer. JFETs mit Top-Gate-Weite $120\ \mu\text{m}$, Top-Gate-Länge $1.4\ \mu\text{m}$ und effektiver Kanallänge $0.6\ \mu\text{m}$ aus Split "I,n"

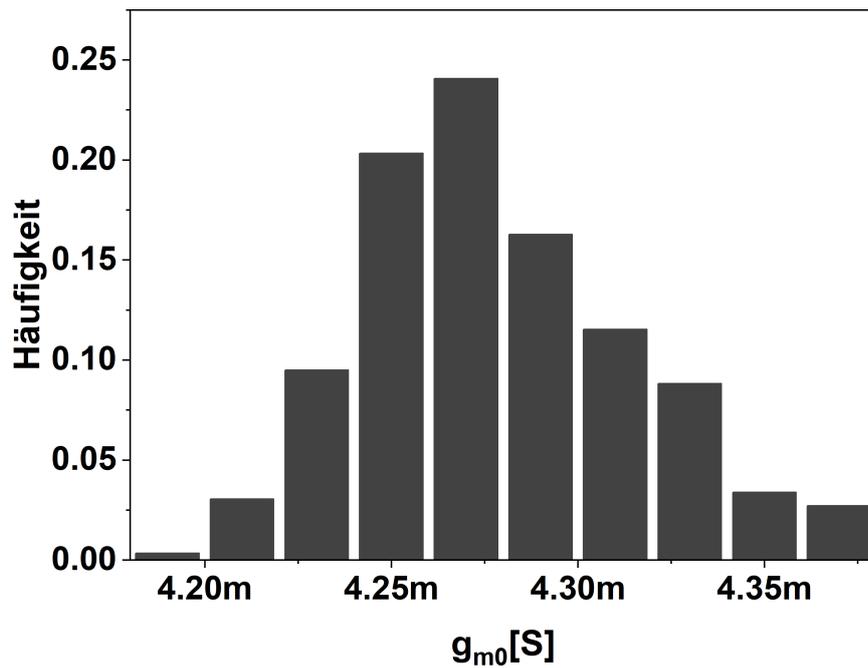


ABBILDUNG 4.15: Verteilung von $V_{dI_{g1p}}$ über einen Wafer. JFETs mit Top-Gate-Weite $120\ \mu\text{m}$, Top-Gate-Länge $1.4\ \mu\text{m}$ und effektiver Kanallänge $0.6\ \mu\text{m}$ aus Split "I,n"

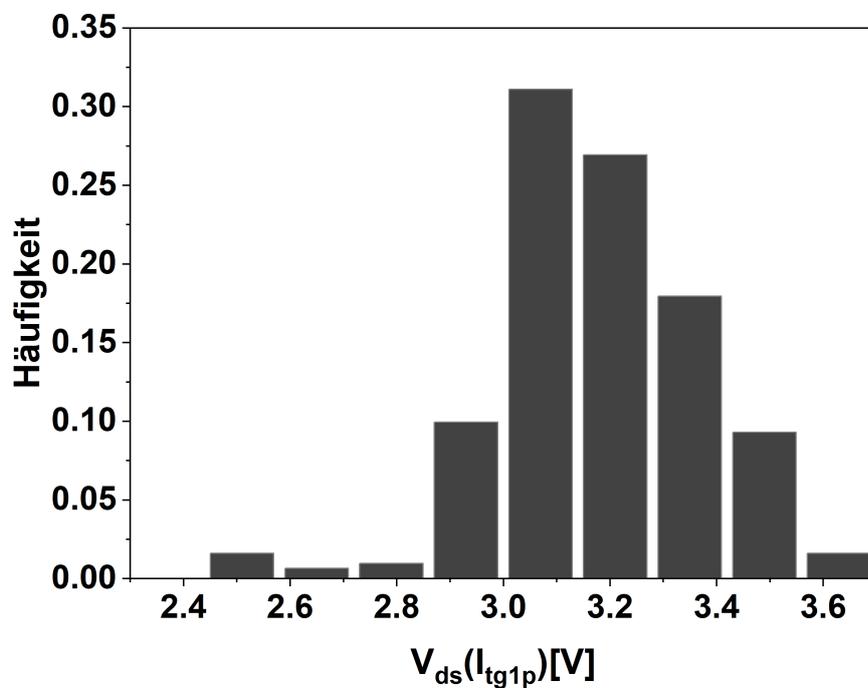


ABBILDUNG 4.16: Verteilung von $V_{dsI_{g1p}}$ über einen Wafer. JFETs mit Top-Gate-Weite $120\ \mu\text{m}$, Top-Gate-Länge $1.4\ \mu\text{m}$ und effektiver Kanallänge $0.6\ \mu\text{m}$ aus Split "I,n"

	g_{m0}	I_{d0}	$V_d(I_{d0})$
	[mS]	[mA]	[V]
Mittelwert	4.15	3.86	3.19
Q(0.5)	4.27	3.85	3.83
Standardabweichung σ	0.041	0.244	0.2
$\Delta Q(0.9)-Q(0.1)$	0.11	0.66	0.45
$\Delta Q(0.83)-Q(0.17)$	0.07	0.53	0.35
$\Delta[Q(0.9)-Q(0.1)]/\text{mean}$	0.026	0.171	0.142
$\Delta[Q(0.83)-Q(0.17)]/\text{mean}$	0.016	0.138	0.11

TABELLE 4.1: Statistische Größen der Wafermap an JFETs mit Top-Gate-Weite 120 μm , Top-Gate-Länge 1.4 μm und effektiver Kanallänge 0.6 μm aus Split "I,n". Q steht für Quantil

Der Korrelationskoeffizient $Korr(\sqrt{I_{d0}}, V_{ds_{I_{d0}}})$ beträgt 0.056. Es ist also fast keine Korrelation zwischen den gemessenen Werten von I_{d0} und $V_{ds_{I_{d0}}}$ vorhanden. Da aufgrund eines graphischen Tests, dem Q-Q-Plot, vgl. Abb. A.4 A.5 A.6, nicht eindeutig geklärt werden kann, ob eine Standardverteilung für die hier aufgeführten Größen vorliegt, wird neben dem Mittelwert und Standardabweichung auch Quantile angegeben. Tabelle 4.1 gibt eine Übersicht über die statistische Größen. Neben Mittelwert, Standardabweichung und Median, Q(0.5), sind auch die Differenz des Quantils 0.9 zum Quantil 0.1, also eine Breite, die 80 % der gemessenen Werte sowie die Differenz des Quantils 0.83 zum Quantil 0.17, also eine Breite von 66 % der gemessenen Werte symmetrisch zum Median beinhaltet, angegeben.

Bemerkenswert ist der Unterschied zwischen den relativen Breiten $\Delta[Q(0.83)-Q(0.17)]/\text{mean}$ bzw. $\Delta[Q(0.83)-Q(0.17)]/\text{mean}$ von I_{d0} zu g_{m0} . Der Wert für g_{m0} ist deutlich niedriger als der für I_{d0} oder $V_{ds_{I_{d0}}}$. In Abschnitt 4.1.1 wurde ebenfalls I_{d0} für verschiedene effektive Kanallängen und Top-Gate-Längen aufgetragen. Die Werte in diesem Graph streuen ebenfalls stärker als die für die Transkonduktanz. Es scheint so, als wäre der Drainstrom stärker von Schwankungen betroffen. Dies deckt sich mit der Beobachtung von I_{d0} und g_{m0} bei verschiedenen Splits, wie weiter oben im Kapitel dargestellt.

$V_{ds_{I_{d0}}}$ hat eine etwas geringere Streubreite als I_{d0} , streut aber ebenfalls stärker als g_{m0} . Eine Variation von $V_{ds_{I_{d0}}}$ kann durch folgende Ursache hervorgerufen werden: Die Abschnürspannung des extended-Drain-Channel ist zu niedrig und es kommt am drainseitigen Ende des extended-Drain-Channel zu Stoßionisation. Abschnürspannungen sind stark von der Geometrie des Kanals abhängig. Wie schon weiter oben erwähnt, kann es sein, dass durch unterschiedliche Diffusion über den Wafer diese Schwankungen auftreten.

4.4 Rauschen

4.4.1 Messung

Das Rauschen der JFETs wurde im Frequenzbereich 1 Hz bis 1 MHz gemessen. Messungen zu frequenzabhängigen Rauschen wurden im Bereich 1 Hz bis 100 kHz, die für frequenzunabhängiges Rauschen zwischen 1 kHz bis 1 MHz durchgeführt. Für die Messungen wurde ein Rauschmesssystem, E4727A Advanced Low-Frequency Noise Analyzer, der Firma Keysight verwendet. Es wird zusammen mit einem B1500A Mainframe, welches für die DC-Vorabcharakterisierung und Gleichspannungsversorgung verwendet wird, betrieben. Mit diesem System werden nur die Rauschströme auf der Drainseite erfasst. Das Eigenrauschen der beteiligten Verstärker wird vorab an Kurzschlusssteckern gemessen und abgespeichert. Aufgrund der Eingangskapazität des Verstärkers und der Kabel vom Bauteil zum Verstärker in Kombination mit dem Lastwiderstand, R_{Load} , wirkt ein Tiefpass erster Ordnung am Drain.

$$U_a = \frac{U_e}{\sqrt{1 + (\omega CR)^2}}$$

Da das Eigenrauschen des Verstärkers bei nur $0.6 \text{ nV}/\sqrt{\text{Hz}}$ liegt, ist dieser Anteil meistens vernachlässigbar. Neben dem Verstärkerrauschen sollte aber auch der Anteil des Lastwiderstands minimiert werden. Der Beitrag des Lastwiderstands kann minimiert werden indem dieser möglichst hoch gewählt wird. Die Spannungsverstärkung an Drain des Bauteils ist linear, der Rauschbeitrag steigt lediglich mit der Wurzel des Lastwiderstands. Da der Lastwiderstand jedoch die Grenzfrequenz des Tiefpasses senkt, muss ein Kompromiss zwischen Widerstandsrauschen und Frequenzbereich gefunden werden. Weiterhin kann bei bekannten Anteilen des Tiefpasses dessen Effekt herausgerechnet werden. Da sehr kleine Signale gemessen werden, ist es unabdingbar für konstante, störungsfreie Bedingungen zu sorgen. Um gleichbleibende Kontakte zu gewährleisten und Störsignale zu unterdrücken, wurde ein sogenanntes Testfixture verwendet: Eine Metallbox mit vier SMA Typ A Schraubanschlüssen für die Signalleitungen mit einer hochqualitativen Weiterverdrahtung im inneren der Box zu einer "Zero insertion force" Bauteilaufnahme.

Die Probenchips werden vorab per Aludrahtbond mit den Goldpads einer Adapterplatine verbunden, deren vergoldete, angelötete Pins in die Bauteilaufnahme passen. Für die meisten Messungen wurde der Arbeitspunkt $V_{ig} = V_{bg} = 0\text{V}$, $V_{ds} = 3\text{V}$ gewählt. Die Ergebnisse für diesen Arbeitspunkt sind in Tabelle 4.2 aufgelistet. Die Transkonduktanz bezieht sich auf das Top-Gate, außer bei der Struktur "100 1.3 normal CG pwell", wo eine separate Ansteuerung der Gates nicht möglich ist. Hier sind Top- und Bottom-Gate per Design zusammengeschlossen.

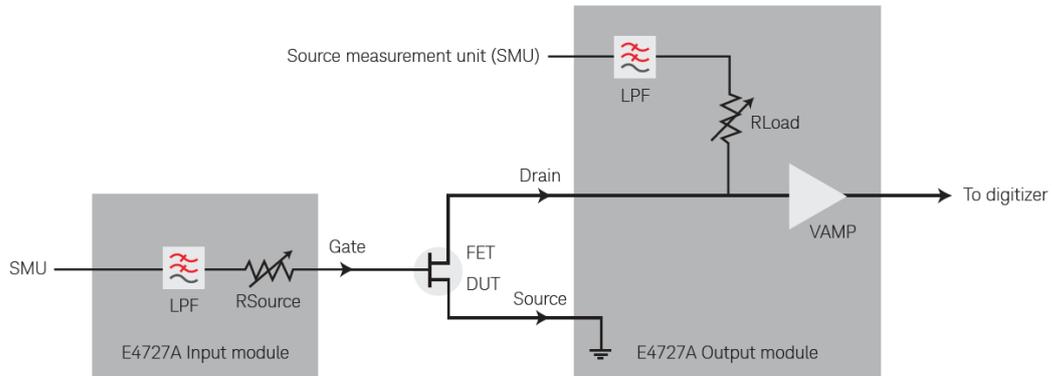


ABBILDUNG 4.17: Schematische Darstellung des Messaufbaus einer Rauschmessung mit dem Keysight E4727A Advanced Low-Frequency Noise Analyzer [59].

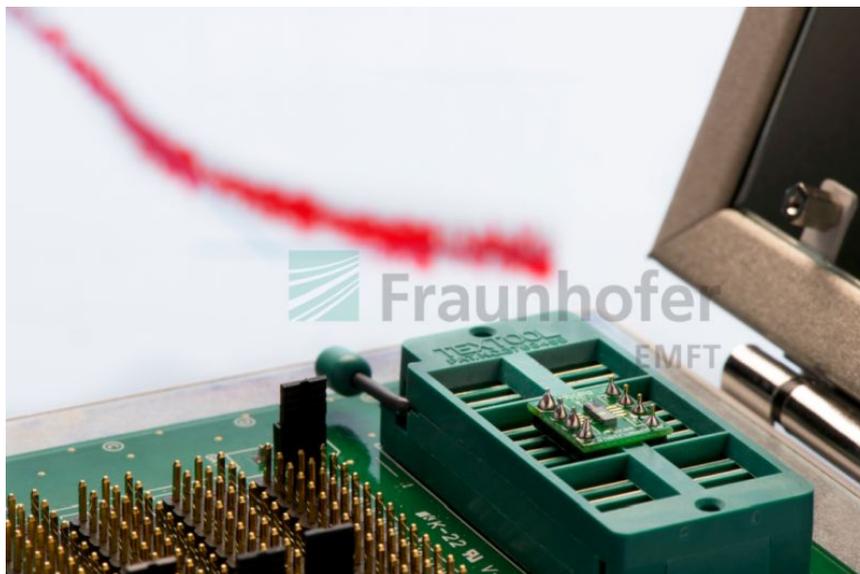


ABBILDUNG 4.18: Probenhalter und Testfixture, welches für die Rauschmessungen verwendet wurde. ©FraunhoferEMFT

Struktur	Split	Gatek.	Ids [mA]	gm [mS]	f _c [kHz]	en	
						en _{100Hz} [$\frac{nV}{\sqrt{Hz}}$]	en _w [$\frac{nV}{\sqrt{Hz}}$]
100 1 CH	FSNA	CG	8.3	3.45	0.4	14	5.2
100 1.4 0.6	I, n	MG	2.2	3.5	1	45	3.3
100 1.4 0.6	II, p	MG	1.77	3.5	0.7-3	27	2.8
100 1.3 normal §	HRFET	CG pwell	0.91	1.8	0.1	7.3	6.5
100 1.4 0.7 °	II, p	MG	1.3	5.1	-	-	1.9
100 1.4 0.7 °	I, p	CG	2.11	6	-	-	2.1
400 1 0.65 *	0, n	CG	6.7	11.8	0.4	6	2.9
500 1.4 0.6 †	I, p	MG	10	17	100	47	1.5
500 1.4 0.7 *	II, p	MG	7.4	14	0.4-3	23.6	1.5

TABELLE 4.2: Übersicht über exemplarische Rauschmessungen verschiedener Strukturen. Als Arbeitspunkt gilt für alle Strukturen: $V_{tg} = V_{bg} = 0V, V_{ds} = 3V$. Die angegebenen Werte beziehen sich auf Rauschen bei Verwendung des Top-Gates als Eingang. Für Struktur "100 1.3 normal CG pwell" ist eine separate Ansteuerung der Gates nicht möglich. Hier sind Top- und Bottom-Gate zusammengeschlossen. Für die Messungen welche mit "°" gekennzeichnet sind, wurde Top und Bottom-Gate kurzgeschlossen. Die mit "+" gekennzeichnete Messung hat als Metallisierung AlCu erhalten. Die mit Asterisk, *, gekennzeichneten Messungen wurden im Rahmen der Validierung des EMFT JFETs von Peter Vogl und Mitarbeitern von Josef Kölbl an der TH-Deggendorf bestätigt [60]. Die Eigenschaft "CG" bzw. "MG" bezeichnet die Art wie das Top-Gate kontaktiert wurde. "CG pwell" bedeutet, dass ein einzelner Punktkontakt im P-Wannenbereich gesetzt wurde, Abb. 4.19 A. "CG" bedeutet, dass einzelne Punktkontakte gesetzt wurden, Abb. 4.19 B. "MG" bedeutet, dass ein durchgehender Kontakte entlang der gesamten Gateweite gesetzt wurde, Abb. 4.19 C. Bei der mit § gekennzeichneten Messung wurden Nadeln(DCP-HTR von Cascade Microtech) anstatt Bonddrähte verwendet.

4.4.2 Frequenzabhängiger Rauschanteil

Auf eine Abbildung des frequenzabhängigen Rauschens wird im Bauteilsimulator verzichtet, da der Schwerpunkt dieser Arbeit auf der Untersuchung des frequenzunabhängigen Rauschanteils liegt.

In Tabelle 4.2 befinden sich die Spalten " f_c ", die flicker-corner Frequenz, und " $en_{1/f, f = 100\text{Hz}}$ ", die auf den Eingang bezogene Rauschspannung bei 100 Hz, für verschiedene Prozessvarianten und Designs. Auffällig ist die große Spanne der flicker-corner-Frequenz zwischen 100 Hz bis 100 kHz. Am Prozess selbst wurden keine grundlegenden Änderungen vorgenommen. Es zeigt, wie stark das 1/f Rauschen von einzelnen Prozessschritten, aber auch vom Design der Bauteile abhängen kann. Allerdings muss auch beachtet werden, dass die hier gezeigten Ergebnisse nur eine Stichprobe darstellen.

Herausstechend ist, wie auch an anderen Proben so gemessen, die hohe flicker-corner-Frequenz für die Probe welche Aluminium-Kupfer mit Kupferanteil von 0.5% „AlCu, als Metallisierung erhalten hat, "500 1.4 0.6⁺; IL,p; MG ". Bei dieser Probe wurde die Metallisierung außer Haus aufgebracht. Vor dem Metallsputtern wurde ein RTP-Schritt bei 700 °C durchgeführt um die Barriere, bestehend aus Ti/TiN, zu silizidieren. Die genauen Bedingungen, die für das Sputtern verwendet wurden, sind nicht bekannt. Es ist allerdings möglich, dass die Korngröße der AlCu-Schicht kleiner ist, als die der am EMFT gesputterten AlSi-Schicht. In der Literatur ist ein Zusammenhang zwischen zunehmenden 1/f-Rauschen bei abnehmender Korngröße berichtet worden [61]. In der Literatur wird für AlCu ein geringerer Beitrag zum 1/f-Rauschen als für Aluminium bei gleicher Korngröße berichtet [61]. Ob der RTP-Schritt oder andere Einflussfaktoren zum erhöhten 1/f Rauschen beitragen, kann hier nicht geklärt werden.

Ebenfalls bemerkenswert ist, dass sich die flicker-corner-Frequenzen für Strukturen mit Gatekontakten, die als Punkt- oder Linienkontakt ausgeführt wurden, unterscheiden. Die flicker-corner-Frequenz für Linienkontakte liegt bei 0.7 bis 3 kHz, die für Punktkontakte bei 0.4 kHz. Besonders interessant ist hier ein Vergleich mit der Struktur "100 1.3 normal CG pwell". Bei dieser liegt der Kontakt außerhalb des Kanalgebiets in der p-Wanne wo Top- und Bottom-Gate kurzgeschlossen sind. Diese Struktur hat die niedrigste flicker-corner-Frequenz im gesamten Vergleich und der Unterschied zwischen weißem Rauschen und dem Rauschen bei 100 Hz ist lediglich $0.8 \text{ nV} / \sqrt{\text{Hz}}$. Die Kontaktlöcher werden trocken mittels Plasmaätzung erzeugt. Daraus ergibt sich die Schlussfolgerung, dass die Ätzung des Kontaktlochs mittels Plasma eine Veränderung im Bereich der Top-Gate-Dotierung bewirkt, welche 1/f-Rauschen hervorruft.

Eine andere Erklärung könnte noch in der Prozessführung liegen. Für die Struktur "100 1.3 normal CG pwell" wurde als Bottom-Gate eine p-Wanne verwendet. Diese wird über eine flache Implantation und anschließende Diffusion erzeugt. Alle anderen JFET-Strukturen in dieser Arbeit wurden mit einer tief implantierten Wanne realisiert, welche bei deutlich niedrigeren Annealing-Temperaturen und weniger

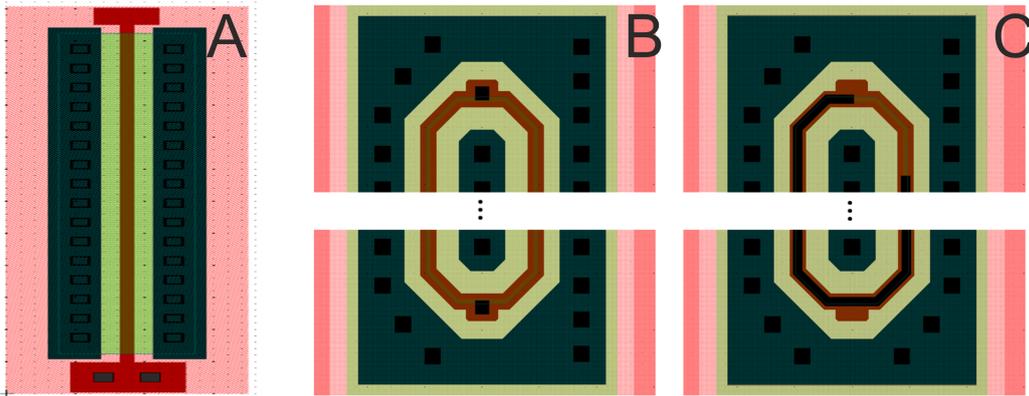


ABBILDUNG 4.19: Darstellung der Gatekontakte aus Kapitel 3.5.
 A: 100 1.3 normal CG pwell, B: Punktkontakte am Top-Gate, C: Linienkontakt am Top-Gate

Annealing-Zeit ausgeheilt wurde. Allerdings wurden auf dem gleichen Wafer mit der Struktur "100 1.3 normal CG pwell" an MC-JFET-Strukturen Rauschmessungen durchgeführt, wo das Gate über Punktkontakte im Kanalbereich, wie bei den "CG" Strukturen aus Tabelle 4.2, ankontaktiert wird. Bei diesen Strukturen war die ermittelte flicker-corner-Frequenz deutlich höher und lag im Bereich von 1 kHz, siehe Anhang Abb. A.11.

In diesem Rahmen sei auch hinzugefügt, dass bei Messungen an Strukturen auf unterschiedlichen Wafern, bei denen das Annealing nach der Top-Gate-Implantation unterschiedlich durchgeführt wurde, kein Unterschied im $1/f$ -Rauschen festgestellt werden konnte, siehe Anhang Abb. A.11.

4.4.3 Frequenzunabhängiger Rauschanteil

Der frequenzunabhängige Rauschanteil wird auch als weißes Rauschen bezeichnet. Im hier betrachteten Frequenzbereich treten vor allem thermische Rauschquellen auf:

- thermisches Kanalrauschen: Rauschen welches aufgrund der thermischen Bewegung der Ladungsträger im Kanal erzeugt wird [12].
- thermisches Rauschen von Zuleitungswiderständen: Das thermische Rauschen von Zuleitungswiderständen in den Gates, Source und Drain des Transistors wirken sich unterschiedlich auf das am Ausgang des Transistors gemessene Rauschen aus [11][62][63].
- Schrotrauschen aufgrund von Dotierstoffen: Da, für Elektronen, die Energieniveaus der Dotierstoffe unterhalb der Leitungsbandkante liegt, wird hier ein Schrotrauschen beim Besetzen bzw. Entleeren des Energieniveaus erzeugt. Die Charakterisierung findet in dieser Arbeit bei Raumtemperatur statt, sodass dieser Rauschanteil vernachlässigbar klein ist [64].

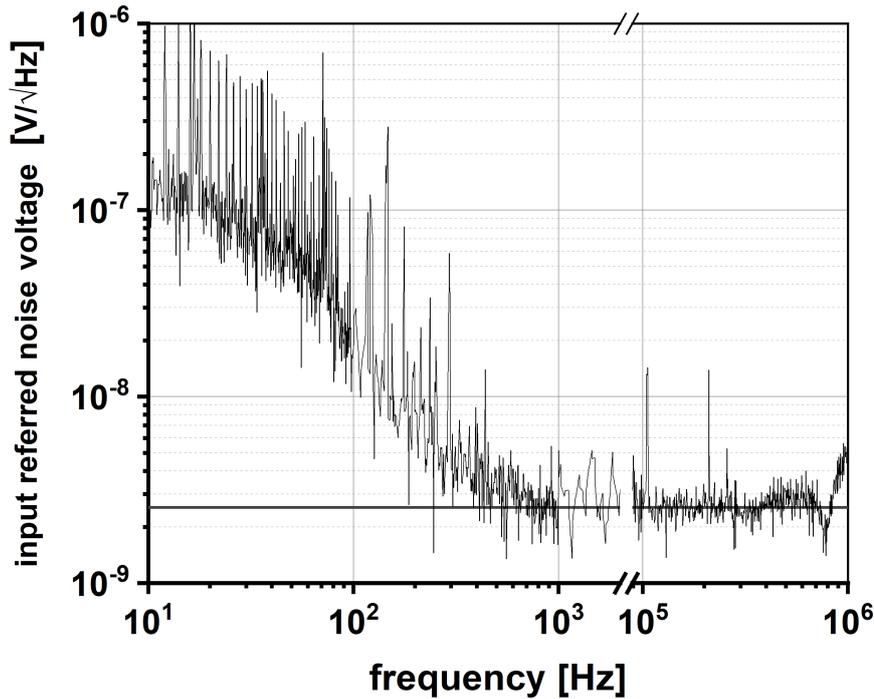


ABBILDUNG 4.20: Beispiel der äquivalenten Eingangsräuschspannung eines JFET mit $W_{tg}:120\ \mu\text{m}$, $L_{tg}:1.8\ \mu\text{m}$, $L_{eff}:0.7\ \mu\text{m}$ aus Split "IL,p" im Arbeitspunkt $V_{tgs}=V_{bgs}=0\ \text{V}$, $V_{ds}=3\ \text{V}$ [55]

Rauschen aufgrund von Zuleitungswiderständen der Gates

Zunächst sollen die Ergebnisse aus Tabelle 4.2 erörtert werden. Wie in Kapitel 1.3.1 dargestellt, hängt für einen Feldeffekttransistor das weiße Rauschen zunächst von dessen Transkonduktanz ab, vgl. Gl. 1.22, welche hier zur Erinnerung noch einmal dargestellt ist.

$$\overline{S_{V_g}^2} = \frac{k_b T}{g_{max}} Q(x, y) \Delta f \quad (4.1)$$

Ein Vergleich mit Tabelle 4.2 zeigt, dass für gleiches g_m verschiedene Rauschspannungen gemessen wurden. Im Abschnitt 1.3.2 wurde das erhöhte thermische Rauschen von JFETs mit kurzer Kanallänge, im Abschnitt 1.3.6 der Rauscheintrag parasitärer Widerstände erörtert. Die Strukturvarianten mit "MG" Gatekontakt haben jeweils ein geringeres weißes Rauschen als Strukturen mit "CG" Gatekontakt bei vergleichbarer Transkonduktanz. Die Strukturen mit p-Substrat haben weiterhin ein geringeres Rauschen als die gleiche Struktur mit n-Substrat. Unter der Annahme, dass Zuleitungswiderstände von Source und Drain vernachlässigbar klein sind gegenüber dem Kanalwiderstand, kann das weiße Rauschen, wie im Abschnitt 1.3.6 schon dargestellt, nach [13] folgendermaßen berechnet werden:

$$S_{Id} = (4k_b T g_{d0} \gamma_{sat} + 4k_b T R_{tg} g_{tg_{max}}^2 + 4k_b T R_{bg} g_{bg_{max}}^2) \Delta f \quad (4.2)$$

Bezogen auf beide Gates ergibt sich das Spektrum der Eingangsrauschspannungsdichte

$$S_{en} = \left(\frac{4k_b T \alpha_{sat}}{g_{max}} + 4kTR_{tg} \frac{g_{tg_{max}}^2}{g_{max}^2} + 4kTR_{bg} \frac{g_{bg_{max}}^2}{g_{max}^2} \right) \Delta f \quad (4.3)$$

Bezogen auf das Top-Gate ergibt sich das Spektrum der Eingangsrauschspannungsdichte

$$S_{en_{tg}} = \left(\frac{4k_b T \alpha_{sat} g_{max}}{g_{tg_{max}}^2} + 4kTR_{tg} + 4kTR_{bg} \frac{g_{bg_{max}}^2}{g_{tg_{max}}^2} \right) \Delta f \quad (4.4)$$

Beziehungsweise

$$S_{en_{g/tg/bg}} = \frac{\overline{S_{id}^2}}{g_{m/tg/bg}^2}$$

Wichtig ist, dass g_{max} die Transkonduktanz ist, bei der beide Gates zusammengeschlossen sind. $g_{tg_{max}}$ bezieht sich auf die Transkonduktanz des Top-Gates und $g_{bg_{max}}$ auf die Transkonduktanz des Bottom-Gates.

Da alle verwendeten Strukturen eine ähnliche Top-Gate-Länge L_{tg} bzw. effektive Kanallänge L_{cheff} aufweisen, die Werte für das weiße Rauschen aber bei gleicher Transkonduktanz fast um mehr als einen Faktor 1.5 auseinander liegen, muss die Hauptursache in den Zuleitungswiderständen von Bottom- und Top-Gate liegen.

In [13] wurde der Wannenvierstand von 0.35 μm p- und n-MOSFETs ermittelt, indem bei verschiedenen Substratvorspannungen das auf das Gate bezogene Rauschen gemessen wurde, vgl. Abb. A.8. Durch eine größere Substratvorspannung wird die Diode mehr in Sperrrichtung gepolt und die Substrattranskonduktanz verringert, sodass das gemessene weiße Rauschen sinkt, vgl. Gl. 4.4.

Für JFETs lässt sich dieses Vorgehen nicht übertragen. Es könnte das Top-Gate dem MOS-Gate und das Bottom-Gate dem Substrat gleichgesetzt werden, jedoch gilt bei einem JFET nicht die Beziehung, dass durch Anlegen einer Spannung an Bottom-Gate die Transferkennlinie des Top-Gate lediglich verschoben wird. Dies wird anhand von Abb. 4.21 ersichtlich.

Eine Abschätzung kann für den Top-Gate-Widerstand erfolgen, da hier die Geometrien einfacher sind. In Abb. 5.8 ist das Top-Gate rot markiert. Der Zuleitungswiderstand lässt sich damit wie folgt berechnen [63]:

$$R = \frac{1}{4} \frac{7}{60} 4kTR_{top} \quad (4.5)$$

Dabei ist R_{top} der Serienwiderstand entlang der gesamten Top-Gateweite.

Für einen Transistor mit Top-Gate-Länge 1.4 μm und -Weite 120 μm ergibt sich für einen Schichtwiderstand von 120 Ω ein Top-Gate-Widerstand von 300 Ω . Dieser Widerstand am Top-Gate alleine würde nach Formel 1.32 ein auf den Eingang bezogenes Rauschen von 2.21 nV/ $\sqrt{\text{Hz}}$ erzeugen. Bei einem g_m von 6 mS würde der Transistor unter Vernachlässigung von Kurzkanaleffekten 1.35 nV/ $\sqrt{\text{Hz}}$ auf den Eingang bezogenes Rauschen zeigen. Wie Tabelle 4.2 zeigt, ist der gemessene Wert

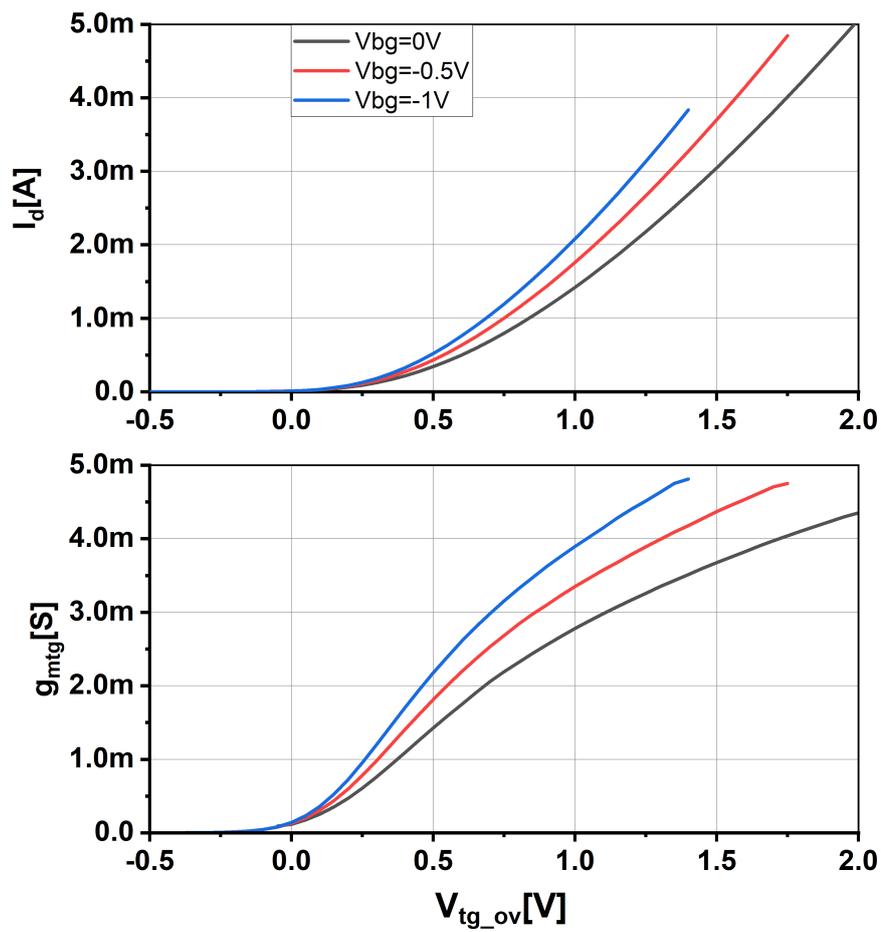


ABBILDUNG 4.21: Transferkennlinie unter Variation von V_{bgs} an JFET
 '100 1.4 0.6, II, n'. $V(V_{ov} = 0V) := V_{tgs}(I_d = 10\mu A)$

für die Probe "100 1.4 0.7 I,p CG" bereits kleiner als der berechnete Wert aufgrund des Serienwiderstands am Top-Gate. Unter der Annahme, dass die Probe "100 1.4 0.7 II,p MG" diesen Widerstand nicht aufweist und die Differenz des gemessenen Rauschens alleine auf den Top-Gate Serienwiderstand zurückgeführt werden kann, ergibt sich ein Widerstand von 48.7Ω . Eine mögliche Erklärung könnte sein, dass die Annahme, die Source-Drain-Zuleitungswiderstände seien vernachlässigbar klein, nicht zutrifft. Für MOS-Transistoren sind diese Widerstände deutlich geringer als für JFETs, da ein nennenswerter Widerstand nur im Bereich eines vorhandenen LDD-Gebiets auftritt, welches niedriger dotiert ist als das Source/Drain Kontaktgebiet.

Es wurden bereits viele Arbeiten bezüglich des Einflusses von (Gate-)Zuleitungswiderständen auf das weiße Rauschen von MOSFETs verfasst [13][65]. Es gibt Arbeiten, die erhöhtes weißes Rauschen an JFETs gemessen haben [56][62][66][67][68][69], jedoch ist mir keine Modellierung bekannt aus der anhand von Messungen der Zuleitungswiderstand für das Bottom-Gate ermittelt werden könnte.

Dass der Effekt des Substratwiderstands nicht unterschätzt werden sollte, ist anhand der Werte in Tabelle 4.2 zu erkennen. So beträgt der Unterschied zwischen den Strukturen "100 1.4 0.6 MG, I, n" und "100 1.4 0.6 MG, II,p" in Tabelle 4.2 $0.5 \text{ nV}/\sqrt{\text{Hz}}$. Wird davon ausgegangen, dass der einzige Unterschied zwischen den beiden Strukturen der Substratwiderstand ist, errechnet sich für eine Bottom-Gate-Transkonduktanz von 1.5 mS , die sich für den Arbeitspunkt $V_{tgs} = V_{bgs} = 0 \text{ V}$, $V_{ds} = 3 \text{ V}$ ergibt, ein Substratwiderstand für den "100 1.4 0.6 I,n" von 186Ω .

Gl. 4.4 motiviert weiterhin, dass durch geschickte Wahl des Arbeitspunkts die Transkonduktanz des Top-Gates maximiert und gleichzeitig die des Bottom-Gates minimiert werden kann. So kann der Einfluss des Substratwiderstands zumindest minimiert werden. An einer weiteren JFET Struktur vom Typ "100 1.4 0.6 II,n" wurden Rauschmessungen bei konstanter Top-Gate-Transkonduktanz, 2 mS , gemacht und die Spannung am Bottom-Gate variiert von -0.1 V bis -2.25 V . Durch Anlegen einer Bottom-Gate-Spannung konnte das weiße Rauschen von $5.1 \text{ nV}/\sqrt{\text{Hz}}$ für den Arbeitspunkt $V_{tgs} = -1.19 \text{ V}$, $V_{bgs} = -0.1 \text{ V}$, $V_{ds} = 2 \text{ V}$ auf $4.5 \text{ nV}/\sqrt{\text{Hz}}$ für den Arbeitspunkt $V_{tgs} = -0.16 \text{ V}$, $V_{bgs} = -2.25 \text{ V}$, $V_{ds} = 2 \text{ V}$ gesenkt werden.

Für JFETs auf p-Substrat wo der Substratwiderstand sehr klein ist konnte gegenüber dem Arbeitspunkt $V_{tgs} = V_{bgs} = 0 \text{ V}$, $V_{ds} = 2 \text{ V}$ durch Anlegen von -0.5 V am Bottom-Gate das Rauschen nicht verringert werden. Es wurde jedoch selbst bei leicht verringerter Transkonduktanz das gleiche weiße Rauschen gemessen, siehe Anhang A.9 und A.10. Darüber hinaus wurde der Drainstrom von 1.75 mA auf 0.91 mA reduziert.

Erhöhtes weißes Rauschen aufgrund von Kurzkanaleffekten

Im Folgenden werden die Ergebnisse von Messungen und Simulationen zum erhöhten weißen Rauschen von Split-Channel JFETs dargestellt und die Ergebnisse diskutiert. Wie schon im Abschnitt oben erwähnt, hat die Literatur zu diesem Thema, bezogen auf JFETs, einen deutlich geringeren Umfang. Wie im Abschnitt 1.3.2

erläutert, ist ein von der Gatespannung und Top-Gatelänge bzw. von der effektiven Kanallänge abhängiges erhöhtes weißes Rauschen zu erwarten. Um die Auswertung zu erleichtern wurden JFETs verwendet, bei denen von vernachlässigbaren Top- und Bottom-Gate Widerständen ausgegangen werden kann: JFETs von der Strukturart "120 L_{tg} L_{cheff} II, p MG". Es wird ein Vergleich mit dem aus der Literatur zu erwartenden Verhalten von Kurzkanal-JFETs mit den Ergebnissen der in dieser Arbeit getätigten Messungen und finite Elemente Simulationen vorgenommen. Für einen Vergleich mit den aus der Theorie erwarteten Werten wurden sowohl in der Simulation als auch in den Messungen die Arbeitspunkte so gewählt, dass die Transistoren deutlich in Sättigung sind. Um die Auswertung zu vereinfachen, wurden Top- und Bottom-Gate kurzgeschlossen und die angelegte Spannung wird in diesem Kapitel der Einfachheit wegen als Gatespannung bezeichnet. Die Gatespannung wird von $V_{gs} = 0.2V$ bis $V_{gs} = V_{th}$ variiert. Es wurden folgende Randbedingungen eingehalten: $|V_d| > |V_{gs} - V_{th}| + 1V$ und $|I_{tg}| < 10pA$. Wie aus Gleichung 1.24 und 1.25, zur Erinnerung unten noch einmal dargestellt, zu erkennen, ist ein linearer Anstieg des Vorfaktors α zu erwarten. Für die Kanallänge wurde die in dieser Arbeit bisher verwendete effektive gezeichnete Kanallänge L_{cheff} verwendet. Ein Beispiel für die Auswertung einer solchen Messreihe ist in Abb. 4.22 dargestellt. Die Auswertung der Simulation ist analog dazu.

$$Gl.1.24 : \alpha_{sat} \approx \frac{2}{3} + \frac{V_{geff}}{E_c L_g},$$

$$Gl.1.25 : S_{id} = 4k_b T \alpha_{sat} g_{max},$$

Messung

Es zeigte sich weitestgehend eine lineare Abhängigkeit des excess noise Faktors α von der Gatespannung. Der Quotient $1/(E_c L_{cheff})$ ergibt sich aus der Steigung der ermittelten Werten für α bei variierender Gatespannung, siehe Abb. 4.22. Die kritische Feldstärke E_c ist eine empirische Konstante, welche experimentell ermittelt werden kann. Literaturwerte liegen zwischen $5 \cdot 10^6 V/cm$ bis $2 \cdot 10^7 V/cm$ [13][2]. Wie die graue Linie in Abb. 4.23 zeigt, sollte der Wert $1/(E_c L_{cheff})$ mit sinkender Kanallänge steigen [14]. Wie die Messungen zeigen, ist dies aber nicht der Fall. Die Werte streuen zwar, aber es ist eher ein konstanter Wert über die effektiven Kanallängen von $0.4 \mu m$ bis $2.3 \mu m$ zu erkennen. Dies überrascht insbesondere, da dieses Verhalten der Aussage von Klaasen und Experimenten an CMOS-Transistoren widerspricht [14][70][13]. Klaassen hat jedoch lediglich Ergebnisse aus Messungen an einem Transistors dargestellt, nicht wie hier über 20. Gegenüber MOSFETs hat der Kanal bei JFETs eine deutlich größere Ausdehnung in Y-Richtung, also ins Silizium hinein, und die Ladungsträgermobilitäten werden nicht durch die Grenzfläche Silizium-Siliziumoxid beeinflusst.

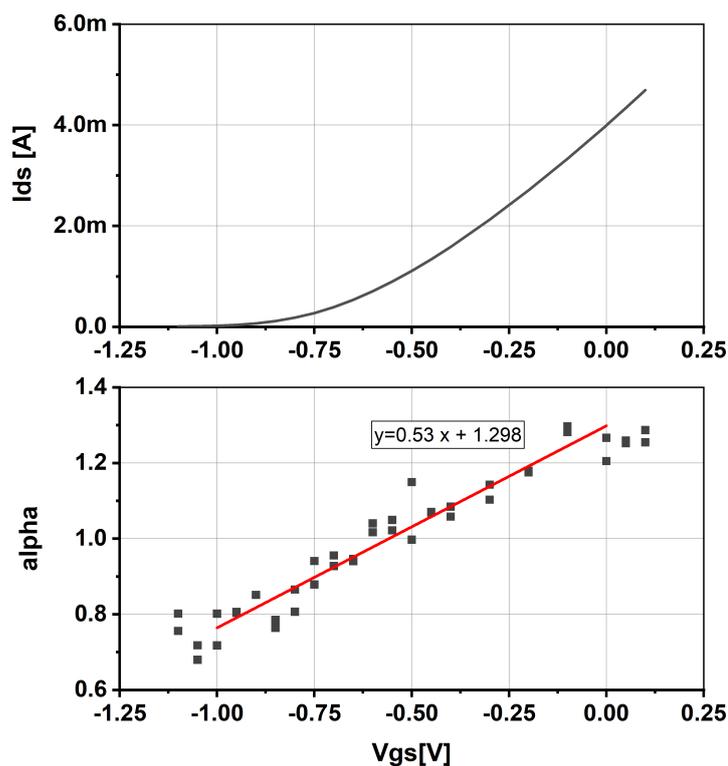


ABBILDUNG 4.22: Es wird der Verlauf von α in Abhängigkeit der Gatespannung dargestellt. Anhand der Steigung der Ausgleichsgerade wird der Quotient $1/(E_c L_{cheff})$ ermittelt. Struktur: 120 1.4 0.5 II, p MG.

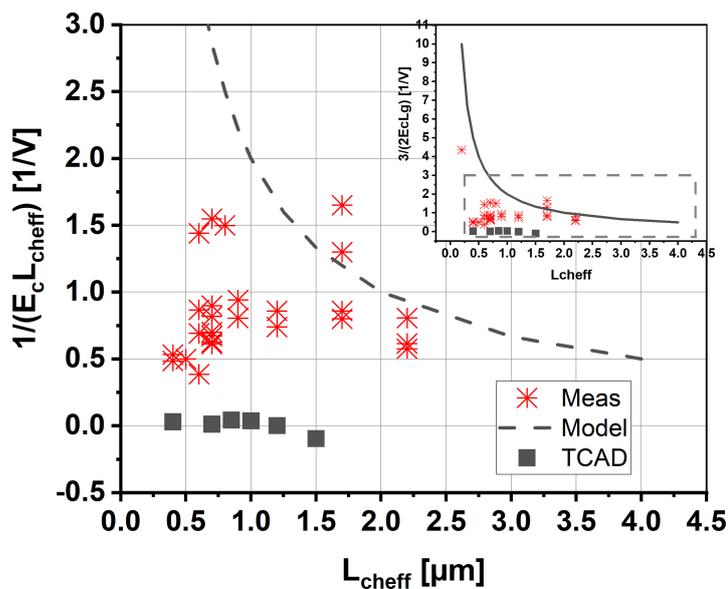


ABBILDUNG 4.23: Es wird der Verlauf von $1/(E_c L_{cheff})$ in Abhängigkeit der effektiven Kanallänge dargestellt. Der gestrichelte Graph entspricht dem Modell aus [15]

Simulation

Das Simulationsframework kann die Autokorrelationsgrößen $\langle I_1, I_1^* \rangle$ und $\langle I_2, I_2^* \rangle$ ausgeben welchen den Rauschströmen am Eingang bzw Ausgang des Bauelements entsprechen. Im hier verfügbaren Messaufbau kann nur der Ausgangsrauschstrom gemessen werden, also wird die Größe $\langle I_2, I_2^* \rangle$ verwendet. Die mikroskopischen Rauschquellen innerhalb des Transistors haben je nach ihrer Lokalisation im Bauelement unterschiedliche Wirkungen auf das Rauschen, welches am Ausgang gemessen wird. Das erhöhte weiße Rauschen an Kurzkanaltransistoren ist ein Effekt der Ladungsträgergeschwindigkeitssättigung welche bei hohen elektrischen Feldern auftritt. Das Mobilitätsmodell im Simulator basiert auf der weit verbreiteten Formulierung von Caughey-Thomas [71]:

$$\mu_{n,p}(E) = \mu_{0n,p} \left[\frac{1}{1 + \left(\frac{\mu_{0n,p} E}{v_{satn,p}} \right)^\beta} \right]^{\frac{1}{\beta n,p}} \quad (4.6)$$

Dabei steht μ für die Ladungsträgermobilität, μ_0 für die Niedrigfeldladungsträgermobilität, v_{sat} für die Sättigungsgeschwindigkeit und β für Fitparameter. Die Subnotationen n und p stehen dafür, dass für Elektronen (n) und Löcher (p) verschiedene Werte verwendet werden müssen.

Die Berechnung von α erfolgt analog zu den aus Messungen erhaltenen Stromrauschwerten. Wie in Abb. 4.24 zu sehen, steigt α oberhalb der Schwellspannung deutlich weniger stark in Abhängigkeit von V_G als bei den durch Messung ermittelten Werten, bzw. für kleine Gatespannungen wird ein sehr hohes α ermittelt, da hier sehr hohe Geschwindigkeiten auftreten.

In Abschnitt 2.3 wurde erwähnt, dass für die korrekte Darstellung des Gatestroms auf das Energy-Balance Modell zurückgegriffen wurde. Leider ist das im Rahmen der Rauschsimulation wegen technischen Problemen nicht möglich: Die Simulation stürzt bei der Kombination aus Rauschsimulation und Energy-Balance Modell ab.

Die Simulation des frequenzunabhängigen Rauschens in diesem Framework ist nicht hinreichend aussagekräftig.

Diskussion erhöhtes weißes Rauschen bei Kurkanal-JFETs

Wie man in Abb. 4.23 erkennen kann, zeigen sowohl Simulation als auch Messung keine erkennbare Abhängigkeit des Quotienten $1/(E_c L_{cheff})$ von der Kanallänge. Bemerkenswert ist jedoch, dass $1/(E_c L_{cheff})$ in der Simulation einen Faktor zehn kleiner ist, als bei den durch Messung ermittelten Werten.

Um diese Abweichung besser verstehen zu können, werden die Ergebnisse einer DC-Messung an einem JFET "100 1.4 0.7 I,n MG" gezeigt. Bei kurzgeschlossenem Gate mit Backgate wurde g_{d0} und g_{max} in Abhängigkeit der Gatespannung ermittelt. Die Ergebnisse sind in Abb. 4.25 dargestellt. Es kann hier die Steigung von g_{d0}/g_{max}

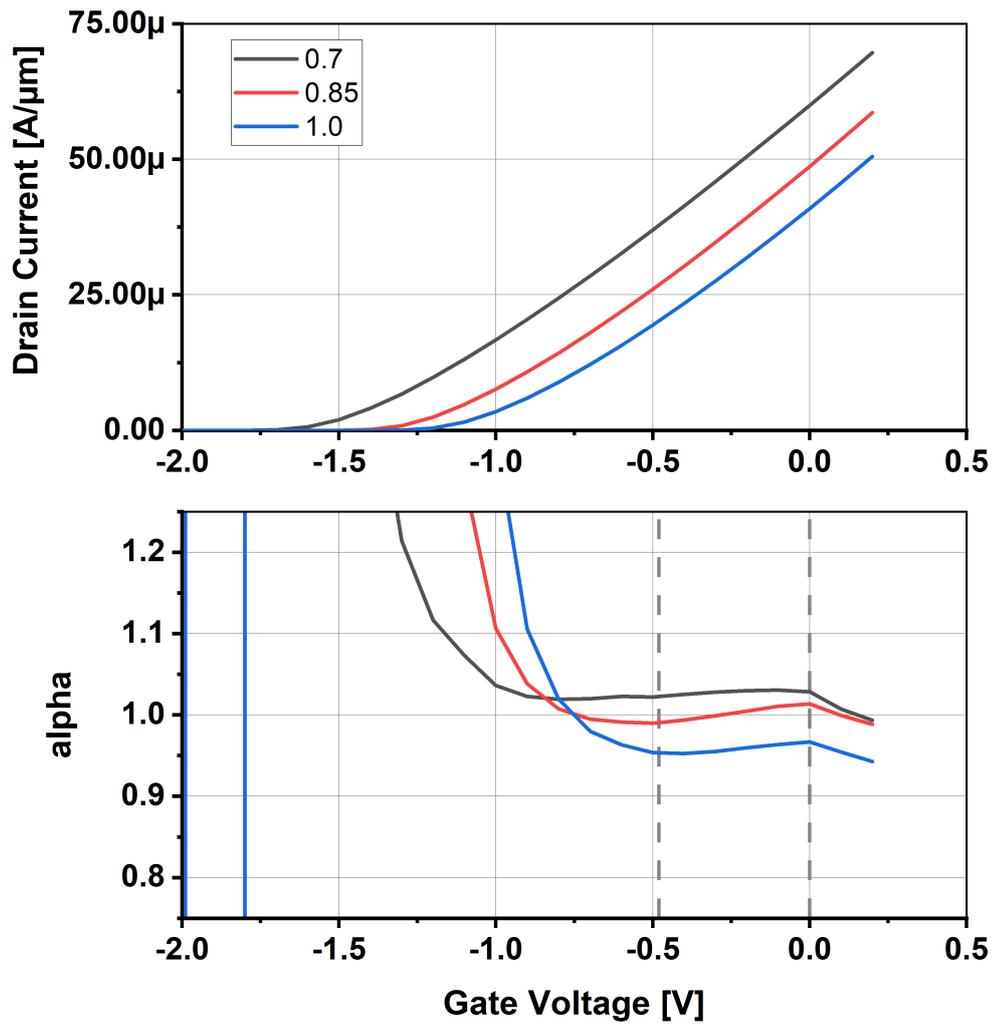


ABBILDUNG 4.24: Simulation von α in Abhängigkeit der Gatespannung. Die Legende zeigt die $L_{\text{ch,eff}}$

verwendet werden, was einer Steigung von α ohne Berücksichtigung der Ladungsträgertemperatur entspricht. Zur Erinnerung:

$$\alpha_{sat} = \gamma_{sat} \frac{g_{d0}}{g_{max}}$$

Die ermittelte Steigung und damit $1/(E_c L_{cheff})$ ist 0.088. Damit wäre das ermittelte Wert von $1/(E_c L_{cheff})$ zumindest in der Größenordnung der Simulation. Im Drift-Diffusionsmodell, welches von der TCAD Simulation verwendet wird, wird die Ladungsträgertemperatur nicht berechnet. Dies geschieht nur im Energy-Balance-Transport-Modell. Wie schon im Abschnitt 2.4.3 erläutert, hat dies Einfluss auf die Stromdichteverteilung und die Energiedissipation der Ladungsträger im Kanal. Da das thermische Kanalrauschen selbst eine Funktion der Ladungsträgertemperatur ist, muss diese auch mit berücksichtigt werden. Ein Vernachlässigen der Ladungsträgertemperatur führt zu einer deutlich niedrigeren Abhängigkeit von α_{sat} gegenüber der Gate-Spannung [14] und damit auch zu niedrigeren ermittelten Werten von $1/(E_c L_{cheff})$.

Bezüglich des nicht feststellbaren Zusammenhangs von $1/(E_c L_{cheff})$ von L_{cheff} können folgende Gründe vorliegen:

- Source-Drain Zuleitungswiderstände können, vor allem bei kleinen L_{cheff} nicht vernachlässigt werden
- Die Annahme in der Arbeit von Klaassen [14], als auch in späteren Arbeiten [13], dass das elektrische Feld gleichmäßig über den Kanal abfällt, trifft für SC-JFETs nicht zu.

Wenn der Kanalwiderstand ähnlich groß ist wie der Zuleitungswiderstand von Source zu Top-Gate, siehe Abb. 1.2, kann dieser nicht mehr vernachlässigt werden. Dies trifft am ehesten für sehr kleine L_{cheff} zu. Für $L_{cheff} = 0.5\mu\text{m}$ werden auch kleinere Werte für $1/(E_c L_{cheff})$ ermittelt, da in dieser Situation auch ein Teil der Source-Drain Spannung in den Zuleitungswiderständen abfällt.

Wie schon in der Diskussion zum Stoßionisationsstrom erläutert, trifft die Aussage, der Potential fällt gleichmäßig über die Länge des Kanals ab, für Kurzkanal-JFETs nicht zu. Die elektrische Feldverteilung hängt stark von der Gestaltung des Kanals ab. Ein konstanter Wert von $1/(E_c L_{cheff})$ würde bedeuten, dass unabhängig von der Kanallänge die meiste Spannung über eine konstante Länge L_{char} abfällt, bzw. dass für alle Kanallängen ähnliche elektrische Felder herrschen. Aus Abb. 4.23 lässt sich ein durchschnittlicher Wert für $1/(E_c L_{cheff})$ von 0.75 V^{-1} ablesen. Wird $E_c = 1.2\text{ V}/(\mu\text{m})$, wie in [13] angenommen, ergibt sich $L_{char} = 1.11\mu\text{m}$. Dieser Wert liegt deutlich über den kürzesten effektiven- und extended-Drain Kanallängen. Ein Vergleich der elektrischen Felder anhand von Simulationen zeigt für die effektiven Kanallängen $1\mu\text{m}$ und $0.7\mu\text{m}$ gleiche maximale elektrische Felder am Ende des Main-Channel, siehe Anhang A.12 A.13.

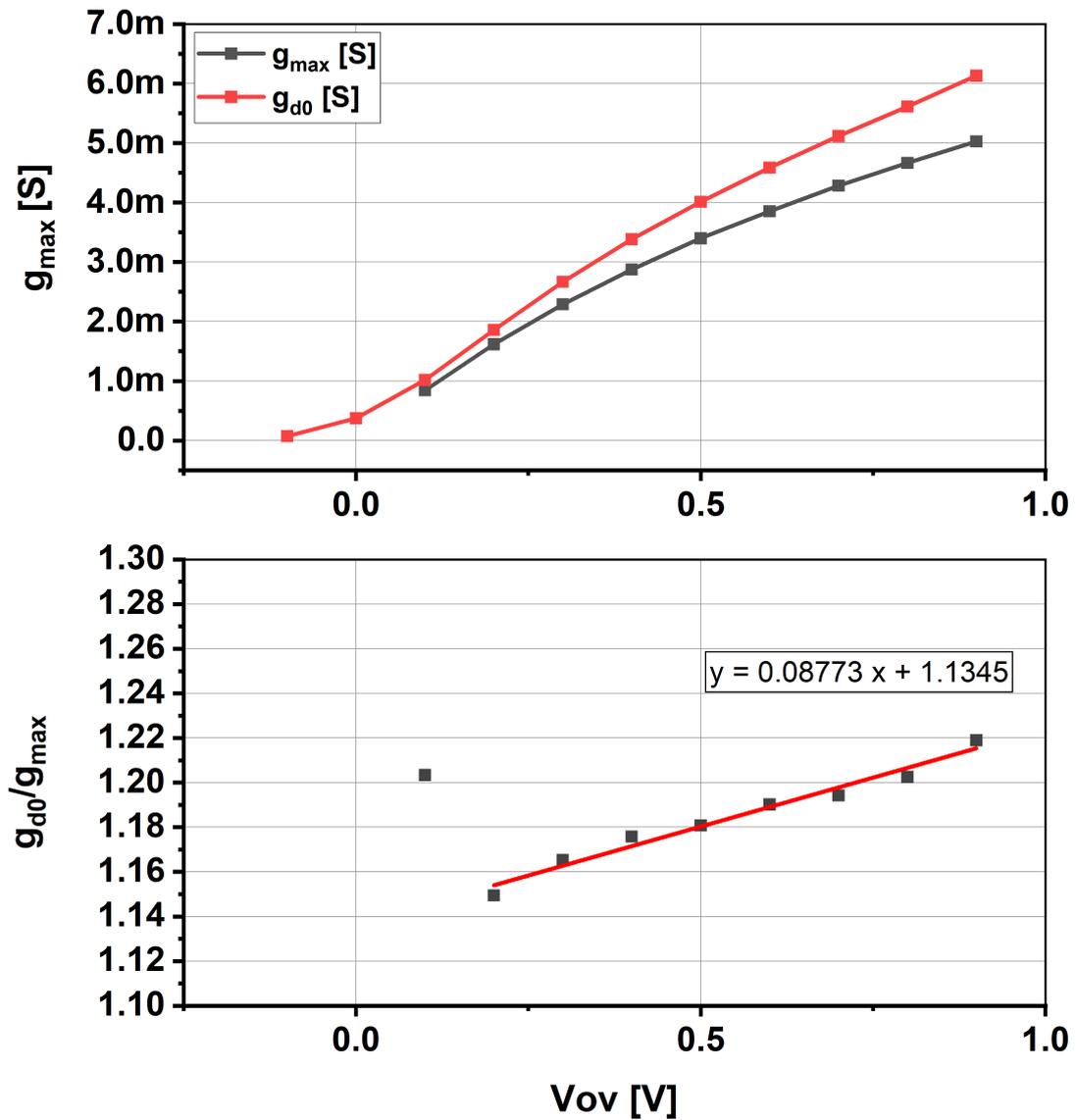


ABBILDUNG 4.25: Oben: g_{d0} und g_{max} in Abhängigkeit der Gatespannung. Unten: g_{d0}/g_{max} in Abhängigkeit der Gate-Source-Spannung.
 $V_{ov} := V_{gs} - V_{th}$

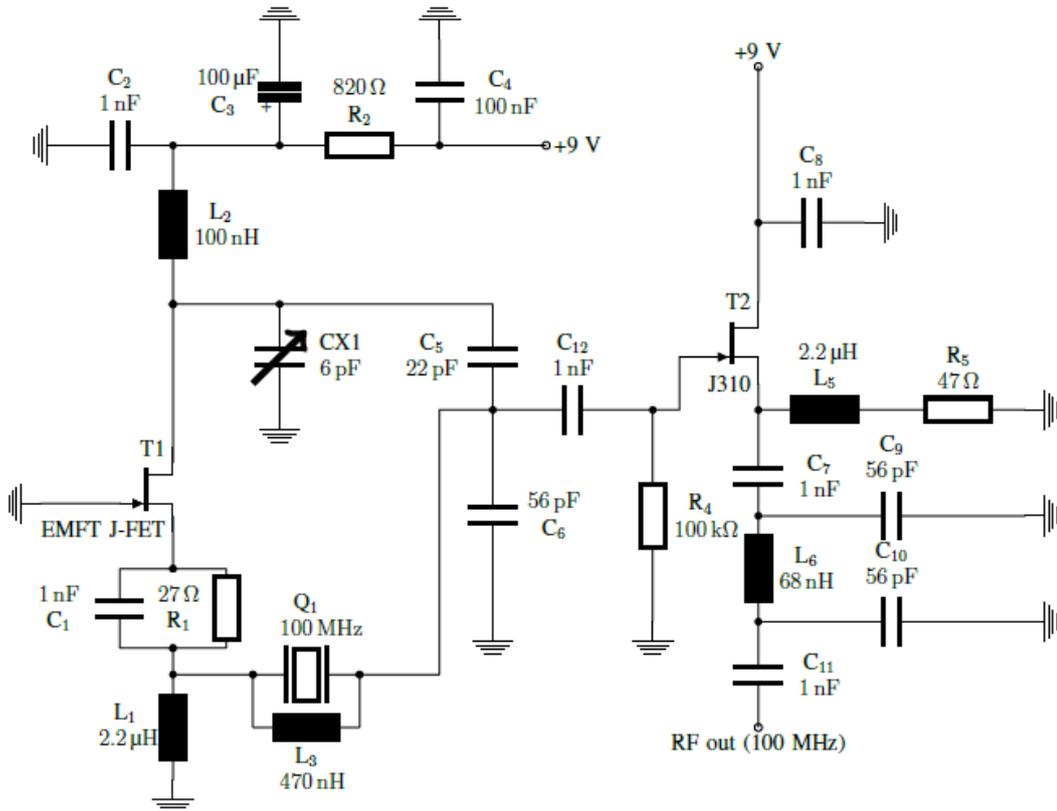
Kapitel 5

Anwendungen, Stand der Technik und Ausblick

Über die Beschreibung von Bauteilparametern hinaus ist die Leistung von Bauteilen in Anwendungen besonders interessant. Hier kann ein Vergleich zu anderen Bauteilen, welche bislang verwendet wurden, hergestellt werden. Der JFET wurde in folgenden Anwendungen eingesetzt: Verstärker im Oszillator, Eingangsverstärker für Schaltungen zur Abstandsmessung mit der time-of-flight Methode sowie in der Röntgenfluoreszenzspektroskopie.

5.1 Oszillator

Oszillatoren werden in der Elektronik eingesetzt um Uhren zu realisieren, aber auch um Trägerfrequenzen von Rundfunksendern und -empfängern zu generieren. Eine Möglichkeit einen Oszillator zu realisieren ist die Verwendung von Transistoren in Verstärkerschaltungen, welche, zusammen mit einem Resonator, einen Schwingkreis bildet. Die Oszillationsfrequenz wird durch den Resonator und festgelegt. Eine wichtige Eigenschaft von Oszillatoren, die für die Erzeugung von Trägerfrequenzen verwendet werden ist das sogenannte Seitenbandphasenrauschen, zu englisch "single sideband phase noise". Ein idealer Oszillator erzeugt an genau Frequenz f_{osz} sein Ausgangssignal. Ein realer Oszillator hat neben diesem Signal noch Anteile die im Frequenzbereich über und unter f_{osz} liegen. Das Seitenbandphasenrauschen ist eine Funktion des Frequenzabstands zur Oszillationsfrequenz und wird in Relation zur Signalstärke bei der Oszillationsfrequenz bestimmt. In Abb. 5.2 ist eine Beispielmessung gezeigt. Es zeigt auch die Notwendigkeit das Phasenrauschen klein zu halten. Ein Sender, Sender 1, welcher am Ort des Empfängers eine hohe Signalstärke aufweist, kann einen anderen Sender, Sender 2, welcher am Ort des Empfängers eine niedrige Signalstärke aufweist überlagern, sodass Sender 2 nicht mehr vom Empfänger empfangen werden kann. Dies spielt eine Rolle bei Rundfunksystemen wo Kommunikationskanäle in einem Bestimmten Frequenzabstand voneinander gesendet werden. Ist das Phasenrauschen der Sender zu schlecht, muss der Frequenzabstand der Kanäle vergrößert werden und es können weniger Kanäle angeboten werden. Dies reduziert die Anzahl möglicher Nutzer, bzw. zwingt Nutzer sich einen



(b) 100 MHz hybrid oscillator circuit using EMFT-Prototype
 CX1= Johnson Trimmer
 L₁,L₂,L₃,L₅,L₆= Stelco Series 5140 Size 0805

ABBILDUNG 5.1: Schaltplan eines Butler-Oszillators mit EMFT JFET
 "400 1.0 0.65 CG 0, n". [72]

Kanal zu teilen. Ein Beispielsystem für einen Oszillator, welcher als Resonator ein sogenanntes Schwingquarz verwendet, ist der Butler Oszillator.

Eine Beispielschaltung, welche von Martin Peterlik und Joseph Kölbl an der TH Deggendorf gebaut wurde und auf einem Design von Bernd Kaa [73] basiert, ist in Abb. 5.1 dargestellt. Das Schwingquarz ist durch das Bauteil Q1, der Transistor durch T1 gekennzeichnet. Der Widerstand R1 dient zur Arbeitspunkteinstellung, die Induktivitäten L1, L2 dienen der Abschirmung des Wechselspannungssignals vom Gleichstromzweig. Über C12 wird das Signal an den Transistor T2 ausgeschleust welcher in Source-Schaltung das Signal aus dem Schwingkreis mit einer hohen Impedanz abgreift und als Ausgangssignal mit einer niedrigen Impedanz zur Verfügung stellt.

Ein Modell für die Vorhersagen des Seitenbandphasenrauschens von Oszillatoren ist das Leeson-Modell. Es beschreibt das Seitenbandphasenrauschen wie folgt [74]:

$$L(f_m) = 10 \cdot \log \left[\frac{NR \cdot k \cdot T \cdot B}{2P_{avs}} \left(\frac{f_0^2 f_c}{f_m^3 4Q_L^2} + \frac{f_0^2}{f_m^2 4Q_L^2} + \frac{f_c}{f_m} + 1 \right) \right] \quad (5.1)$$

Wobei NR für das Rauschverhältnis des Verstärkers, B die Bandbreite, P_{avs} die

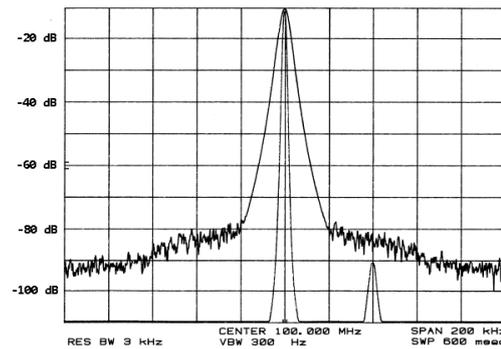


ABBILDUNG 5.2: Beispielmessung von Seitenbandphasenrauschen eines Oszillators. [75]

Ausgangsleistung des Oszillators, Q_L die Güte des belasteten Resonators, f_0 die Oszillationsfrequenz, f_m die Ablagefrequenz und f_c die flicker-corner Frequenz des Transistors darstellt. Die Gleichung selbst ist in vier Teile unterteilt, wobei in den Quotienten $\frac{f_c}{f_m}$ die flicker-corner Frequenz des verstärkenden Transistors eingeht. Wie aber auch zu erkennen, gibt es zwei Terme höherer Ordnung, welche von der Güte des Schwingkreises abhängen. Die flicker-corner-Frequenz kann also nur aus dem Seitenbandrauschen ermittelt werden, wenn Sie nicht von einer geringen Güte des Schwingkreises überlagert wird. In einem Vergleich zwischen einem bekannten Bauteil, dem J310 und einem EMFT JFET "400 1.0 0.65 CG 0, n" ergab sich für in Abb. 5.1 dargestellter Schaltung kein Unterschied bezüglich der flicker-corner-Frequenz. Für den J310 wurde jedoch ein niedrigeres Rauschverhältnis NR gemessen: 25 (J310) zu 37 (EMFT), was auf das geringere weiße Rauschen des J310 im Vergleich zum EMFT JFET zurückzuführen ist. Diese Beobachtung erklärt sich unter Berücksichtigung der Datenblattangaben des J310. Die Transkonduktanz liegt bei einem Drainstrom von 10 mA bei 15 mS gegenüber 10 mS beim EMFT JFET "400 1.0 0.65 CG 0, n". Die Gate-Source-Kapazität des EMFT JFET "400 1.0 0.65 CG 0, n" liegt bei 0.6 pF, die des J310 hingegen bei 5 pF. Der J310 ist also ein Transistor mit deutlich größerer Gateweite. Der Vergleich der beiden Bauteile wurde trotz der Größenunterschiede so vorgenommen, da der J310 ein übliches Bauelement ist für Oszillatorschaltungen im Bereich um 100 MHz. Der "400 1.0 0.65 CG 0, n" war der beim Zeitpunkt der Evaluation der größte verfügbare Transistor von Seite der EMFT.

5.2 Abstandsmessung

Abstandsmessung mithilfe der "time-of-flight"-Methode erfolgt folgendermaßen: Auf ein Objekt in der Entfernung d wird ein Lichtpuls abgefeuert. Dieses Objekt reflektiert einen Teil des Lichts zurück. Aus der Lichtgeschwindigkeit, c , und der gemessenen Laufzeit, t , kann die Distanz ermittelt werden:

$$d = \frac{t}{2}c \quad (5.2)$$

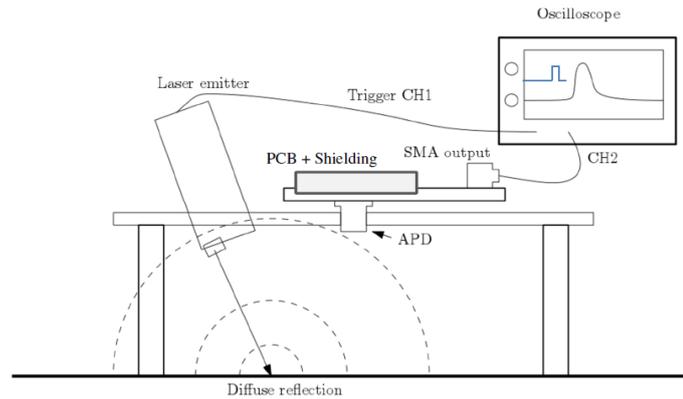


ABBILDUNG 5.3: Setup zur Evaluation des EMFT-JFETs in Schaltungen zur Time-of-Flight-Messung [60]

Für sehr große Entfernungen ist der Teil des reflektierten Lichts sehr klein und kann im elektronischen Rauschen des Sensors und der Auswerteelektronik untergehen. Da es Beschränkungen bezüglich der Lichtintensität des Lichtpulses aufgrund von gesetzlichen Vorgaben, oder aufgrund von Energiemanagement (portable Geräte) gibt, muss das Signal-Rausch-Verhältnis am Empfänger optimiert werden.

Die Arbeitsgruppe um Prof. Dr. Josef Kölbl hat einen JFET "500 1.4 0.6 II, p" verwendet und ihn gegen den aktuell in seinem System verwendeten BF998 verglichen [60]. Beide Transistoren wurden in ein Standardgehäuse, SOT143, gebondet, um sie direkt in die Schaltung einlöten zu können. Der BF998 Transistor ist ein Dual-Gate-MOSFET. Der Kanal wird seriell durch zwei Gates gesteuert. Diese Konfiguration realisiert eine Kaskodenschaltung in einem Bauteil. Durch eine Kaskodenschaltung kann der Miller-Effekt minimiert werden. Der Miller-Effekt bewirkt, dass die effektive Kapazität zwischen Drain und Gate größer wird, je größer die invertierende Verstärkung in Source-Schaltung ist. Dies bewirkt, dass die Eingangskapazität vergrößert und damit die Verstärkung verringert wird. Bei FETs ohne Dual-Gate Konfiguration kann eine Kaskode in der Schaltung durch Einfügen eines Hilfstransistors zwischen dem Eingangstransistor und dem Lastwiderstand realisiert werden.

Im Testaufbau, siehe Abb. 5.3 wird auf eine diffuse Kugeloberfläche ein Laserimpuls abgegeben. Das Licht wird von einer Avalanche-Photodiode empfangen und das Ausgangssignal der Diode über den Eingangstransistor verstärkt, siehe Abb. 5.4. In Abb. 5.5 ist eine Beispielmessung mit Versatz von Lichtpuls und Verstärkerausgang, in Tabelle 5.1 die Ergebnisse der Messungen gezeigt.

Der Arbeitspunkt ist üblicherweise so gewählt, dass die Transistoren im Punkt maximaler Transkonduktanz betrieben werden. Bei der Schaltungsvariante "500 1.4 SC5 low Ids" wurde die Source-Gate-Spannung ein wenig angehoben und so ein geringerer Drainstrom erreicht. Dieses Absenken des Stroms verringert auch die maximal erreichbare Transkonduktanz, überraschenderweise aber nicht das Signal-Rausch-Verhältnis. Wie in Tab. 5.1 zu erkennen, ist das Signal-Rausch-Verhältnis für alle Varianten sehr ähnlich. Das Signal-zu-Rauschverhältnis liegt nur knapp über dem des BF998. Wie oben schon angemerkt, liegt eine Vermutung darin, dass die

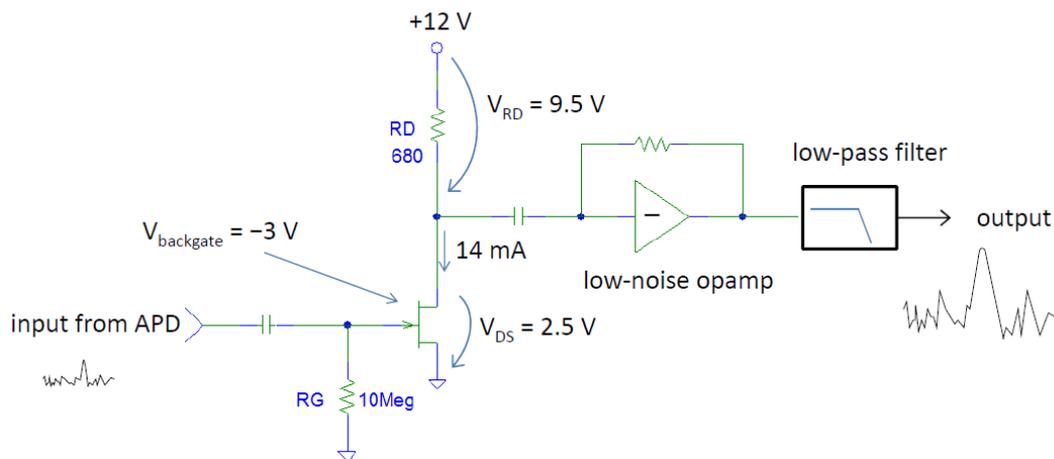


ABBILDUNG 5.4: Verstärkerschaltung zur Evaluation des Signal-Rausch-Verhältnisses in einer Time-of-Flight-Messung [60]

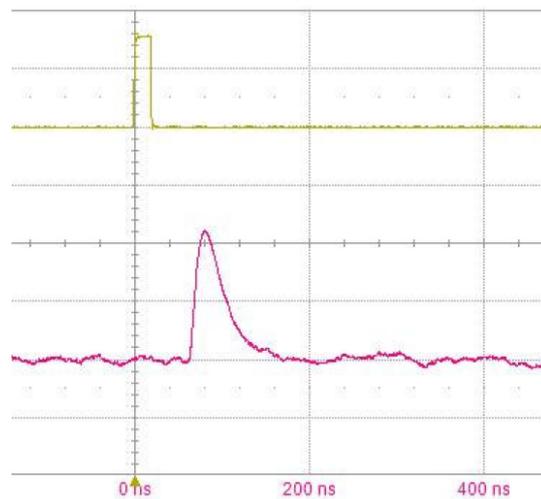


ABBILDUNG 5.5: Beispielmessung mit Lichtpuls(gelb) und Verstärkersignal (pink) zur Evaluation des Signal-Rausch-Verhältnisses in einer Time-of-Flight-Messung [60]

	S/N	I_{ds} [mA]	Pulsbreite [ns]
BF998 [76]	49.1	3.2	36.3
500 1.4 SC5	51.2	7.7	31.0
500 1.4 SC5 low I_{ds}	51.6	4.7	37.9

TABELLE 5.1: Ergebnisse der Time-of-Flight-Messung verschiedener Bauteile und Arbeitspunkte. S/N, Signal-Rausch-Verhältnis, I_{ds} , Drainstrom und Pulsbreite, der Halbwertsbreite des Pulses am Verstärkerausgang. Der Arbeitspunkt ist üblicherweise so gewählt, dass die Transistoren im Punkt maximaler Transkonduktanz betrieben werden. Bei der Schaltungsvariante "500 1.4 SC5 low I_{ds} " wurde die Source-Gate-Spannung auf 0.15 V angehoben und so ein geringerer Drainstrom, gleichzeitig aber auch eine geringere Transkonduktanz erreicht. Es wurden Transistoren "Split III,p" des Strukturtyps 500 1.4 0.6 verwendet.

Miller-Kapazität das Signal-zu-Rauschverhältnis beeinträchtigt, weshalb zusätzlich auch evaluiert wurde, ob eine Kaskodenschaltung aus einem EMFT-JFET und einem Bipolartransistor, BFR181, das Signal-zu-Rauschverhältnis verbessern könnte. Dies ist nicht so. Die Signalspannung erhöht sich zwar ein wenig, jedoch nimmt auch das Rauschen aufgrund des seriell geschalteten Transistors in gleichem Maße zu. Dual-Gate-JFETs, wurden im Design des EMFT-Durchlaufs vorgesehen, bei der Charakterisierung konnte jedoch kein funktionierendes Exemplar gemessen werden. Ein weiterer Punkt bezüglich der Leistungsfähigkeit der Bauteile wurde bisher vernachlässigt. Die Bauteile wurden alle in ein SOT143 Gehäuse gebondet. Dieses Gehäuse fügt zur Transistorkapazität eine zusätzliche Kapazität zwischen (Top-)Gate und Source hinzu. Diese parasitäre Kapazität erhöht die Eingangskapazität des Verstärkers und damit die Spannungsamplitude, die am Eingang anliegt. Der BF998 hat laut Datenblatt, also mit Gehäuse, an Gate 1 2.1 pF Eingangskapazität [76]. Für den 500 1.4 SC5 wurden 1.8 pF für Transistor mit Gehäuse in der Schaltung ermittelt. Bei Messungen am Bauteil ohne Gehäuse wurden 1.1 pF für $V_{tgs} = V_{bgs} = V_{ds} = 0V$ gemessen. Nach einer Abschätzung von Josef Kölbl gehen auf Miller-Effekt nur ungefähr 0.18 pF an Erhöhung der Eingangskapazität zurück.

Der Stromverbrauch, I_{ds} , ist für beide Schaltungsvarianten mit EMFT JFET größer als für den BF998, beeinflussen den Gesamtverbrauch des Systems aber nicht sehr. Bei der "500 1.4 SC5 low Ids" ist die Pulsbreite am Verstärkerausgang größer als für die "500 1.4 SC5"-Variante, da hier ein größerer Lastwiderstand gewählt wurde, was die Verstärkung erhöht und damit aber auch den Miller-Effekt. Eine höhere Eingangskapazität bewirkt einen langsameren Signalanstieg am Gate und damit eine größere Pulsbreite.

5.3 Röntgenfluoreszenzspektroskopie

Röntgenfluoreszenzspektroskopie wird verwendet um an unbekanntem Materialien Elementanalyse zu betreiben. Durch Anregung der Atome der Probe mit Röntgenlicht werden die Elektronen der in der Probe befindlichen Atome herausgelöst. Die entstandene Lücke in der Elektronenschale des Atoms wird durch ein Elektron einer äußeren Elektronenschale aufgefüllt. Beim Übergang von einer äußeren auf eine innere Schale wird Energie in Form eines Photons frei, dem Röntgenlicht mit einer für das Atom charakteristischen Wellenlänge entspricht. Die emittierten Photonen können in Halbleitern absorbiert werden. Da ein Photon bei Absorption im Halbleiter genügend Energie hat mehrere Elektron-Loch-Paare zu erzeugen, kann über Anlegen eines elektrischen Felds an Halbleiterdioden diese Ladung abgesaugt und an Eingänge von Verstärkern weitergeleitet werden. Anhand der erzeugten Spannung am Verstärkereingang kann daraus die absorbierte Ladung ermittelt werden. Die Ansprüche an die Elektronik sind dabei sehr hoch, da hier wenige Elektronen nachgewiesen werden müssen.

Die wichtigste Kennzahl ist hierbei das auf den Eingang projizierte Ladungsrauschen des Detektorsystems normiert auf Elektronenladungen. In Kombination mit einem Detektor und anschließender Kalibrierung ergeben sich dadurch Unschärfen in der Energieauflösung des Detektorsystems in Elektronenvolt, eV. Da die Eingangsstufe des ersten Verstärkers häufig die limitierende Größe und dieses Gebiet auch Teil der Grundlagenforschung ist, gab es zur Wahl des zu verwendenden Transistors schon viele, auch theoretische Arbeiten [77] [78] [79] [80].

Ein JFET der EMFT "120 1.2 0.7 CG 0, n" wurde zusammen mit einer PIN-Diode als Detektor, welche selbst bei Raumtemperatur kleinste Leckströme aufweist, in einem System für Röntgenfluoreszenzspektroskopie verwendet. Für die Anwendung wurde der Energiestandard der Mangan-K-alpha-Linie bei 5.9 keV verwendet. Es wurde bei einer Integrationszeit von 3 μ s und Raumtemperatur eine Halbwertbreite von 180 eV erreicht, siehe Abb. 5.6. Ich danke Herrn Dr. Thomas Göbel für die Bereitstellung der Messdaten.

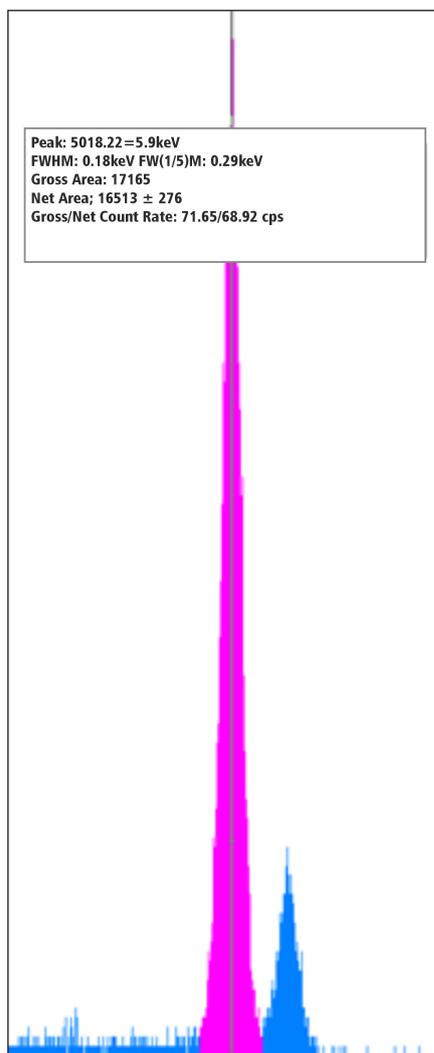


ABBILDUNG 5.6: Messung der Mn-K- α -Linie bei Integrationszeit 3 μ s und Raumtemperatur. [81]

Dies ist bereits ein Wert der im Bereich der Hochauflösung liegt, jedoch ist dieser Wert noch deutlich schlechter als 123 eV, die mit gekühlten Silizium-Drift-Detektoren, SDDs, erreicht werden können. Allerdings ist die Herstellung von PIN-Dioden deutlich einfacher und damit kostengünstiger als die von SDDs. Weiterhin wurde der Aufbau nicht gekühlt und ist damit deutlich anspruchsloser bezüglich anderer Infrastruktur des Detektors, beziehungsweise macht den Aufbau des Detektorgehäuses deutlich einfacher.

Weitere Diskussionen zu erreichbaren Energieauflösungen in dieser Anwendung müssen sich auf Voraussagen anhand von Bauteilparametern stützen, da die Zusammenarbeit mit Dr. Thomas Göbel zum Zeitpunkt der Fertigstellung der JFETs aus Tabelle 3.1 bereits beendet war. Da es auch von Interesse ist möglichst schnell die Probe, bzw. bei ortsaufgelösten Untersuchungen den Messfleck, zu analysieren, ist neben der möglichen Genauigkeit die Genauigkeit bei einer entsprechenden Zählrate von Bedeutung, da eine höhere Zählrate eine geringere Messzeit erlaubt. In den mir bislang bekannten Veröffentlichungen wurden bisher immer nur Ladungsverstärker für die Signalverstärkung verwendet, da hier die Verstärkung nur von einer Größe abhängt: der Rückkoppelkapazität.

Für die Signalverarbeitung wird der Ausgang der ersten Ladungsverstärkerstufe mit Filtern verschaltet um die Pulshöhe und die damit verbundene detektierte Ladungsmenge auslesen zu können. Diese Filter haben Zeitkonstanten welche die Auf- und Anstiegszeiten dieser Pulse beeinflussen. Um zwei Pulse sauber voneinander trennen zu können, müssen diese Zeitkonstanten auf die Pulsrate angepasst sein. Bei höherer Pulsrate müssen die Zeitkonstanten kleiner werden, damit sich die Pulse am Ausgang des Verstärkers nicht überlappen und addieren und somit falsche netto Pulshöhen erzeugt werden.

Wie in [77] gezeigt wurde, hängt das Rauschen des Ladungsverstärkers mit den gewählten Zeitkonstanten dieser Filter und dem weißen Rauschen des verwendeten Eingangstransistors zusammen. Bei kürzeren Filterzeitkonstanten steigt der serielle weiße Rauschanteil des Systems, welcher vom weißen Rauschen des Transistors abhängt. Eine große Detektorkapazität erhöht ebenso das serielle weiße Rauschen des Gesamtsystems. Die bereits erwähnten SDDs erreichen Kapazitäten von etwa 100 fF [82]. Anders als bei PIN-Dioden wächst die Kapazität nicht quadratisch mit der Detektorfläche, was große Detektoren mit kleiner Kapazität erlaubt.

In [77] wird dargestellt, dass die Gatekapazität des Eingangstransistors in etwa so groß sein sollte wie die Detektorkapazität. Eine Verringerung des weißen Rauschens eines Eingangstransistors kann also nicht einfach durch Vergrößerung der Gateweite und der Transkonduktanz erreicht werden. Es muss bei gleicher Eingangskapazität eine größere Transkonduktanz und damit ein niedrigeres weißes Rauschen erzielt werden. In [77] wird für die Leistungsfähigkeit diesbezüglich die Kenngröße der Grenzfrequenz, f_T , verwendet. Wie in Abschnitt 1.3.7 erläutert ist die Größe f_T aber kein hinreichendes Maß. Unter Berücksichtigung von parasitären Widerständen und bei JFETs, wo Top- und Bottom-Gate getrennt verwendet werden können, ist f_T nicht ausreichend um das weiße Rauschen eines Transistors bei gegebener Eingangskapazität zu bestimmen und mit anderen Transistoren zu vergleichen.

Im Folgenden soll dennoch auf die Formeln aus [77] zurückgegriffen werden um den Einfluss der Rauscheigenschaften des Eingangstransistors auf das Gesamtsystem abschätzen und einen Vergleich zwischen den verfügbaren Technologien und den Bauelementen herzustellen zu können. Es wird im Folgenden davon ausgegangen, dass die Hauptquelle für das in der ersten Verstärkerstufe entstehende Rauschen auf den Eingangstransistor zurückzuführen ist. Die nachgeschalteten Verstärkerstufen haben keinen Einfluss auf das Signal-Rausch-Verhältnis. Das Rauschen des Gesamtsystems, also der ersten Verstärkerstufe, erhält man, indem die Rauschquellen mit der Übertragungsfunktion des Verstärkers gefaltet werden [83] [84]. Da bei Ladungsverstärkern in dieser Anwendung üblicherweise die Ladung auf die Elementarladung normiert wird und damit Elektronen gezählt werden, wird der Rauscheintrag als Standardabweichung der ermittelten Elektronenanzahl angegeben. Das Rauschen des Ladungsverstärkers lässt sich prinzipiell auf folgende Anteile aufteilen:

- Paralleles weißes Rauschen: Schrotrauschen aufgrund des Leckstroms von Detektor und Eingangstransistor. Die Rauschquelle hat folgende Form:

$$S_{wp} = 2q(I_{LD} + L_{LT}) \quad (5.3)$$

Die Standardabweichung an ermittelten Elektronen bezogen auf den Eingang des Verstärkers ist damit

$$ENC_{wp} = 1/q \sqrt{(A_3/2) S_{wp} \tau} \text{ [r.m.selectrons]} \quad (5.4)$$

- Serielles weißes Rauschen: Thermisches Rauschen des Transistors

$$S_{ws} = \gamma \frac{4kT}{g_m} \quad (5.5)$$

Die Standardabweichung an ermittelten Elektronen bezogen auf den Eingang des Verstärkers ist damit

$$ENC_{ws} = 1/q \sqrt{(A_1/2) S_{ws} C_T^2 \frac{1}{\tau}} \text{ [r.m.selectrons]} \quad (5.6)$$

- serielles 1/f Rauschen: 1/f Rauschen des Transistors

$$S_{1/f} = A_f / f \quad (5.7)$$

Die Standardabweichung an ermittelten Elektronen bezogen auf den Eingang des Verstärkers ist damit

$$ENC_{1/f} = 1/q \sqrt{A_2 \pi A_f C_T^2} \text{ [r.m.selectrons]} \quad (5.8)$$

- Dielektrizitätsrauschen: Rauschen welches an Dielektrika wie z.B. Rückkopplungskondensatoren entsteht. Wird für diese Betrachtung vernachlässigt, da dies nicht durch den Transistors selbst beeinflusst wird.

Die Konstanten A_1, A_2, A_3 sind abhängig von der gewählten Filtertopologie. Für diese Betrachtung wird sich an den Werten aus [77] orientiert: $A_1 = 1, A_2 = 1, A_3 = 1.75$. Dies entspricht einem Filter mit quasi gaußscher Formung. I_{LD}, L_{LT} beziehen sich auf die Leckströme des Detektors und des Transistors. τ ist eine Zeitkonstante welche durch die Filter bestimmt wird. Sie muss an die Pulsrate angepasst sein. Ein kleines τ erlaubt hohe Pulsraten. C_T umfasst alle Kapazitäten am Verstärkereingang, also die des Detektors, Bondpads, Rückkoppellementen, Streukapazitäten und die Eingangskapazität des Transistors selbst. A_f ist ein empirischer Parameter mit dem das 1/f-Rauschen beschrieben werden kann.

Wie man aus den Formeln 5.6 und 5.4 erkennen kann, ist die Zeitkonstante τ ein Parameter der das Rauschen des Ladungsverstärkers stark beeinflusst. Zum einen wird bei kleinem τ das parallele weiße Rauschen kleiner, zum anderen steigt der

serielle Anteil an. Um bei sinkenden τ den weißen Rauschteil klein zu halten muss bei gegebener Eingangskapazität des Transistors S_{ws} sinken. In erster Näherung kann dies durch f_T ausgedrückt werden. Für einen Vergleich sowie für Simulationen, weiter unten zu finden, wird jedoch der ermittelte des Eingangsspannungsrauschens eingesetzt, da, wie oben schon erläutert, f_T zu falschen Werten führen würde.

Ebenfalls bemerkenswert ist, dass der $1/f$ -Rauschteil unabhängig von τ ist, jedoch abhängig von der Gesamtkapazität am Eingang des Verstärkers. Für Hochleistungssysteme, welche Silizium-Drift-Detektoren verwenden, liegt, wie oben erwähnt, die Detektorkapazität bei unter 100 fF. Dies hat zwei Vorteile: das serielle Rauschen wird drastisch verkleinert und der $1/f$ -Rauschteil des Transistors wird unterdrückt, da C_T sinkt, vgl Gl. 5.6 und Gl. 5.8. Der $1/f$ -Rauschteil stellt üblicherweise das Limit bezüglich des Signal-Rausch-Verhältnisses dar, da paralleles und serielle weißes Rauschen durch Variation von τ auf ein Minimum gebracht werden können. Auch ist es üblich in Hochleistungssystemen den Detektor zu kühlen um Leckströme zu minimieren.

Lange wurden JFETs wegen ihres niedrigen $1/f$ -Rauschens in solchen Vorverstärkern für Hochleistungssystemen mit SDDs eingesetzt um das beste Signal-Rausch-Verhältnis zu erhalten. Durch bessere Prozessführung, aber auch durch die kleinen Kapazitäten der SDDs ist es inzwischen aber auch möglich MOS-Transistoren zu verwenden, welche ein günstigeres Verhältnis von weißem Rauschen bei gegebener Eingangskapazität haben. CMOS-Transistoren haben gegenüber JFETs den Vorteil, dass der Stoßionisationsstrom lediglich als Substratstrom erzeugt wird und nicht in das, durch Isolationsschichten vom Kanal getrennte, Gate. Dadurch sind weitaus kleinere Gatelängen möglich als bei JFETs ohne einen parallelen weißen Rauschteil durch Stoßionisationsstrom hinzuzufügen. Diese Eigenschaft gibt der CMOS-Technologie in der Anwendung als Ladungsverstärker für SDDs einen klaren Vorteil [80]. Für größere Detektorkapazitäten (>1 pF) ist jedoch das $1/f$ -Rauschen von CMOS Bauelementen meistens zu groß und würde die Auflösung des Systems zu stark limitieren. Im Folgenden werden Ergebnisse aus Berechnungen zu verschiedenen Konfigurationen vorgestellt. Für die Werte vom CMOS-Bauelementen wird auf Werte anderer Veröffentlichungen zurückgegriffen [13].

In Tabelle 5.2 und 5.3 sind die äquivalenten Rauschladungen für einen EMFT-JFET und einen PMOS aus [13] dargestellt. In Abb. 5.7 ist beispielhaft die äquivalente Eingangsrauschladung in Summe und deren oben angeführten Anteile als Funktion von τ für eine Detektorkapazität von 1 pF aufgetragen.

Ein Vergleich von Tabelle 5.2 und 5.3 zeigt, für eine Detektorkapazität von 0.1 pF gleiches Gesamtrauschen, ENC_{tot} , für beide Werte von τ . Beim PMOS ist der $1/f$ Anteil größer, beim JFET der des weißen seriellen Rauschens.

Für eine Detektorkapazität von 0.05 pF kann mit dem PMOSFET ein niedrigeres Rauschen erreicht werden: 2.33 e r.m.s. zu 4.23 e r.m.s. für $\tau = 1\mu\text{s}$. Bei einer Detektorkapazitäten größer 0.1 pF wäre für $\tau > 1\mu\text{s}$ der EMFT-JFET weniger Rauschen

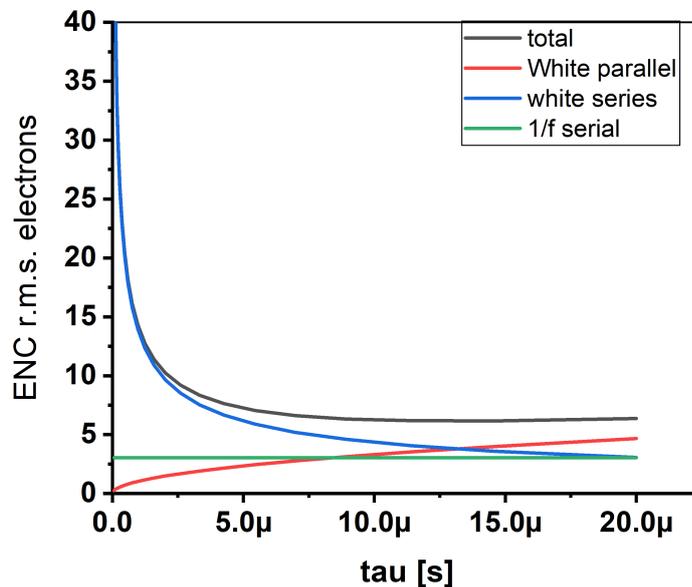


ABBILDUNG 5.7: Äquivalente Eingangsräusladung in Elektronen in Abhängigkeit der Filterzeitkonstante τ . Die Farbzuordnung ist wie folgend: schwarz: Summe der Rauschquellen, rot: weißes paralleles Rauschen, blau: weißes seriellcs Rauschen, grün: 1/f Rauschen

C Detektor [pF]	ENC _{ws} 1 μ s	ENC _{ws} 0.1 μ s	ENC _{1/f}	ENC _{tot} 1 μ s	ENC _{tot} 0.1 μ s
0.05	4.20	13.3	0.51	4.23	13.3
0.1	4.72	14.9	0.81	4.79	14.9
1	14.4	45.5	3.18	14.7	45.6
5	42.3	134	6.27	42.8	134

TABELLE 5.2: Übersicht der Rauschbeiträge von Ladungsverstärkern mit variierender Detektorkapazität und Verwendung eines EMFT-JFETs als Eingangstransistor. Als Basis für die verwendeten Werte wurde ein Transistor "Split II, p 120 1.4 0.6" verwendet und entsprechend der Detektorkapazität in der Top-Gate-Weite skaliert. Die Eingangskapazität des Transistors ist gleich der des Detektors. Für die Berechnung wurde der Leckstrom von Detektor und FET vernachlässigt. Es werden die seriellen weißen und 1/f-Rauschanteile ausgedrückt als Standardabweichung der Elektronenanzahl am Eingang des Verstärkers als äquivalente Rauschladung von Elektronen dargestellt.

C Detektor [pF]	ENC _{ws} 1 μ s	ENC _{ws} 0.1 μ s	ENC _{1/f}	ENC _{tot} 1 μ s	ENC _{tot} 0.1 μ s
0.05	1.07	3.38	2.08	2.33	3.38
0.1	3.4	10.7	3.30	4.73	15.0
1	8.23	26	25.3	26.6	36.3
5	18.0	57	55.4	57.0	79.5

TABELLE 5.3: Übersicht der Rauschbeiträge von Ladungsverstärkern mit variierender Detektorkapazität und Verwendung eines PMOS-FET als Eingangstransistor [13]. Als Basis für die verwendeten Werte wurde ein Transistor "600 0.35" verwendet und entsprechend der Detektorkapazität in der Gate-Weite skaliert. Die Eingangskapazität des Transistors ist gleich der des Detektors. Für die Berechnung wurde der Leckstrom von Detektor und FET vernachlässigt. Es werden die seriellen weißen und 1/f-Rauschanteile ausgedrückt als quadratischer Mittelwert der Schwankungen der Elektronenanzahl am Eingang der Verstärkers als äquivalente Rauschladung dargestellt.

beitragen, für $\tau < 1\mu\text{s}$ der PMOSFET.

Relativierend muss hier eingewandt werden, dass die flicker-corner-Frequenz bei MOSFETs vom gewählten Arbeitspunkt abhängt und damit auch das 1/f-Rauschen. Auch gibt es bei den Sensorsystemen eine Mindestanforderung an die Auflösung. So ist es sehr wahrscheinlich, dass für Detektorkapazitäten größer 0.1 pF weiterhin JFETs als Eingangstransistor verwendet werden, da das serielle weiße Rauschen bei vernachlässigbarem Leckstrom mit wachsendem τ abnimmt und so das Rauschen auf ein Minimum gebracht werden kann was bei Verwendung eines PMOSFETs nicht möglich ist. Auch wurde für diese Betrachtung das parallele weiße Rauschen vernachlässigt. Dieser Anteil ist, wie in Gleichung 5.4 dargestellt, vom Leckstrom des Transistors, des Detektors und einem möglichen Rücksetzwiderstand abhängig. Die Leckströme des Detektors sind stark von der Temperatur abhängig, da diese meist Generationsströme sind, welche aufgrund von thermischer Anregung in den Raumladungszonen der Halbleiter entstehen [2]. Für JFETs hingegen sinkt bei Abkühlung zwar der Leckstrom aufgrund geringerer thermischer Anregung, allerdings steigt der Anteil an Stoßionisationsstrom, da höhere Beweglichkeiten eine höhere Stoßionisationsrate bewirken.

Ein weiterer Aspekt, der hier nicht beleuchtet wurde, ist die Integrierbarkeit des Verstärkers in einen integrierten Schaltkreis. Wie in Tabelle 4.2 gezeigt wurde, sind die JFETs diejenigen mit dem niedrigen weißen Rauschen, welche auf p-Substrat gefertigt wurden. Dies macht eine Integration in einen CMOS-Prozess schwierig. Auch, wenn das Bottom-Gate eines JFET prinzipiell auch wie der Substratanschluss von MOSFETs behandelt werden kann, sollte das Bottom-Gate des JFET in integrierten Schaltungen vom allgemeinen Substrat getrennt sein um Übersprechen zwischen Transistoren zu vermeiden. Dies entspräche dem JFET "100 1.4 0.6 II, n MG" welcher aber schon ein deutlich höheres weißes Rauschen aufgrund des höheren Bottom-Gate-Widerstands aufweist. Eine Möglichkeit wäre es SOI Wafer zu verwenden auf die eine hochdotierte Epi-Schicht mit darauffolgender gering dotierter

Device	C_{inp} [pF]	g_m [mS]	f_T [GHz]	f_c [Hz]	input referred white noise [$\frac{nV}{\sqrt{Hz}}$]	en_{cip} [$\frac{nV}{\sqrt{Hz}}$ pF]
120 1.4 0.7 MG II,p	0.3	3.5	2.5	500	2.5	1.88
120 1.8 0.7 MG II,p	0.34	3.5	1.9	500	2.7	2.5
500 1.6 0.7 MG II,p	1.2	12	1.6	2000	1.6	3.1
MX10 [64]	0.8	6.5	1.3	≈ 100	2	3.2
1000/4 [49]	13	10	0.12	≈ 20	2.7	95
SSGJFET [77]	0.1				8.3	6.9
xxx 0.5 [56]	2.2	20.1	1.45	≈ 2000		

TABELLE 5.4: Vergleich der Daten von EMFT-JFET zu JFETs aus anderen Veröffentlichungen.

Epi-Schicht aufgewachsen wurde. Die hochdotierte Epi-Schicht würde dafür sorgen, dass der Bottom-Gate-Widerstand gering bleibt, die niedrig dotierte Schicht könnte dann mit Wannen für die CMOS-Transistoren und Bottom-Gate-Implant für einen JFET versehen werden. Die Isolation zwischen den Transistoren erfolgt über Oxid gefüllte Gräben welche von der Oberfläche bis zum vergrabenen Oxid reichen.

5.3.1 Stand der Technik

In Tabelle 5.4 werden die wichtigsten Parameter eines JFETs bezüglich Rauschen aus dieser Arbeit mit Transistoren aus anderen Veröffentlichungen verglichen.

Ein Vergleich zeigt, dass die Struktur "120 1.4 0.7 MG II,p" die besten Werte zeigt bezüglich weißen Rauschens bei gegebener Eingangskapazität. Im Vergleich mit dem "1000/4" aus [49] ist jedoch der $1/f$ -Anteil deutlich höher. Die beiden Strukturen "500 1.6 0.7 MG II,p" und "MX10" aus [64] sind gleich in Ihrem weißen Rauschen bezüglich Eingangskapazität, wobei "MX10" einen deutlich niedrigeren $1/f$ -Rauschanteil aufweisen dürfte. Beim Vergleich von f_T zwischen "500 1.6 0.7 MG II,p" und "120 1.8 0.7 MG II,p" fällt auf, dass für die größere Struktur, "500 1.6 0.7 MG II,p", f_T geringer ist, obwohl die Top-Gatelänge kleiner ist. Die Transkonduktanz ist, normiert auf die Top-Gate-Weite, bei "500 1.6 0.7 MG II,p", $g_m = 24\mu\text{S}\mu\text{m}^{-1}$ im Vergleich mit den Strukturen mit $120\mu\text{m}$, $g_m = 29\mu\text{S}\mu\text{m}^{-1}$. Damit ergibt sich bei gleichen gezeichneten L_{cheff} ein Unterschied von 20%. Dieser Unterschied ist systematisch auf allen Wafern zu finden. Wenn Abb. 5.8 betrachtet wird, fällt auf, dass das Top-Gate des Transistors mit $W_{tg} = 120\mu\text{m}$ vor allem parallel zur Kristallorientierung 110 verläuft, wohingegen beim Transistor mit $W_{tg} = 500\mu\text{m}$ die Orientierung zwischen 110 und 100 gleich aufgeteilt ist. Da die Transistoren, wie gezeichnet, unten zum Notch ausgerichtet sind, fließt beim JFET mit $W_{tg} = 500\mu\text{m}$ mehr Strom entlang der 100 Richtung. Die Sättigungsgeschwindigkeit in 100 Richtung ist um ca. 5% niedriger als die in 110 [85][86]. Die Transkonduktanz des $W_{tg} = 500\mu\text{m}$ JFET ist jedoch um ungefähr 15% geringer. Die Frage nach dieser Diskrepanz bleibt also leider nicht abschließend beantwortet.

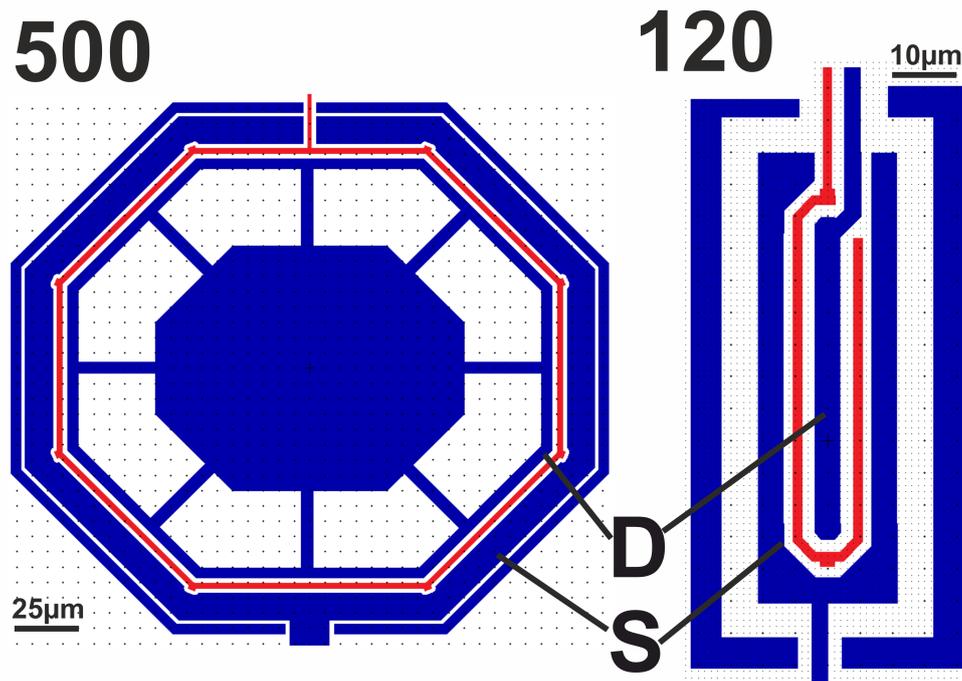


ABBILDUNG 5.8: Vereinfachte Darstellung der beiden Transistoren mit 120 μm und 500 μm Top-Gate-Weite. Top-Gate: rot, Source und Drain: blau.

5.4 Ausblick

Die hier vorgestellten Ergebnisse beziehen sich allesamt auf JFETs als Einzelbauelement. Transistoren als Einzelbauelement zu verwenden bietet für Schaltungstechniker, die potentiellen Anwender, große Flexibilität, jedoch ist die Funktionalität pro benötigter Fläche der Schaltung beschränkt. Die Beliebtheit von Operationsverstärkern gegenüber Verstärkern aus Einzelbauelementen begründet sich unter anderem in Ihrer vielseitigen Anwendung bei gleichzeitig geringem Platzverbrauch und geringen Ansprüchen an die Spannungsversorgung. Mehrkanalverstärker mit mehreren Eingängen, die an einen kleinen Sensorchip mit mehrere Ausgängen angebunden werden, sind mit Einzeltransistoren ebenfalls umständlich umzusetzen.

Ein nächster Schritt wäre es mit den in dieser Arbeit erworbenen Kenntnissen den JFET in einen CMOS oder Bipolar-Prozess zu integrieren. Hierbei sollte bei der Wahl des CMOS Prozesses die Wahl auf die Kompatibilität mit dem Prozessfluss des JFETs einbezogen werden. Annealings haben einen großen Einfluss auf den Leckstrom von Dioden. Da mit JFETs höchste Eingangsimpedanzen realisiert werden sollen, ist hier ein gesondertes Augenmerk darauf zu richten. Eine weitere Herausforderung bei der JFET in CMOS Integration besteht dabei den Bottom-Gate-Widerstand gering zu halten, da dieser, wie in Gl. 4.5 gezeigt, das weiße Rauschen des Transistors stark beeinflusst. Eine Möglichkeit wäre ein Silicon-on-Insulator Substrat zu verwenden auf dem eine höchstdotierte p-Epitaxie-Schicht und darauf eine niedriger dotierte p-Epitaxie-Schicht. Dies würde eine Isolierung der Bottom-Gates

von den Wannan anderer Transistoren über mit Isolatoren gefüllte Gräben (Trenche) ermöglichen. Diese Integration würde den Betrieb mit Top-Gate als Eingang, aber auch mit kurzgeschlossenen Top- und Bottom-Gate ermöglichen. Eine andere Variante wäre ein CMOS-Prozess mit höchstdotierten p-Substrat und darauf aufgebracht p-Epi-Schicht. Das Backgate hätte über die Epi-Schicht einen geringen Anschlusswiderstand, jedoch könnte so das Backgate nicht mehr für jeden Transistor einzeln angesteuert werden. Auch sind Störeffekte wie Übersprechen zwischen den Transistoren denkbar [87].

Bezüglich möglicher Anwendungen bietet sich immer dann ein Vorteil, wenn niedriges $1/f$ Rauschen bei sehr hoher Eingangsimpedanz gefragt ist. Typische Messaufgaben sind hierbei Messungen im Zeitbereich bis 10 MHz wie Patch-Clamp-Verstärker [88] [89], time-of-flight-Messungen [60] oder Ultraschallmikrophone [90]. Eine spezielle Anwendung ist noch der Einsatz in Ladungsverstärkern [91]. Hier ist die äquivalente Rauschladung durch das $1/f$ Rauschen des Transistors begrenzt.

Neben diesen Ausblicken kann die Herstellung des JFETs ebenfalls noch optimiert werden. Um eine geringere Streuung von Wafer zu Wafer und von Charge zu Charge zu erhalten, wäre es vorteilhaft die effektive Kanallänge, also den Bereich unter dem Top-Gate mit Main-Channel Dotierung, über eine selbst justierende Maske zu realisieren anstatt, im Falle von Split II, zwei Lackmasken für Top-Gate und extended-Drain-Channel zueinander zu justieren.

Abb. 5.9 zeigt eine mögliche Umsetzung. Ein Problem bei der Realisierung wie im derzeitigen Prozessablauf ist, dass das Top-Gate erst am Schluss implantiert wird. Das Prozessschema in Abb. 5.9 implantiert Top-Gate vor dem Kanal. Durch Erzeugung eines Oxidspacers wird der Bereich für die extended-Drain-Channel-Implantation definiert, L_{cheff} entspricht der Breite des Spacers - es ist also nur eine Kanallänge realisierbar.

Alternativ ist im Prozessschema in Abb. 5.10 eine Einstellung von L_{cheff} möglich. Der erste Schritt definiert im Polysilizium einen Bereich in dem kein extended-Drain-Channel implantiert wird (1. Bild). Durch Erzeugung von Oxidspacern und Ätzen des Polysiliziums wird ein Negativ der Anfangsstruktur erzeugt (2. und 3. Bild). Durch einen Lithographieschritt mit anschließender Ätzung wird der drainseitige Oxidspacer entfernt (4. Bild). Anschließend wird der Oxidspacer verbreitert, in dunkelblau dargestellt, um einen Abstand zwischen die Top-Gate-Implantation und extended-Drain-Channel Dotierung zu schaffen (5. Bild). Sind Top-Gate- und extended-Drain-Channel-Dotierung zu nahe zusammen, verschiebt sich die Schwellspannung wie in Kapitel 2.4.1 erörtert und auch in der Literatur so beschrieben [92]. Die Länge des Top-Gate wird auf der Sourceseite vom Oxid-Oxid-Spacer, auf der Drainseite durch eine Lackmaske bestimmt (5. Bild). Eine Variation der Lackmaske für Top-Gate würde eine Variation von L_{edc} bewirken. Dies hätte Auswirkungen auf den Ausgangswiderstand, den Stoßionisationsstrom und Top-Gate-Kapazität. Schwellspannung, Drainstrom und Transkonduktanz hingegen wären kaum beeinflusst.

Für beide Variationen wäre es wichtig, dass die Spacererzeugung von Wafer zu Wafer und von Herstellungsdurchlauf zu Herstellungsdurchlauf immer gleich verläuft. Das Problem, dass durch Lithographie die beiden Ebenen Top-Gate und extended-Drain-Channel zueinander justiert werden müssen wird verlagert auf die Präzision von Abscheide und Ätzprozessen. Die Anzahl der Lithographieschritte bleibt bei der Variante in Abb. 5.9 bei zwei (Gatebereich definieren, EDC freilegen), bei der Variante in Abb. 5.10 erhöht sie sich auf mindestens drei (Definition MC, drainseitigen Spacer ätzen, Top-Gate-Implant).

Ebenfalls besteht noch Optimierungspotential in den Source und Drain-Zuleitungswiderständen [92], sowie beim Layout von Strukturen mit Top-Gate-Weiten größer als 120 μm . In Abb. 4.25 ist ein Absinken des Kanalleitwerts g_{d0} für höhere Gatespannungen festzustellen. Da es, anders als bei MOSFETs, keine Feldeffektbeweglichkeit gibt, ist das Absinken von g_{d0} auf die Source und Drain-Zuleitungswiderstände zurückzuführen. Einen Vergleich von großen zu kleinen Strukturen findet sich im Abschnitt 4.2.

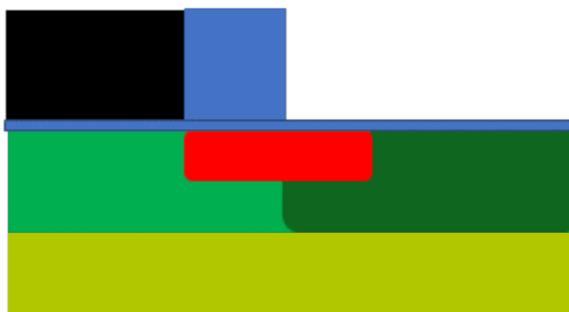
Gatebereich definieren und implantieren



EDC Bereich freilegen



Spacer erzeugen und EDC implantieren



Spacer entfernen



Substrat
Oxid
BackGate
Main Channel
Extended Drain Channel
Source/ Drain
Polysilizium

ABBILDUNG 5.9: Mögliche Realisierung eines selbstjustierten Split-Channel JFET Prozesses.

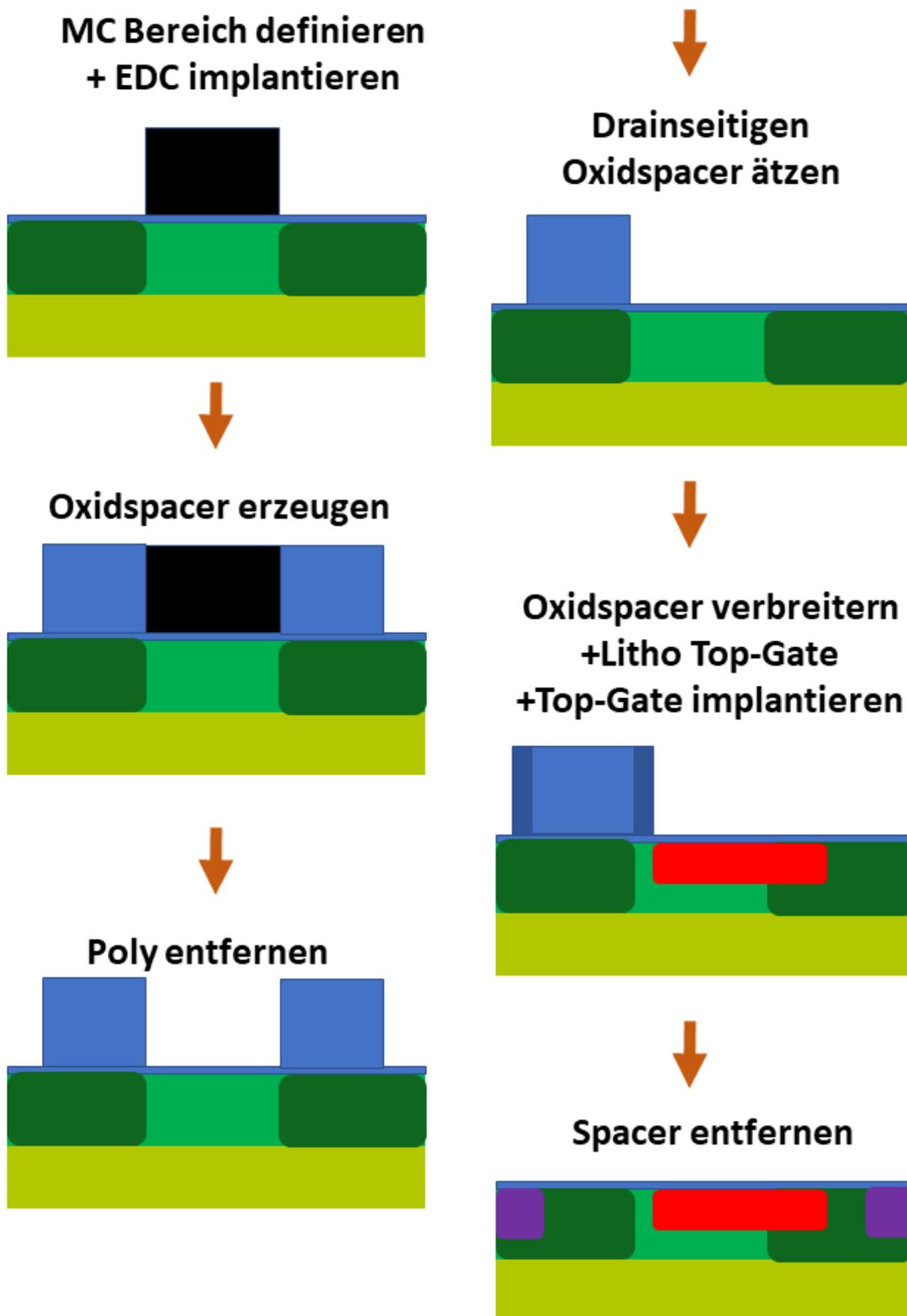


ABBILDUNG 5.10: Mögliche Realisierung eines selbstjustierten Split-Channel JFET Prozesses, zweite Möglichkeit.

Kapitel 6

Publikationen

Folgende Veröffentlichungen entstanden im Rahmen dieser Arbeit:

- Sturm-Rogon L., Neumeier K., Kutter C., „Low-noise Si-JFETs enhanced by split-channel concept,“ *IEEE Transactions on Electron Devices*, 2020, ISSN: 0018-9383. DOI: [10.1109/TED.2020.3026661](https://doi.org/10.1109/TED.2020.3026661)
 - M. Peterlik, J. Kölbl und L. Sturm, „Phase Noise Evaluation of a Novel Low-Noise Field Effect Transistor,“ *Applied Research Conference (ARC), Muenchen*, 7. July 2017, 2017
 - Leonhard Sturm, „Low Power, Low noise JFETs for room Temperature X-Ray Detectors,“ *European Conference on X-Ray Spectrometry, Ljubljana*, 24-29. June 2018, 2018
-

Anhang A

Unterstützende Informationen

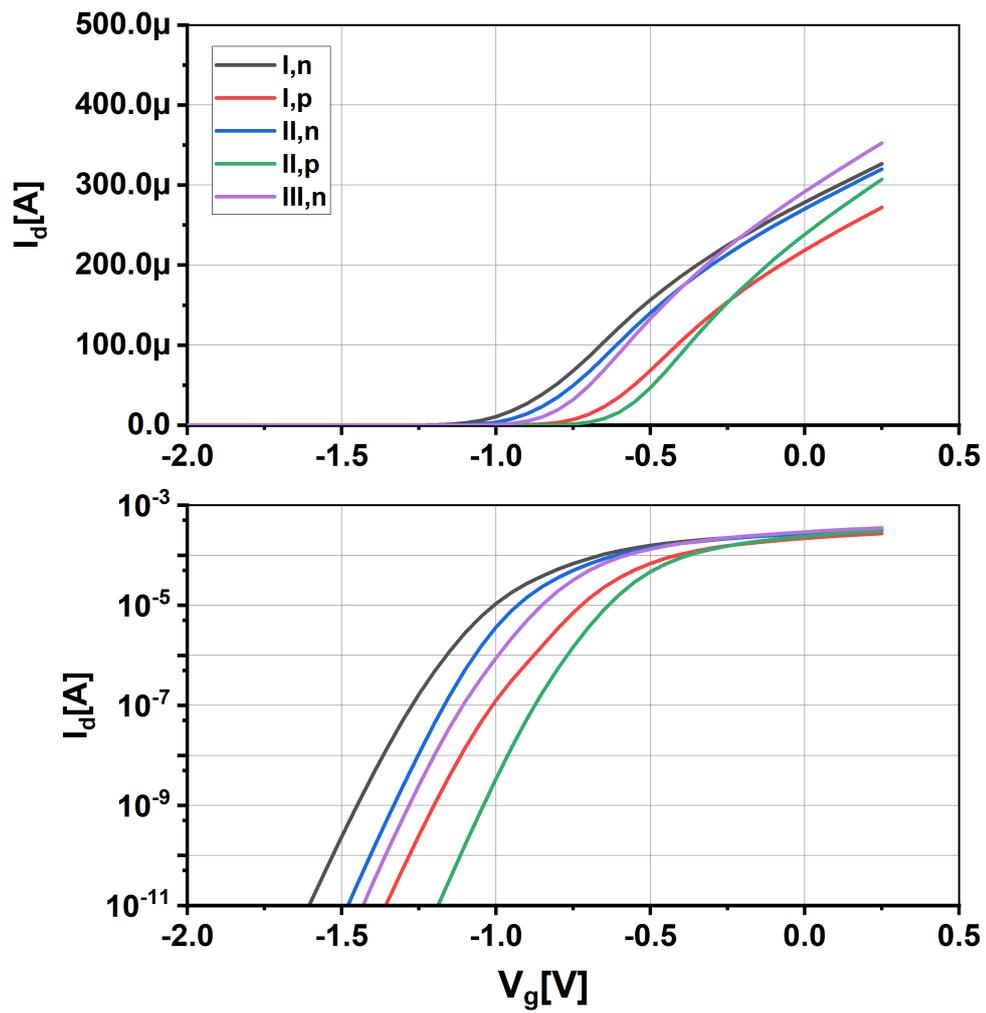


ABBILDUNG A.1: Vergleich der Eingangskennlinien aller Splits mit Drainspannung 50 mV

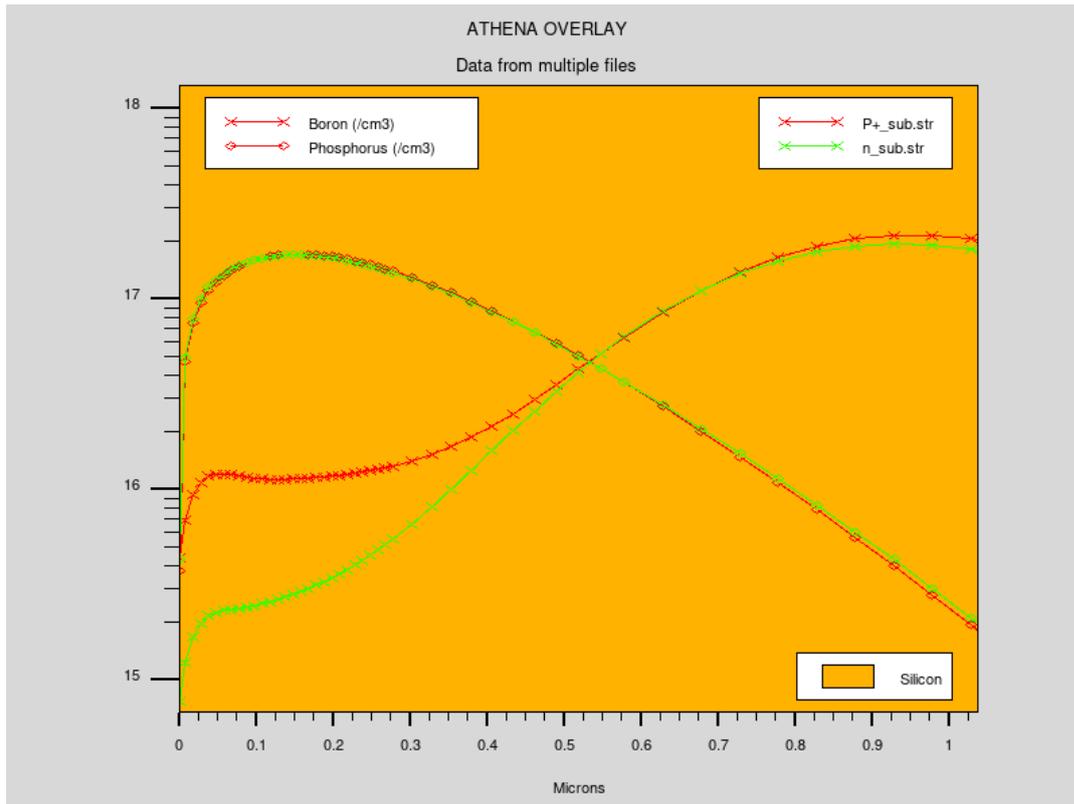


ABBILDUNG A.2: Vergleich des Dotierprofils zwischen P+ Substrat(rot) und n Substrat(grün).

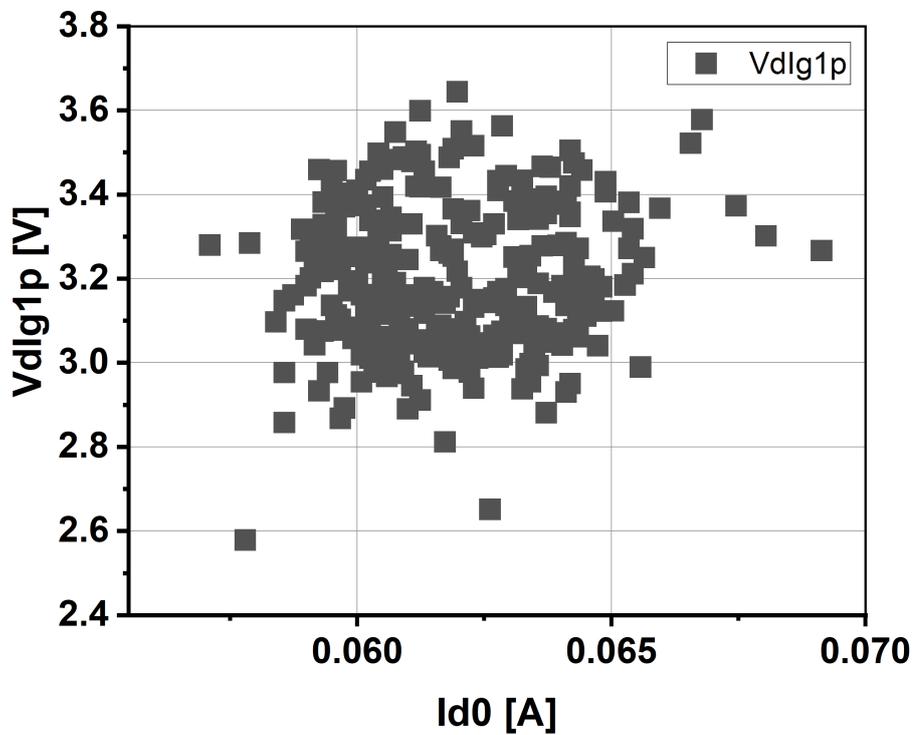


ABBILDUNG A.3: Streudiagramm zur Korrelationsprüfung von $V_d(I_{g1p})$ zu I_{d0}

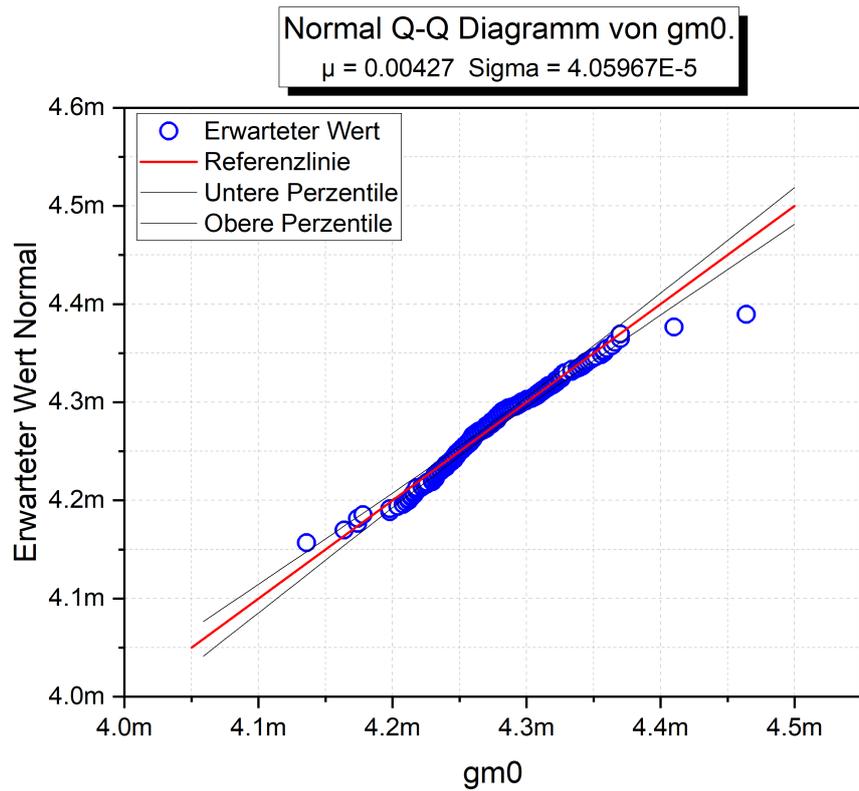


ABBILDUNG A.4: Q-Q-Plot gm0

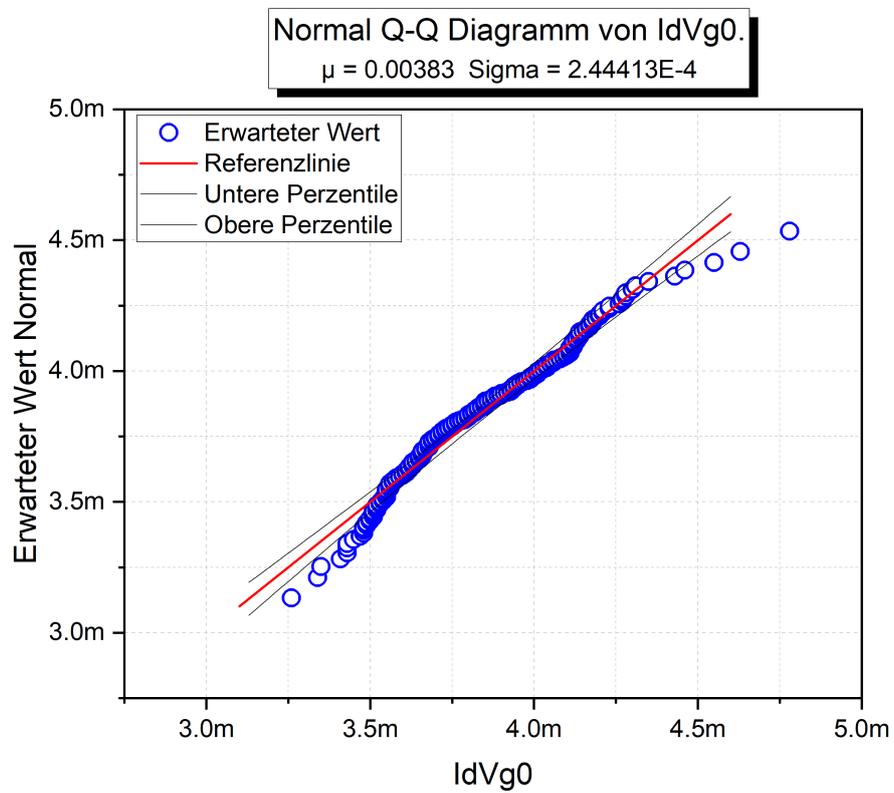


ABBILDUNG A.5: Q-Q-Plot Ids0

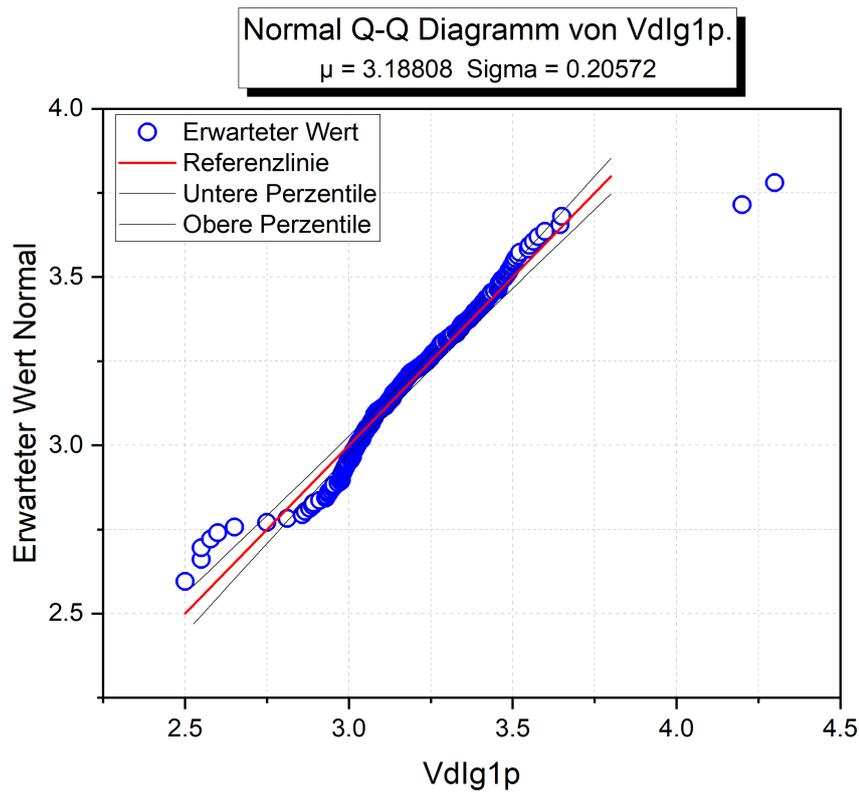


ABBILDUNG A.6: Q-Q-Plot VdI_{g1p}

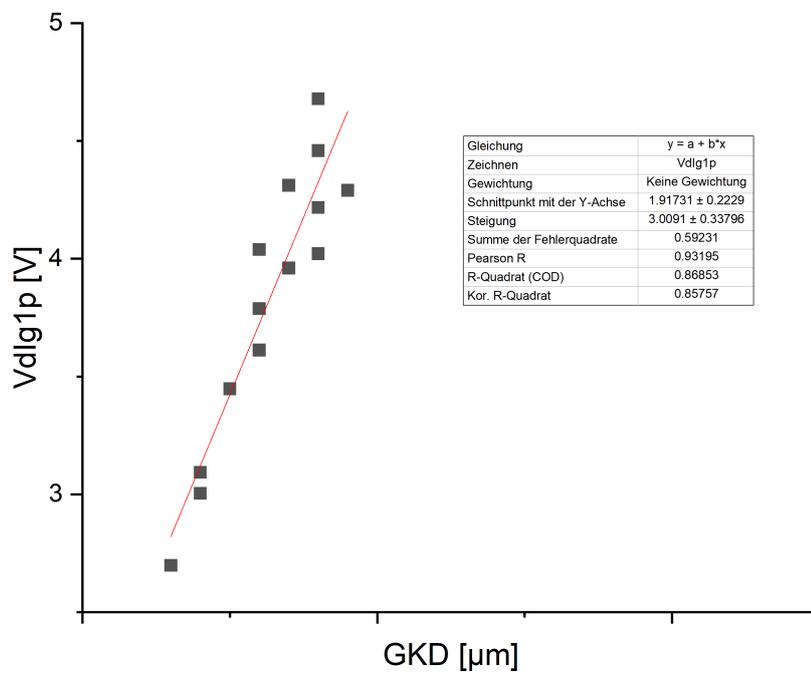


ABBILDUNG A.7: linearer Fit an Anteile der Gruppe 0.6 ... 0.8 μm zur Bestimmung der Abhängigkeit von $V_{\text{dsI}_{g1p}}$ zu L_{edc}

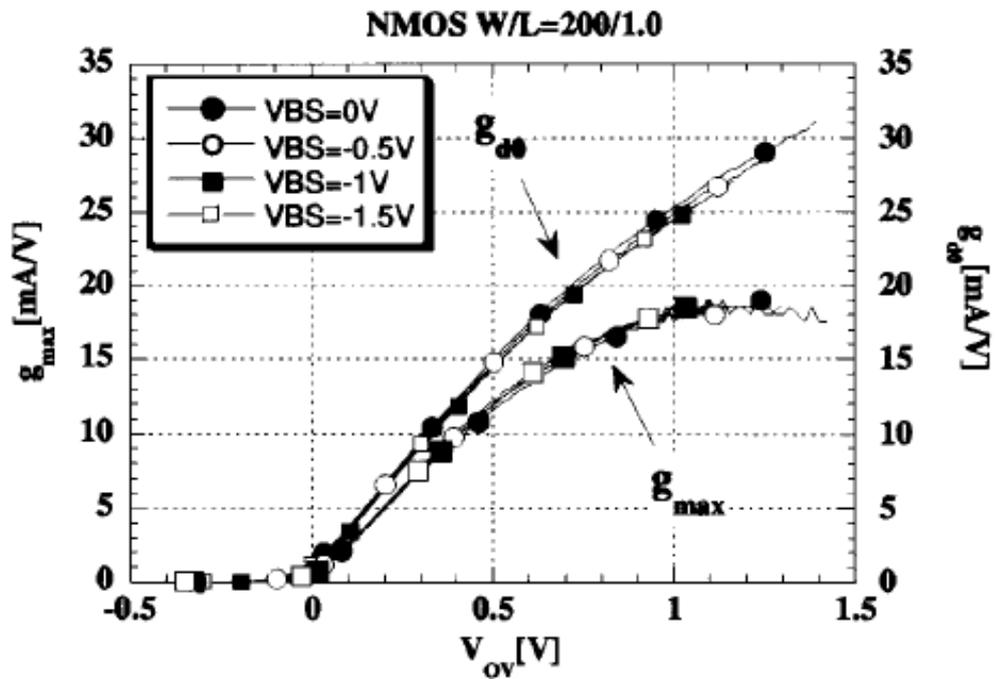


Fig. 4. Drain conductance g_{d0} and transconductance g_{max} for an N -MOSFET as a function of the overdrive voltage V_{OV} , with the bulk-to-source voltage V_{BS} as a parameter. $V_{DS} = 1$ V.

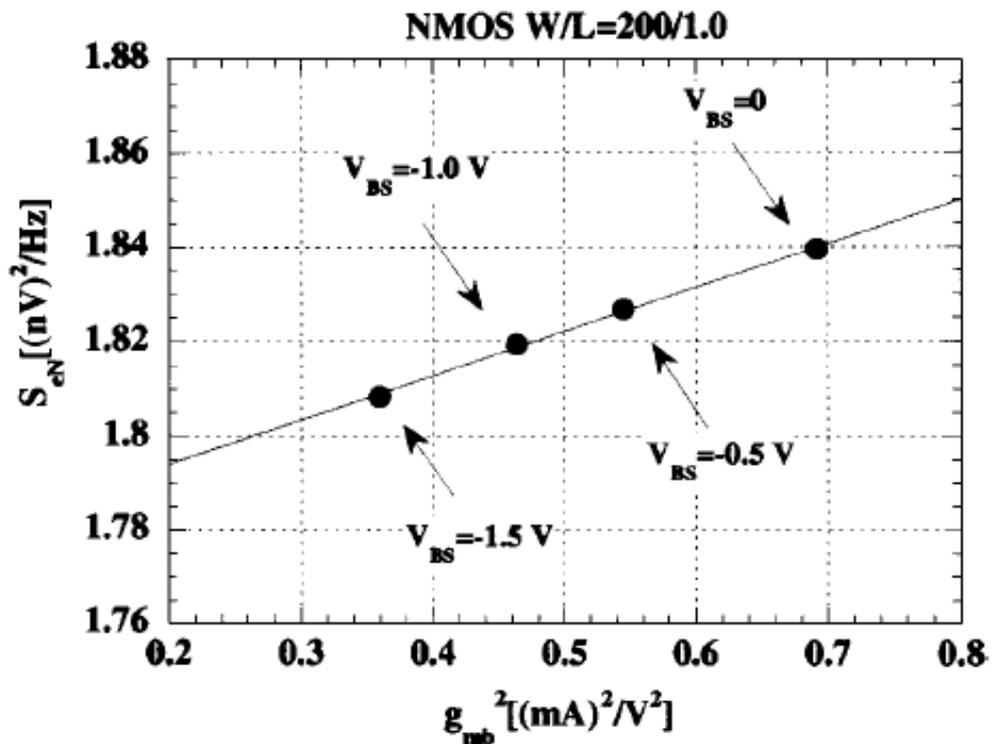


Fig. 5. White noise spectral density for an N -MOSFET with $W/L = 200/1.0$, as a function of the square of the bulk transconductance g_{mb}^2 , at $V_{OV} = 0.25$ V.

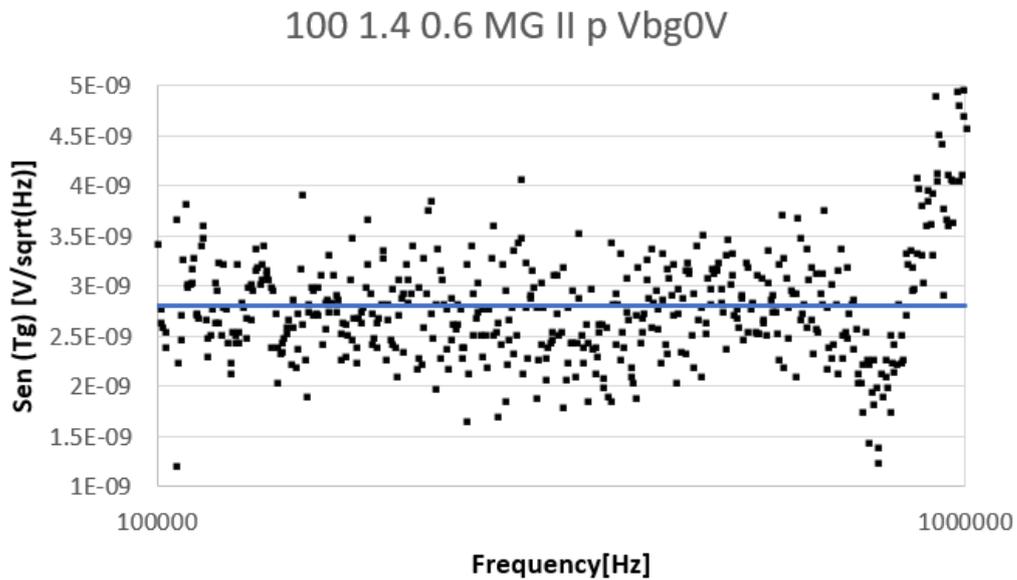


ABBILDUNG A.9: Rauschen der Struktur "100 1.4 0.6 MG II p" im Arbeitspunkt $V_{tgs} = V_{bgs} = 0V, V_{ds} = 2V$

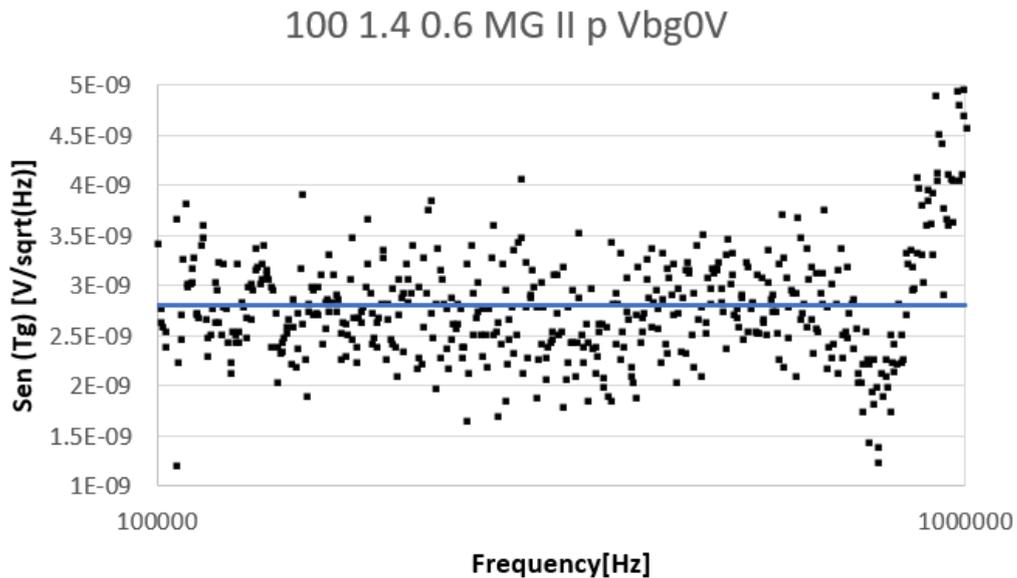


ABBILDUNG A.10: Rauschen der Struktur "100 1.4 0.6 MG II p" im Arbeitspunkt $V_{tgs} = 0V, V_{bgs} = -0.5V, V_{ds} = 2V$

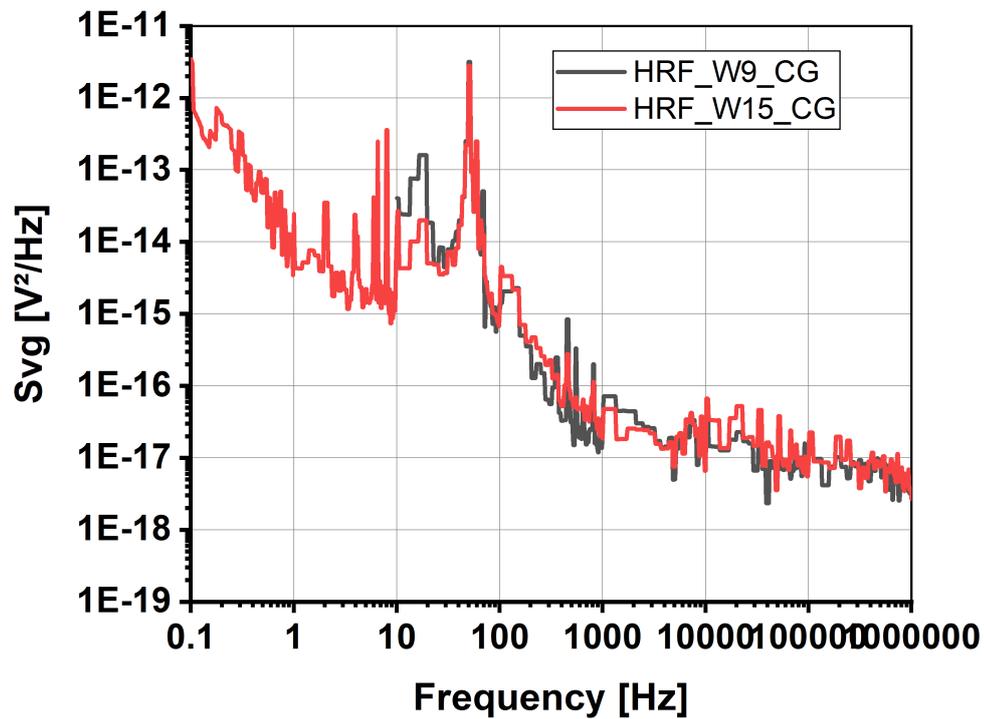


ABBILDUNG A.11: Rauschmessungen an Strukturen aus dem gleichen Herstellungsdurchlauf wie "100 1.3 normal CG pwell". Die Gateweite beträgt 240 μm Top-Gate-Länge 0.8 μm . Gatekontakt erfolgt über Punktkontakt. Der Unterschied beider Kurven liegt im Anneal der Top-Gate Dotierung. W9 wurde im Ofen annealt, W15 im RTP bei 1050 $^{\circ}\text{C}$ 10 s

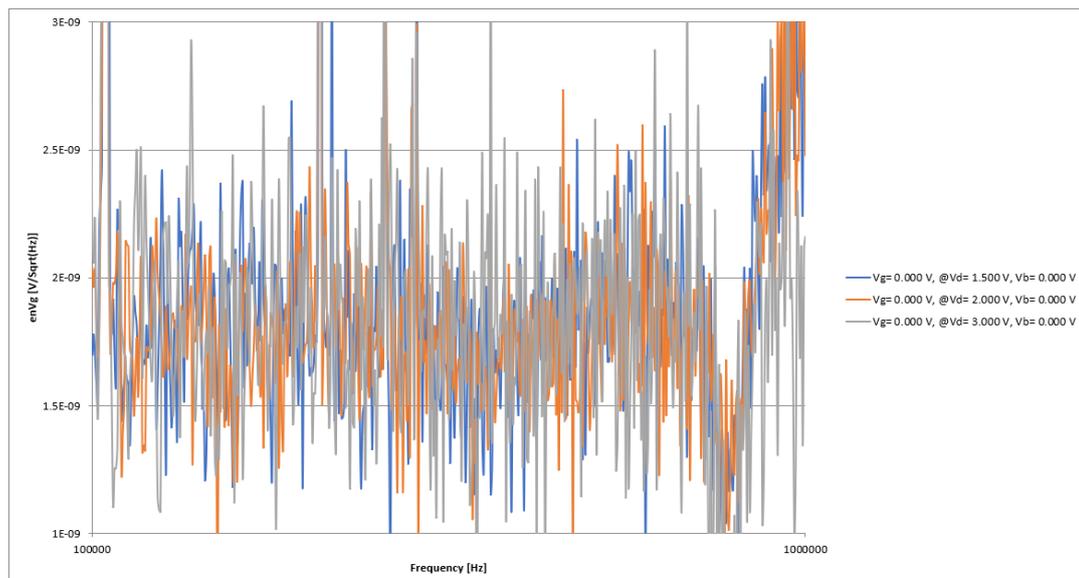


ABBILDUNG A.12: weißes Rauschen im Arbeitspunkt $V_{\text{bgs}}=V_{\text{tgs}}=0\text{ V}$. $V_{\text{ds}}=(1.5;2.0;3.0\text{ V})$.

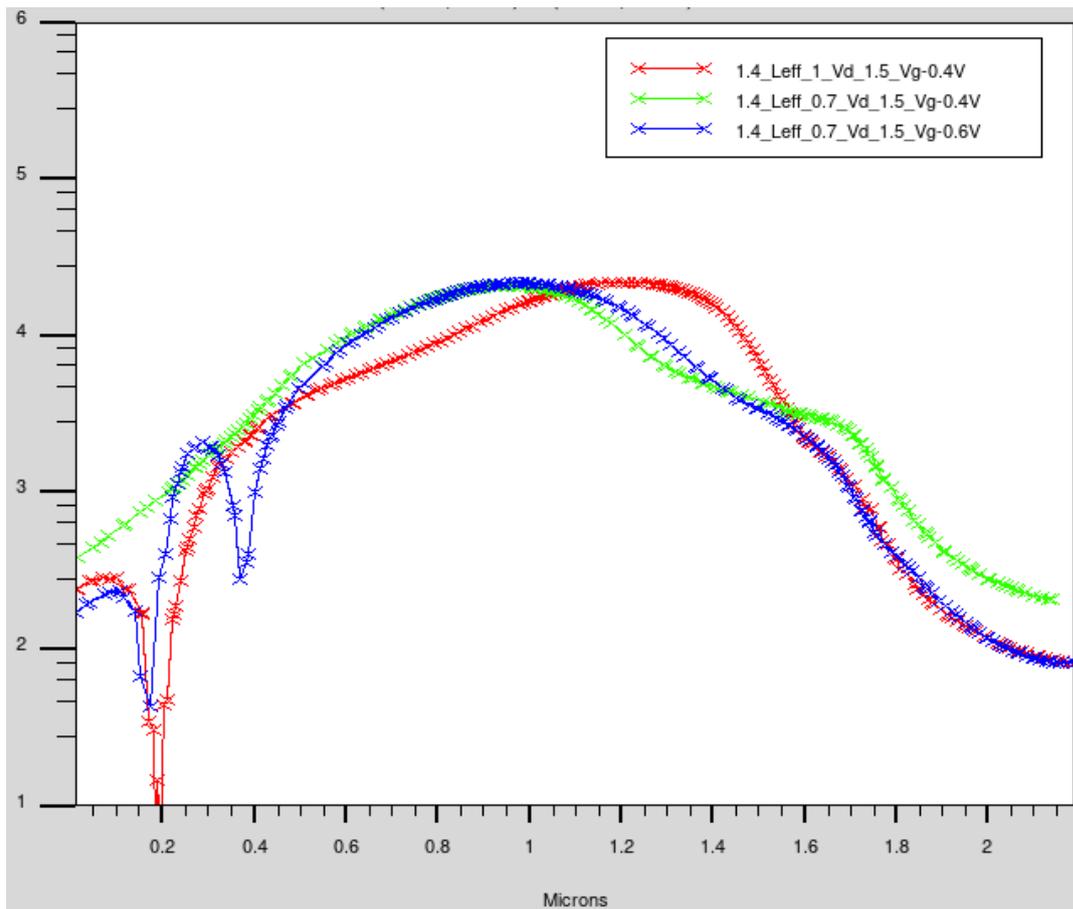


ABBILDUNG A.13: elektrisches Feld $[\log 1/V_{cm}]$ entlang der Schnittlinie im Kanal

Anhang B

Flowchart Herstellungsprozess

B.1 Simulationsscript zur Herstellung eines JFET

```

go athena
#source parameter_jfetc.in
set dSG=1.4
set SourceBreite=0.2
#set GATELAENGE=1.4
set QUASI_GATE="$GATELAENGE"/2+"dSG"+"SourceBreite"
set JNC_DOTIERSTOFF=Phosphorus
#set NCSGOvlp=0.8
#set NCSDOvlp=0.2
#set JNC_DOSIS_NCD=8e12
#set JNC_DOSIS_NCS=6e12
set RERRNCD=0.065
set RERRNCS=0.115
set damfacNCD=0.4
set damfacNCS=0.45
set damfacBG=0.055
set JNC_ENERGIENCS=200
#set JNC_ENERGIENCD=300
#set WANNEN_ENERGIE=330
set RERW=0.025
set Shallow_DOSIS_P=5e13

line x loc=0.0          spac=0.1
line x loc=0.2          spac=0.2
line x loc=0.5          spac=0.1
line x loc=1.1          spac=0.1
line x loc="$SD_ZU_GATE"+0.02 spac=0.02
line x loc="$QUASI_GATE"+"$GATELAENGE"/2+0.1 spac=0.01
line x loc="$QUASI_GATE"+"$GATELAENGE"/2+0.3 spac=0.1

```

```
line x loc=6                                spac=0.1

#$QUASI_GATE

line y loc=0.0                            spac=0.01
line y loc=0.2                            spac=0.01
line y loc=0.3                            spac=0.01
line y loc=0.6                            spac=0.025
line y loc=0.8                            spac=0.05
line y loc=1                              spac=0.05
line y loc=1.5                            spac=0.05
line y loc=2                              spac=0.1
line y loc=10                             spac=10

init orientation=100 c.phos=$"GRUNDDOTIERUNG"

method fermi

### 1 STREUOXID

diffuse temperature=$"stroxtemp" time=$"Stroxtime" press=0.94 weto2

extract name="1)Streuoxiddicke" oxide thickness \
      x.val=0.5*$QUASI_GATE

### 6 WANNEN-IMPLANTATION

#wird im JFET-Teil ausgelassen

### 8 WANNE EINTREIBEN

diffus time=57.15 temp=750 t.final=1150 nitro
diffus time=$"welltime" temp=$"welltemp" nitro
diffus time=57.15 temp=1150 t.final=750 nitro

### 14 FELDOXIDATION

diffusion time=$"FOXtime" temp=$"FOXtemp" inert
```

```
### 17 REINIGUNGSOXID 18 WANNE EINTREIBEN
```

```
diffus time=21 temp=750 t.final=900 dryo2 press=0.94 hcl.pc=3
diffus time=45 temp=900 weto2 press=0.78 hcl.pc=3
diffus time="$cleaOxtime" temp="$cleaOxtemp" t.final=1150 nitro press=0.94
diffus time=60 temp=1150 nitro press=0.94
diffus time=57 temp=1150 t.final=750 nitro press=0.94
```

```
### 19
```

```
etch oxide all
method full.cpl
### 20 STREUOXID
```

```
### 20a JNC IMPLANTATION
```

```
#implant ganzflaechig, andere Herangehensweise
#Kanalimplantation ist fixiert. Das Gate selbst wird darueber verschoben
#Simulationstechnisch effizienter
#deposit photores thick=2.7
#etch photores left p1.x="$Sourcebreite"+2+0.7
#etch photores start x="$Sourcebreite"+2+0.7+0.1 y=-2.7
#etch photores con x="$Sourcebreite"+2+0.7 y=-2.7
#etch photores done x="$Sourcebreite"+2+0.7 y=0.1
```

```
implant "$JNC_DOTIERSTOFF" dose=("$JNC_DOSIS_NCS") \
energy="$JNC_ENERGIENCS" -("$JNC_ENERGIENCS"*"$RERRNCS") \
bca n.ion=20000 rot=22 tilt=7 damage dam.factor="$damfacNCS"
```

```
etch photores
```

```
deposit photores thick=2.7
etch photores right p1.x="$Sourcebreite"+2+0.7-"NCSDOvlp"
etch photores start x="$Sourcebreite"+2+0.7-"NCSDOvlp"-0.1 y=-2.7
etch photores con x="$Sourcebreite"+2+0.7-"NCSDOvlp" y=-2.7
etch photores done x="$Sourcebreite"+2+0.7-"NCSDOvlp" y=0.1
```

```
implant "$JNC_DOTIERSTOFF" dose=("$JNC_DOSIS_NCD")/4 \
energy="$JNC_ENERGIENCD" -("$JNC_ENERGIENCD"*"$RERRNCD") \
bca n.ion=20000 rot=22 tilt=7 damage dam.factor="$damfacNCD"
```

```
implant "$JNC_DOTIERSTOFF" dose=("$JNC_DOSIS_NCD")/4 \
energy="$JNC_ENERGIENCD" -("$JNC_ENERGIENCD"*"$RERRNCD") \
```

```
bca n.ion=20000 rot=112 tilt=7 damage dam.factor="$damfacNCD"

implant "$JNC_DOTIERSTOFF" dose=("$JNC_DOSIS_NCD")/4 \
energy="$JNC_ENERGIENCD" -("$JNC_ENERGIENCD"*"$RERRNCD")\
bca n.ion=20000 rot=202 tilt=7 damage dam.factor="$damfacNCD"

implant "$JNC_DOTIERSTOFF" dose=("$JNC_DOSIS_NCD")/4 \
energy="$JNC_ENERGIENCD" -("$JNC_ENERGIENCD"*"$RERRNCD")\
bca n.ion=20000 rot=292 tilt=7 damage dam.factor="$damfacNCD"

etch photores

diffuse temp="$dummytemp" time=1

### 6 BACKGATE-IMPLANTATION
implant "$WANNEN_DOTIERSTOFF" dose="$WANNEN_DOSIS" \
energy="$WANNEN_ENERGIE" -("$WANNEN_ENERGIE"*"$RERW") tilt=7 \
bca n.ion=10000 damage dam.factor="$damfacBG"

etch photores

### 21 VTH IMPLANTATION

method full.cpl

### 28 AUSHEILEN

diffuse temp=700 time=30
diffuse temp=700 time=30 t.final=900
diffuse temp="$annealVthtemp" time=30

### 29

etch oxide all

### 30 GATEOXID

method fermi grid.oxide=0.001

diffus time=21 temp=750 t.final=900 dryo2 press=0.94 hcl.pc=3
diffus time="$GOX_ZEIT" temp=900 dryo2 press=0.94 hcl.pc=3
```

```
#time 19.8 -> 15nm
diffus time="$goxtime" temp="$goxtemp" nitro press=0.94
diffus time="$goxrmpdwn" temp="$goxtemp" t.final=750 dryo2 press=0.94 hcl.pc=3

#extract name="Gateoxiddicke" oxide thickness \
#       x.val=0.5*$"QUASI_GATE"

### 31 POLY DEPO 32a POLY DOTIEREN

#deposit polysilicon thick=0.28 c.phosphor="$POLY_DOTIERUNG"

### 32b DIFFUSION INERT

diffus time="$postgoxtime" temp="$postgoxtemp" nitro press=0.94

### 34 AETZEN POLY; AETZEN OXID auf 10nm; TROCKENOXID

#etch oxide dry thick=("$Gateoxiddicke"/10000)-0.01

### TEOS verdichten

method fermi

diffus time=14.3 temp=750 t.final=850 dryo2 press=0.94 hcl.pc=3

diffus time=34 temp=850 dryo2 press=0.94 hcl.pc=3
# time -> 10nm
diffus time=20 temp=850 nitro press=0.94
method fermi
diffus time=14 temp=850 t.final=750 dryo2 press=0.94 hcl.pc=3

### 37 LDD IMPLANTATION
### fuer den ersten Ansatz erst einmal keinen LDD Implant fuer JFET

#implant $"LDD_DOTIERSTOFF" energy="$LDD_ENERGIE" \
#       #dose="$LDD_DOSIS" tilt=7
#implant $"LDD_DOTIERSTOFF" energy="$LDD_ENERGIE" \
#       #dose="$LDD_DOSIS" tilt=-7

### 39 TEOS DEPO
```

```

#deposition      oxide    thick="$QUASI_SPACER" div=100

### 41 TEOS RUECKAETZEN -> SPACER

#etch oxide dry thick=0.2+("$SDOxiddicke"/10000)

### zw. 41&42 TROCKENOXID 20 nm 900C neues
### Streuoxid nach Spacer Rueckaetzen

method fermi

diffus time=21 temp=750 t.final=900 dryo2 press=0.94 hcl.pc=3
diffus time=25 temp=900 dryo2 press=0.94 hcl.pc=3
# time -> 20nm
diffus time=20 temp=900 nitro press=0.94
diffus time=21 temp=900 t.final=750 dryo2 press=0.94 hcl.pc=3

#extract name="Spacerbreite" oxide thickness \
#      y.val=0
save outf=befSN.str
### 43 SHALLOW IMPLANTATION
method fermi
deposit photores thick=1.5
etch photoresist left p1.x=0.2
etch photoresis right p1.x=5.6

implant "$SHALLOW_DOTIERSTOFF_P" energy="$SHALLOW_ENERGIE_P" \
      dose="$SHALLOW_DOSIS_P" tilt=7
etch photores dry thick=1
implant "$SHALLOW_DOTIERSTOFF" energy="$SHALLOW_ENERGIE" \
      dose="$SHALLOW_DOSIS" tilt=-7

etch photores
save outf="NCS_$"JNC_DOSIS_NCS"_NCD_$"JNC_DOSIS_NCD"_\
      ENCD_$"JNC_ENERGIENCD"_BG_\
      "$WANNEN_DOSIS"_EBG_$"WANNEN_ENERGIE"_CH.str"

deposit photoresist thickness=1 divi=5
etch photoresist start x="$Sourcebreite"+2+0.7-$"NCSGOvlp" y=-1
etch con x="$Sourcebreite"+2+0.7-$"NCSGOvlp" y=0.1
etch con x="$Sourcebreite"+2+0.7-$"NCSGOvlp"+"GATELAENGE" y=0.1

```

```

etch done x="$Sourcebreite"+2+0.7-$"NCSGOvlp"+"$GATELAENGE" y=-1

implant $"SHALLOW_DOTIERSTOFF_B" energy=$"SHALLOW_ENERGIE_B" \
    dose=$"SHALLOW_DOSIS_B"/4 tilt=7 rot=201 damage dam.fac=1e-15
implant $"Shallow_Dotierstoff_B" tilt=7 \
    energy=150 dose=1.5e13/4 tilt=7 rot=201

implant $"SHALLOW_DOTIERSTOFF_B" energy=$"SHALLOW_ENERGIE_B" \
    dose=$"SHALLOW_DOSIS_B"/4 tilt=7 rot=21 damage dam.fac=1e-15
implant $"Shallow_Dotierstoff_B" tilt=7\
    energy=150 dose=1.5e13/4 tilt=7 rot=21

implant $"SHALLOW_DOTIERSTOFF_B" energy=$"SHALLOW_ENERGIE_B" \
    dose=$"SHALLOW_DOSIS_B"/4 tilt=7 rot=110 damage dam.fac=1e-15
implant $"Shallow_Dotierstoff_B" tilt=7\
    energy=150 dose=1.5e13/4 tilt=7 rot=110

implant $"SHALLOW_DOTIERSTOFF_B" energy=$"SHALLOW_ENERGIE_B" \
    dose=$"SHALLOW_DOSIS_B"/4 tilt=7 rot=291 damage dam.fac=1e-15
implant $"Shallow_Dotierstoff_B" tilt=7 \
    energy=150 dose=1.5e13/4 tilt=7 rot=291

etch photores

### 48 TEMPERN
method fermi
diffus time=9 temp=700
diffus time=30 temp=700 t.final=900
diffus time=$"SPANnealtime" temp=$"SPANnealtemp" nitro press=0.94
diffus time=75 temp=900 t.final=700 nitro press=0.94

#####

etch oxide left x=0.12
etch oxide right x=5.2
etch oxide start x="$Sourcebreite"+2+0.7-$"NCSGOvlp"+0.2 y=0.5
etch oxide con x="$Sourcebreite"+2+ \
    0.7-$"NCSGOvlp"+0.2 y=-2
etch oxide con x="$Sourcebreite"+2+ \
    0.7-$"NCSGOvlp"+"$GATELAENGE"-0.2 y=-2

```

```
etch oxide done x="$Sourcebreite"+2 \
                +0.7-$"NCSGOvlp"+"$GATELAENGE"-0.2 y=0.5
```

```
deposit alu thick=0.1
```

```
etch alu start x=0.15 y=0.5
etch con x="$Sourcebreite"+2+0.7-$"NCSGOvlp"+0.25 y=0.5
etch con x="$Sourcebreite"+2+0.7-$"NCSGOvlp"+0.25 y=-2
etch done x=0.15 y=-2
```

```
etch alu start x=5.8 y=0.5
etch alu con x=5.8 y=-2
etch alu con x="$Sourcebreite"+2 \
            +0.7-$"NCSGOvlp"+"$GATELAENGE"-0.25 y=-2
etch alu done x="$Sourcebreite" \
            +2+0.7-$"NCSGOvlp"+"$GATELAENGE"-0.25 y=0.5
```

```
electrode name=source x=0 y=0
electrode name=gate x="$Sourcebreite"+2+0.7-$"NCSGOvlp"+0.3 y=0
electrode name=drain x=6 y=0
```

```
save outf="$"GATELAENGE"_NCS_"$"JNC_DOSIS_NCS"_ \
        NCSG_"$"NCSGOvlp"_NCD_"$"JNC_DOSIS_NCD"_ENCD_\
        $"JNC_ENERGIENCD"_BG_"$"WANNEN_DOSIS"_EBG_\
        $"WANNEN_ENERGIE"_CH.str "
```

B.2 Device Simulation

```
go athena
#source parameter_K1.in
### hier namen des Files eintragen welches
### aus dem Prozesssimulation kommt
set name1="$"GATELAENGE"_NCS_"$"dnwell"_ENCD_"$"JNC_ENERGIENCD"\
        _NCD_"$"JNC_DOSIS_NCD"__"$"NCSDOvlp"_RERRNCD_\
        $"RERRNCD"_damfacNCD_"$"damfacNCD""

go atlas
#source parameter_jfetc.in
mesh infile="$"name1"_dev.str "
```

```
electrode name=backgate x.min=3.5 x.max=3.6 y.min=1 y.max=1.1
#contact name=gate aluminum
contact name=drain resistance=25 OHMs
contact name=source resistance=25 OHMs
interface qf=2e10

method newton carriers=2

solve init

models srh conmob fldmob auger impact print
#####
# hier Modelle fuer Boltzmann Naeherung aktivieren
# ergibt eine bessere Abbildung der Stossionisation
# htce KSN=0 KSP=0
# veraenderte impact ionisation parameter, passen etwas besser zu
# Messungen
#####
#impact toyabe length.rel lrel.ho=0.0268 lrel.el=0.025
#material taurel.el=0.25e-12 taumob.el=0.25e-12 \
# taurel.ho=0.25e-12 taumob.ho=0.25e-12 taun0=1e-6 taup0=1e-6
#####
#####

#bipolar numcarr=2
impact selb
log outfile=Ig_"name1"_5V.log
solve

solve vdrain=0.1
solve name=drain vdrain=0.2 vstep=0.2 vfinal=2

solve name=drain vdrain=2 vstep=0.2 vfinal=4
save outf="$name1"_4V.str
solve name=drain vdrain=4 vstep=0.2 vfinal=5
save outf="$name1"_5V.str
#solve name=drain vstep=0.2 vfinal=6
#solve name=drain vdrain=7 vstep=0.2 vfinal=8
log off
solve vdrain=5
```

```

#save outf="$name1"_"$V_DRAIN3"V.str

log outfile=EK_"name1"_5V.log
solve vgate=0.3 vstep=-0.05 vfinal=-0.5 name=gate
solve vgate=-0.5 vstep=(-2.5)/20 vfinal=-2.5 name=gate

log off
#extract name="Schwellspannung" \
    (xintercept(maxslope(curve(v." gate ",i." drain "))) \
    + abs(ave(v." drain "))/2.0) \
    datafile="Schwellspannung.dat"

#extract name="K" "$GATELAENGE" datafile="Schwellspannung.dat"

#extract name="G" "$GOXDICKE" datafile="Schwellspannung.dat"

#extract name="S" "$QUASI_SPACER" datafile="Schwellspannung.dat"

#tonyplot EK_"DJNC_"$JNC_DOSIS"_EJNC_"$JNC_ENERGIE"_\
    DBG_"$WANNEN_DOSIS"_EBG_"$WANNEN_ENERGIE"_\
    "$V_DRAIN3"V.log

```

B.3 Meshing Script

```

DevEdit version=2.8.7.R # file written Fri Mar 10 2017\
10:09:09 GMT+1 (CET)

init inf=3_NCS_9.5e+12_NCSG_2.4_NCD_4.5e+12_\
    ENCD_400_BG_1.2e+13_EBG_430_CH.str
work.area x1=0 y1=0 x2=0 y2=0
# Set Meshing Parameters
base.mesh height=10 width=10
bound.cond !apply max.slope=28 max.ratio=300 rnd.unit=0.001 \
    line.straightening=1 align.points when=automatic
imp.refine imp="Net Doping" scale=log sensitivity=0.2
imp.refine min.spacing=0.02
constr.mesh max.angle=90 max.ratio=30 max.height=10000 \
    max.width=10000 min.height=0.0001 min.width=0.0001
constr.mesh type=Semiconductor default
constr.mesh type=Insulator default

```

```
constr.mesh type=Metal default
constr.mesh type=Other default
constr.mesh region=1 default
constr.mesh region=2 default
constr.mesh region=3 default
constr.mesh region=4 default
#constr.mesh region=5 default
#constr.mesh region=6 default
constr.mesh id=1 x1=1.3 y1=0.25 x2=4 y2=0.9 default \
max.height=0.01 max.width=0.05
Mesh Mode=MeshBuild
base.mesh height=10 width=10
bound.cond !apply max.slope=28 max.ratio=300 rnd.unit=0.001 \
  line.straightening=1 align.Points when=automatic
structure outf=3_NCS_9.5e+12_NCSG_2.4_NCD_4.5e+12_ENCD_\
  400_BG_1.2e+13_EBG_430_CH_dev.str
```


Anhang C

Flowchart Herstellungsprozess

Literatur

- [1] P. Schönfeldt, *PN Sperrschicht für das Defektelektronenmodell*, Wikipedia.de, 19. Februar 2007. Adresse: <https://upload.wikimedia.org/wikipedia/commons/c/c1/Sperrschicht.svg>.
- [2] S. M. Sze und K. K. Ng, *Physics of semiconductor devices*, 3rd ed. Hoboken, N.J.: Wiley-Interscience, 2007, ISBN: 978-0-471-14323-9.
- [3] W. Shockley, „A Unipolar "Field-Effect" Transistor,“ *Proceedings of the IRE*, Jg. 40, Nr. 11, S. 1365–1376, 1952, ISSN: 0096-8390. DOI: [10.1109/JRPROC.1952.273964](https://doi.org/10.1109/JRPROC.1952.273964).
- [4] G. C. Dacey und I. Ross, „The field effect transistor,“ *Bell System Technical Journal*, Jg. 34, Nr. 6, S. 1149–1189, 1955.
- [5] J. R. Hauser, „Characteristics of junction field effect devices with small channel length-to-width ratios,“ *Solid-State Electronics*, Jg. 10, Nr. 6, S. 577–587, 1967, ISSN: 00381101. DOI: [10.1016/0038-1101\(67\)90139-6](https://doi.org/10.1016/0038-1101(67)90139-6).
- [6] C. McAndrew und K. Xia, *JFETIDG Model for Independent Dual-Gate JFETs*, 2017. DOI: [10.4231/D3TD9N91H](https://doi.org/10.4231/D3TD9N91H).
- [7] W. Wu, S. Banerjee und K. Joardar, „A four-terminal JFET compact model for high-voltage power applications,“ in *ICMTS 2015*, I. C. o. M. T. Structures, Hrsg., Piscataway, NJ: IEEE, 2015, S. 37–41, ISBN: 978-1-4799-8302-5. DOI: [10.1109/ICMTS.2015.7106105](https://doi.org/10.1109/ICMTS.2015.7106105).
- [8] K. Yamaguchi und S. Asai, „Excess gate current analysis of junction gate FET's by two-dimensional computer simulation,“ *IEEE Transactions on Electron Devices*, Jg. 25, Nr. 3, S. 362–369, 1978, ISSN: 0018-9383. DOI: [10.1109/T-ED.1978.19082](https://doi.org/10.1109/T-ED.1978.19082).
- [9] R. van Overstraeten und H. de Man, „Measurement of the ionization rates in diffused silicon p-n junctions,“ *Solid-State Electronics*, Jg. 13, Nr. 5, S. 583–608, 1970, ISSN: 00381101. DOI: [10.1016/0038-1101\(70\)90139-5](https://doi.org/10.1016/0038-1101(70)90139-5).
- [10] M. Shur, „Split-gate field-effect transistor,“ *Applied Physics Letters*, Jg. 54, Nr. 2, S. 162–164, 1989, ISSN: 0021-8979. DOI: [10.1063/1.101216](https://doi.org/10.1063/1.101216).
- [11] J. B. Johnson, „Thermal Agitation of Electricity in Conductors,“ *Physical Review*, Jg. 32, Nr. 1, S. 97–109, 1928, ISSN: 0031-899X. DOI: [10.1103/physrev.32.97](https://doi.org/10.1103/physrev.32.97).

- [12] A. Der Ziel, „Thermal Noise in Field-Effect Transistors,“ *Proceedings of the IRE*, Jg. 50, Nr. 8, S. 1808–1812, 1962, ISSN: 0096-8390. DOI: [10.1109/JRPROC.1962.288221](https://doi.org/10.1109/JRPROC.1962.288221).
- [13] V. Re, I. Bietti, R. Castello, M. Manghisoni, V. Speziali und F. Svelto, „Experimental study and modeling of the white noise sources in submicron Pand N-MOSFETs,“ *IEEE Transactions on Nuclear Science*, Jg. 48, Nr. 4, S. 1577–1586, 2001, ISSN: 0018-9499. DOI: [10.1109/23.958399](https://doi.org/10.1109/23.958399).
- [14] F. M. Klaassen, „On the influence of hot carrier effects on the thermal noise of field-effect transistors,“ *IEEE Transactions on Electron Devices*, Jg. 17, Nr. 10, S. 858–862, 1970, ISSN: 0018-9383. DOI: [10.1109/T-ED.1970.17087](https://doi.org/10.1109/T-ED.1970.17087).
- [15] —, „Comments on hot carrier noise in field-effect transistors,“ *IEEE Transactions on Electron Devices*, Jg. 18, Nr. 1, S. 74–75, 1971, ISSN: 0018-9383. DOI: [10.1109/T-ED.1971.17150](https://doi.org/10.1109/T-ED.1971.17150).
- [16] A. van der Ziel, „Noise in solid-state devices and lasers,“ *Proceedings of the IEEE*, Jg. 58, Nr. 8, S. 1178–1206, 1970, ISSN: 0018-9219. DOI: [10.1109/PROC.1970.7896](https://doi.org/10.1109/PROC.1970.7896).
- [17] D. P. Triantis, A. N. Birbas und D. Kondis, „Thermal noise modeling for short-channel MOSFETs,“ *IEEE Transactions on Electron Devices*, Jg. 43, Nr. 11, S. 1950–1955, 1996, ISSN: 0018-9383. DOI: [10.1109/16.543032](https://doi.org/10.1109/16.543032).
- [18] P. Klein, „An Analytical Thermal Noise Model of deep submicron MOSFET’s for Circuit Simulation with Emphasis on the BSIM3v3 SPICE Model,“ in *28th European Solid-State Device Research Conference*, 1998, S. 460–463.
- [19] F. N. Hooge, „1/f noise,“ *Physica B+C*, Jg. 83, Nr. 1, S. 14–23, 1976, ISSN: 03784363. DOI: [10.1016/0378-4363\(76\)90089-9](https://doi.org/10.1016/0378-4363(76)90089-9).
- [20] T. B. Watkins, „1/fNoise in Germanium Devices,“ *Proceedings of the Physical Society*, Jg. 73, Nr. 1, S. 9–68, 1959. DOI: [10.1088/0370-1328/73/1/311](https://doi.org/10.1088/0370-1328/73/1/311).
- [21] F. A. Levinzon und L. K. J. Vandamme, „Comparison of 1/f noise in JFETs and MOSFETs with several Figures of Merit,“ *Fluctuation and Noise Letters*, Jg. 10, Nr. 04, S. 447–465, 2011, ISSN: 0219-4775. DOI: [10.1142/S0219477511000685](https://doi.org/10.1142/S0219477511000685).
- [22] G. Bertuccio und S. Caccia, „Noise Minimization of MOSFET Input Charge Amplifiers Based on $\Delta\mu$ and ΔN 1/f Models,“ *IEEE Transactions on Nuclear Science*, Jg. 56, Nr. 3, S. 1511–1520, 2009, ISSN: 0018-9499. DOI: [10.1109/TNS.2008.2012347](https://doi.org/10.1109/TNS.2008.2012347).
- [23] Weidong Liu, *BSIM3v3.3 MOSFET MODEL: User’s Manual: Page 8.1.2*, Department of Electrical Engineering and Computer Sciences, Hrsg., 2005. Adresse: http://ngspice.sourceforge.net/external-documents/models/bsim330_manual.pdf.

- [24] K. van Vliet, „Noise in Semiconductors and Photoconductors,“ *Proceedings of the IRE*, Jg. 46, Nr. 6, S. 1004–1018, 1958, ISSN: 0096-8390. DOI: [10.1109/JRPROC.1958.286839](https://doi.org/10.1109/JRPROC.1958.286839).
- [25] A. van der Ziel, „Flicker noise in semiconductors: Not a true bulk effect,“ *Applied Physics Letters*, Jg. 33, Nr. 10, S. 883–884, 1978. DOI: [10.1063/1.90201](https://doi.org/10.1063/1.90201). eprint: <https://doi.org/10.1063/1.90201>. Adresse: <https://doi.org/10.1063/1.90201>.
- [26] K. Kandiah und F. Whiting, „Low frequency noise in junction field effect transistors,“ *Solid-State Electronics*, Jg. 21, Nr. 8, S. 1079–1088, 1978, ISSN: 0038-1101. DOI: [https://doi.org/10.1016/0038-1101\(78\)90188-0](https://doi.org/10.1016/0038-1101(78)90188-0). Adresse: <https://www.sciencedirect.com/science/article/pii/0038110178901880>.
- [27] C. Arnaboldi, A. Fascilla, M. W. Lund und G. Pessina, „Temperature characterization of deep and shallow defect centers of low noise silicon JFETs,“ *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 517, Nr. 1-3, S. 313–336, 2004, ISSN: 01689002. DOI: [10.1016/j.nima.2003.09.034](https://doi.org/10.1016/j.nima.2003.09.034).
- [28] Marco Girolami, *Derivation of f_T and f_{MAX} of a MOSFET*, 2016. Adresse: https://www.researchgate.net/profile/Marco_Girolami/post/what_an_f_max_of_a_Power_Transistor_means_how_to_derive_equations_for_it/attachment/59d6414179197b807799d489/AS:434119692820483@1480513608793/download/ft_fmax_derivation.ppt.
- [29] Silvaco, „Atlas User’s Manual: Sep 3 2010,“
- [30] Dang Luong Mo, „The cascode JFET as a means to avoid excess gate current,“ *IEEE Transactions on Electron Devices*, Jg. 18, Nr. 8, S. 603–604, 1971, ISSN: 0018-9383. DOI: [10.1109/T-ED.1971.17248](https://doi.org/10.1109/T-ED.1971.17248).
- [31] M. D. S.E. Hansen, *SUPREM-IV.GS*, January 9, 2004. Adresse: <http://www-tcad.stanford.edu/tcad/programs/suprem-IV.GS/Book.html>.
- [32] R. B. Fair, „On the role of self-interstitials in impurity diffusion in silicon,“ *Applied Physics Letters*, Jg. 51, Nr. 11, S. 5828–5832, 1980, ISSN: 0021-8979. DOI: [10.1063/1.327540](https://doi.org/10.1063/1.327540).
- [33] H.-J. Gossmann, C. S. Rafferty, H. S. Luftman, F. C. Unterwald, T. Boone und J. M. Poate, „Oxidation enhanced diffusion in Si B-doping superlattices and Si self-interstitial diffusivities,“ *Applied Physics Letters*, Jg. 63, Nr. 5, S. 639–641, 1993, ISSN: 0021-8979. DOI: [10.1063/1.109975](https://doi.org/10.1063/1.109975).
- [34] Silvaco, „Athena User’s Manual: 2.5: Calibrating ATHENA for a Typical MOSFET Flow: 28 Feb 2011,“ S. 59–64, 2011.
- [35] —, „Athena User’s Manual: 3.5.5: Ion Implantation Damage: 28 Feb 2011,“ S. 199–200, 2011.

- [36] H. Strunk, U. Gösele und B. O. Kolbesen, „Interstitial supersaturation near phosphorus–diffused emitter zones in silicon,“ *Applied Physics Letters*, Jg. 34, Nr. 8, S. 530–532, 1979, ISSN: 0021-8979. DOI: [10.1063/1.90853](https://doi.org/10.1063/1.90853).
- [37] W. Shockley und W. Read Jr, „Statistics of the recombinations of holes and electrons,“ *Physical review*, Jg. 87, Nr. 5, S. 835, 1952.
- [38] R. N. Hall, „Electron-hole recombination in germanium,“ *Physical review*, Jg. 87, Nr. 2, S. 387, 1952.
- [39] S. A. Schwarz und S. E. Russek, „Semi-empirical equations for electron velocity in silicon: Part I—Bulk,“ *IEEE Transactions on Electron Devices*, Jg. 30, Nr. 12, S. 1629–1633, 1983, ISSN: 0018-9383. DOI: [10.1109/T-ED.1983.21423](https://doi.org/10.1109/T-ED.1983.21423).
- [40] J. G. Fossum, R. P. Mertens, D. S. Lee und J. F. Nijs, „Carrier recombination and lifetime in highly doped silicon,“ *Solid-State Electronics*, Jg. 26, Nr. 6, S. 569–576, 1983, ISSN: 00381101. DOI: [10.1016/0038-1101\(83\)90173-9](https://doi.org/10.1016/0038-1101(83)90173-9).
- [41] S. Selberherr, *Analysis and Simulation of Semiconductor Devices*. Vienna: Springer Vienna, 1984, ISBN: 978-3-7091-8754-8. DOI: [10.1007/978-3-7091-8752-4](https://doi.org/10.1007/978-3-7091-8752-4).
- [42] R. Stratton, „Diffusion of Hot and Cold Electrons in Semiconductor Barriers,“ *Physical Review*, Jg. 126, Nr. 6, S. 2002–2014, 1962, ISSN: 0031-899X. DOI: [10.1103/PhysRev.126.2002](https://doi.org/10.1103/PhysRev.126.2002).
- [43] —, „Semiconductor current-flow equations (diffusion and degeneracy),“ *IEEE Transactions on Electron Devices*, Jg. 19, Nr. 12, S. 1288–1292, 1972, ISSN: 0018-9383. DOI: [10.1109/T-ED.1972.17592](https://doi.org/10.1109/T-ED.1972.17592).
- [44] K. Katayama und T. Toyabe, „A new hot carrier simulation method based on full 3D hydrodynamic equations,“ in *International Technical Digest on Electron Devices Meeting*, IEEE, 3-6 Dec. 1989, S. 135–138. DOI: [10.1109/IEDM.1989.74245](https://doi.org/10.1109/IEDM.1989.74245).
- [45] Silvaco, „Atlas Users Manual: The Energy Balance Transport Model,“ S. 112–117, 2011.
- [46] H. Takao, R. Asaoka, K. Sawada, S. Kawahito und M. Ishida, „A JFET-CMOS Technology for Low-Noise Sensor Interface Circuits,“ *IEEE Transactions on Sensors and Micromachines*, Jg. 123, Nr. 10, S. 422–428, 2003, ISSN: 1341-8939. DOI: [10.1541/ieejsmas.123.422](https://doi.org/10.1541/ieejsmas.123.422).
- [47] W. Buttler, G. Lutz, G. Cesura, P. F. Manfredi, V. Speziali und A. Tomasini, „Short channel, CMOS-compatible JFET in low noise applications,“ *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 326, Nr. 1-2, S. 63–70, 1993, ISSN: 01689002. DOI: [10.1016/0168-9002\(93\)90333-D](https://doi.org/10.1016/0168-9002(93)90333-D).

- [48] G.-F. Dalla Betta, P. Bellutti, M. Boscardin, L. Ferrario, G. Soncini und N. Zorzi, „An all-implanted p-channel Si JFET fully compatible with CMOS technology,” *Microelectronics Journal*, Jg. 30, Nr. 3, S. 281–285, 1999. DOI: [10.1016/S0026-2692\(98\)00166-9](https://doi.org/10.1016/S0026-2692(98)00166-9).
- [49] C. Piemonte, G.-F. Dalla Betta, M. Boscardin, P. Gregori, N. Zorzi und L. Ratti, „An improved fabrication process for Si-detector-compatible JFETs,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 568, Nr. 1, S. 314–321, 2006, ISSN: 01689002. DOI: [10.1016/j.nima.2006.07.020](https://doi.org/10.1016/j.nima.2006.07.020).
- [50] C. T. Sah, „Theory of low-frequency generation noise in junction-gate field-effect transistors,” *Proceedings of the IEEE*, Jg. 52, Nr. 7, S. 795–814, 1964, ISSN: 0018-9219. DOI: [10.1109/PROC.1964.3123](https://doi.org/10.1109/PROC.1964.3123).
- [51] H. Bilger, J. Tandon und M.-A. Nicolet, „Excess noise measurements in ion-implanted silicon resistors,” *Solid-State Electronics*, Jg. 17, Nr. 6, S. 599–605, 1974.
- [52] P. O. Lauritzen, „Low-frequency generation noise in junction field effect transistors,” *Solid-State Electronics*, Jg. 8, Nr. 1, S. 41–58, 1965, ISSN: 00381101. DOI: [10.1016/0038-1101\(65\)90007-9](https://doi.org/10.1016/0038-1101(65)90007-9).
- [53] F. A. Levinzon, „Noise of the JFET amplifier,” *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, Jg. 47, Nr. 7, S. 981–985, 2000, ISSN: 10577122. DOI: [10.1109/81.855453](https://doi.org/10.1109/81.855453).
- [54] L. K. J. Vandamme und S. Oosterhoff, „Annealing of ion-implanted resistors reduces the $1/f$ noise,” *Applied Physics Letters*, Jg. 59, Nr. 9, S. 3169–3174, 1986, ISSN: 0021-8979. DOI: [10.1063/1.336897](https://doi.org/10.1063/1.336897).
- [55] Sturm-Rogon L., Neumeier K., Kutter C., „Low-noise Si-JFETs enhanced by split-channel concept,” *IEEE Transactions on Electron Devices*, 2020, ISSN: 0018-9383. DOI: [10.1109/TED.2020.3026661](https://doi.org/10.1109/TED.2020.3026661).
- [56] D. A. Fleischer, S. Shekar, S. Dai u. a., „CMOS-Integrated Low-Noise Junction Field-Effect Transistors for Bioelectronic Applications,” *IEEE Electron Device Letters*, Jg. 39, Nr. 7, S. 931–934, 2018, ISSN: 0741-3106. DOI: [10.1109/LED.2018.2844545](https://doi.org/10.1109/LED.2018.2844545).
- [57] G. Dacey und I. Ross, „Unipolar "Field-Effect" Transistor,” *Proceedings of the IRE*, Jg. 41, Nr. 8, S. 970–979, 1953, ISSN: 0096-8390. DOI: [10.1109/JRPROC.1953.274285](https://doi.org/10.1109/JRPROC.1953.274285).
- [58] H. Ryssel und I. Ruge, *Ionenimplantation*. Wiesbaden: Springer Vieweg. in Springer Fachmedien Wiesbaden GmbH, 1978, ISBN: 978-3-663-05668-3.
- [59] Keysight Technologies, *Low-Frequency Noise Measurements with the E4727A*, Keysight Technologies, Hrsg., 2020. Adresse: <https://www.keysight.com/de/de/assets/7018-05235/application-notes/5992-1537.pdf?success=true>.

- [60] Josef Kölbl, *Test Report of EMFT J-FET SC5 1.4 500*, 1. Apr. 2021.
- [61] J. A. Schwarz, A. J. Patrinos, I. S. Bakshee, E. A. Salkov und B. I. Khizhnyak, „Grain size dependence of $1/f$ noise in Al-Cu thin-film interconnections,“ *Journal of Applied Physics*, Jg. 70, Nr. 3, S. 1561–1564, 1991. DOI: [10.1063/1.349545](https://doi.org/10.1063/1.349545).
- [62] L. M. Rucker und A. van der Ziel, „Noise associated with JFET gate current resulting from avalanching in the channel,“ *Solid-State Electronics*, Jg. 21, Nr. 5, S. 798–799, 1978, ISSN: 00381101. DOI: [10.1016/0038-1101\(78\)90017-5](https://doi.org/10.1016/0038-1101(78)90017-5).
- [63] K. K. Thornber, „Resistive-gate-induced thermal noise in IGFETs,“ *IEEE Journal of Solid-State Circuits*, Jg. 16, Nr. 4, S. 414–415, 1981, ISSN: 0018-9200. DOI: [10.1109/JSSC.1981.1051611](https://doi.org/10.1109/JSSC.1981.1051611).
- [64] M. W. Lund, K. W. Decker, R. T. Perkins und J. D. Phillips, „Low noise JFETs for room temperature x-ray detectors,“ *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 380, Nr. 1-2, S. 318–322, 1996, ISSN: 01689002. DOI: [10.1016/S0168-9002\(96\)00473-1](https://doi.org/10.1016/S0168-9002(96)00473-1).
- [65] R. P. Jindal, „Noise associated with distributed resistance of MOSFET gate structures in integrated circuits,“ *IEEE Transactions on Electron Devices*, Jg. 31, Nr. 10, S. 1505–1509, 1984, ISSN: 0018-9383. DOI: [10.1109/T-ED.1984.21741](https://doi.org/10.1109/T-ED.1984.21741).
- [66] F. N. TROFIMENKOFF, J. W. HASLETT und R. E. SMALLWOOD, „Hot electron thermal noise models for FETs,“ *International Journal of Electronics*, Jg. 44, Nr. 3, S. 257–272, 1978, ISSN: 0020-7217. DOI: [10.1080/00207217808900818](https://doi.org/10.1080/00207217808900818).
- [67] A. van der Ziel, „Thermal noise in the hot electron regime in FET’s,“ *IEEE Transactions on Electron Devices*, Jg. 18, Nr. 10, S. 977, 1971, ISSN: 0018-9383. DOI: [10.1109/T-ED.1971.17315](https://doi.org/10.1109/T-ED.1971.17315).
- [68] E. Delevoye und A. Chovet, „White noise study of JFET’s on a new mixed rad-hard technology,“ *Microelectronic Engineering*, Jg. 19, Nr. 1-4, S. 759–762, 1992, ISSN: 01679317. DOI: [10.1016/0167-9317\(92\)90539-4](https://doi.org/10.1016/0167-9317(92)90539-4).
- [69] G.-F. Dalla Betta, M. Boscardin, F. Fenotti u. a., „Low Noise Junction Field Effect Transistors in a Silicon Radiation Detector Technology,“ *IEEE Transactions on Nuclear Science*, Jg. 53, Nr. 5, S. 3004–3012, 2006, ISSN: 0018-9499. DOI: [10.1109/TNS.2006.882606](https://doi.org/10.1109/TNS.2006.882606).
- [70] A. A. Abidi, „High-frequency noise measurements on FET’s with small dimensions,“ *IEEE Transactions on Electron Devices*, Jg. 33, Nr. 11, S. 1801–1805, 1986, ISSN: 0018-9383. DOI: [10.1109/T-ED.1986.22743](https://doi.org/10.1109/T-ED.1986.22743).
- [71] D. M. Caughey und R. E. Thomas, „Carrier mobilities in silicon empirically related to doping and field,“ *Proceedings of the IEEE*, Jg. 55, Nr. 12, S. 2192–2193, 1967, ISSN: 0018-9219. DOI: [10.1109/PROC.1967.6123](https://doi.org/10.1109/PROC.1967.6123).

- [72] M. Peterlik, J. Kölbl und L. Sturm, „Phase Noise Evaluation of a Novel Low-Noise Field Effect Transistor,“ *Applied Research Conference (ARC), Muenchen, 7. July 2017*, 2017.
- [73] B. Kaa, „Rauscharmer 100 MHz VXCO,“ *UKW Berichte*, Nr. 3, 131–143, 2016.
- [74] D. Leeson, „A simple model of feedback oscillator noise spectrum,“ 1966.
- [75] W. Herbert, 25. Apr. 2021. Adresse: [https://de.wikipedia.org/wiki/Phasenrauschen#/media/Datei:Phasenrauschen\(2\).png](https://de.wikipedia.org/wiki/Phasenrauschen#/media/Datei:Phasenrauschen(2).png).
- [76] NXP Semiconductors, *Datasheet BF998*, 1. Okt. 2010.
- [77] G. Bertuccio, A. Pullia und G. de Geronimo, „Criteria of choice of the front-end transistor for low-noise preamplification of detector signals at sub-microsecond shaping times for X- and γ -ray spectroscopy,“ *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 380, Nr. 1-2, S. 301–307, 1996, ISSN: 01689002. DOI: [10.1016/S0168-9002\(96\)00474-3](https://doi.org/10.1016/S0168-9002(96)00474-3).
- [78] G. Bertuccio, L. Fasoli, C. Fiorini u. a., „Silicon drift detector with integrated p-JFET for continuous discharge of collected electrons through the gate junction,“ *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 377, Nr. 2-3, S. 352–356, 1996, ISSN: 01689002. DOI: [10.1016/0168-9002\(95\)01412-8](https://doi.org/10.1016/0168-9002(95)01412-8).
- [79] G. Bertuccio, P. Rehak und D. Xi, „A novel charge sensitive preamplifier without the feedback resistor,“ *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 326, Nr. 1-2, S. 71–76, 1993, ISSN: 01689002. DOI: [10.1016/0168-9002\(93\)90334-E](https://doi.org/10.1016/0168-9002(93)90334-E).
- [80] L. Bombelli, C. Fiorini, T. Frizzi, R. Alberti und A. Longoni, „“CUBE”, A low-noise CMOS preamplifier as alternative to JFET front-end for high-count rate spectroscopy,“ in *“CUBE”, A low-noise CMOS preamplifier as alternative to JFET front-end for high-count rate spectroscopy*, S. 1972–1975. DOI: [10.1109/NSSMIC.2011.6154396](https://doi.org/10.1109/NSSMIC.2011.6154396).
- [81] Leonhard Sturm, „Low Power, Low noise JFETs for room Temperature X-Ray Detectors,“ *European Conference on X-Ray Spectrometry, Ljubljana, 24-29. June 2018*, 2018.
- [82] P. Lechner, A. Pahlke und H. Soltau, „Novel high-resolution silicon drift detectors,“ *X-Ray Spectrometry*, Jg. 33, Nr. 4, S. 256–261, 2004. DOI: <https://doi.org/10.1002/xrs.717>. eprint: <https://analyticalsciencejournals.onlinelibrary.wiley.com/doi/pdf/10.1002/xrs.717>. Adresse: <https://analyticalsciencejournals.onlinelibrary.wiley.com/doi/abs/10.1002/xrs.717>.

- [83] E. Gatti, M. Sampietro und P. F. Manfredi, „Optimum filters for detector charge measurements in presence of noise,“ *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 287, Nr. 3, S. 513–520, 1990, ISSN: 01689002. DOI: [10.1016/0168-9002\(90\)91571-R](https://doi.org/10.1016/0168-9002(90)91571-R).
- [84] G. Lutz, P. F. Manfredi, V. Re und V. Speziali, „Limitations in the accuracy of detector charge measurements set by the 1/f-noise in the front-end amplifier,“ *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, Jg. 277, Nr. 1, S. 194–203, 1989, ISSN: 01689002. DOI: [10.1016/0168-9002\(89\)90552-4](https://doi.org/10.1016/0168-9002(89)90552-4).
- [85] J. Becker, E. Fretwurst und R. Klanner, „Measurements of charge carrier mobilities and drift velocity saturation in bulk silicon of <1 1 1> and <1 0 0> crystal orientation at high electric fields,“ *Solid-State Electronics*, Jg. 56, Nr. 1, S. 104–110, 2011, ISSN: 00381101. DOI: [10.1016/j.sse.2010.10.009](https://doi.org/10.1016/j.sse.2010.10.009).
- [86] C. Jacoboni, C. Canali, G. Ottaviani und A. Alberigi Quaranta, „A review of some charge transport properties of silicon,“ *Solid-State Electronics*, Jg. 20, Nr. 2, S. 77–89, 1977, ISSN: 00381101. DOI: [10.1016/0038-1101\(77\)90054-5](https://doi.org/10.1016/0038-1101(77)90054-5).
- [87] J. Briaire und S. Krisch, „Principles of substrate crosstalk generation in CMOS circuits,“ *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, Jg. 19, Nr. 6, S. 645–653, 2000, ISSN: 02780070. DOI: [10.1109/43.848086](https://doi.org/10.1109/43.848086).
- [88] O. P. Hamill, A. Marty, E. Neher, B. Sakmann und F. J. Sigworth, „Improved patch-clamp techniques for high-resolution current recording from cells and cell-free membrane patches,“ *Pflügers Archiv*, Jg. 391, Nr. 2, S. 85–100, 1981.
- [89] M. Jenkner, M. Tartagni, A. Hierlemann und R. Thewes, „Cell-based CMOS sensor and actuator arrays,“ *IEEE Journal of Solid-State Circuits*, Jg. 39, Nr. 12, S. 2431–2437, 2004.
- [90] L. Mennicke und K. Hofmann, „Digitally Programmable low-noise Experimenter’s Platform for 300 kHz Ultrasonic Transducers,“ in *ANALOG 2020; 17th ITG/GMM-Symposium*, 2020, S. 1–4.
- [91] P. Durdaut, V. Penner, C. Kirchhof, E. Quandt, R. Knöchel und M. Höft, „Noise of a JFET Charge Amplifier for Piezoelectric Sensors,“ *IEEE Sensors Journal*, Jg. 17, Nr. 22, S. 7364–7371, 2017. DOI: [10.1109/JSEN.2017.2759000](https://doi.org/10.1109/JSEN.2017.2759000).
- [92] Y. Shi, R. M. Rassel, R. A. Phelps, B. Rainey, J. Dunn und D. Harame, „Design and optimization of silicon JFET in 180nm RF/BiCMOS technology,“ in *2010 IEEE Bipolar/BiCMOS Circuits and Technology Meeting (BCTM)*, IEEE, 4.10.2010 - 06.10.2010, S. 86–89, ISBN: 978-1-4244-8578-9. DOI: [10.1109/BIPOL.2010.5667942](https://doi.org/10.1109/BIPOL.2010.5667942).