

Analyse und Modellierung des DMOS-Transistors

Christoph Deml

Promotionsausschuß:

- Vorsitzender: Prof. Dr.-Ing. Hermann Baumgärtner
1. Berichterstatter: Prof. Dr.-Ing. Kurt Hoffmann
2. Berichterstatter: Prof. Dr. rer. nat. Ignaz Eisele

Tag der Prüfung: 05.11.2003

Mit der Promotion erlangter akademischer Grad:
Doktor-Ingenieur
(Dr.-Ing.)

Neubiberg, den 06.11.2003

DEML, Christoph: *Analyse und Modellierung des DMOS-Transistors*. Neubiberg, Universität der Bundeswehr München, Fakultät für Elektrotechnik und Informationstechnik, Dissertation, 2003-11-06

Copyright © 2003 Christoph Deml

Alle Rechte vorbehalten. Das einfache Nutzungsrecht auf Vervielfältigung und Verbreitung des ungekürzten und unveränderten Werkes wird jeder Person eingeräumt.

Vorwort

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter am Institut für Elektronik der Universität der Bundeswehr München von 1994 bis 1997 sowie neben meiner beruflichen Tätigkeit als Entwicklungsingenieur für nichtflüchtige Speicher bei der Siemens AG, Bereich Halbleiter bzw. Infineon Technologies AG von 1997 bis 2003.

Ich danke allen, die durch Ihre Unterstützung zum Gelingen dieser Arbeit beigetragen haben. Besonders bedanken möchte ich mich bei

Prof. Dr. Kurt Hoffmann für die Freiheit aber auch die Hilfe bei der Themenwahl, den immerwährenden Optimismus und die große Geduld, die er beim Warten auf die Fertigstellung dieses Werkes bewiesen hat,

meinen Betreuern Dr. habil. Rainer Kraus für die Korrektur der Arbeit und die zahlreichen, fachlichen Hinweise und Dr. Oskar Kowarik für die stete Diskussions- und Hilfsbereitschaft,

Prof. Dr. Eckhard Wolfgang, Dr. Peter Türkes, Dr. Jakob Sigg und Prof. Dr. Hans-Jürgen Mattausch für Ihre Unterstützung und Ihr Interesse an meiner Arbeit,

Dr. habil. Lutz Göhler für die vielen Diskussionen und die fachübergreifende Beratung,

Dr. Christian Kreuzer für die Hilfe bei der Einarbeitung in das Promotions-thema, sowie für den Aufbau und die Wartung des Rechnernetzes,

Helmut Hoyer, Dr. Franz Schuler und Martin Hofmann für den Ausbau und die Wartung des Rechnernetzes,

Waldemar Barth und Frank Goldstraß für die tatkräftige Unterstützung bei den Meßaufbauten,

Dr. Ulrich Lang für die Beratung bei EMV-Problemen,

Joost Larik für die unermüdliche Erklärung technologischer Zusammenhänge und die vielen Hinweise zu dem entsprechenden Kapitel,

Paul Nance für die Beratung in technologischen und schaltungstechnischen Fragen,

Dr. habil. Thomas Sauer für die Software und den ausdauernden Support zur polynomialen Interpolation,

Christa Garmatsch und Eva Rutingsdorfer für die logistische Unterstützung im Sekretariat des Instituts,

Ingeborg Deml für die Durchsicht dieses Werkes,

allen weiteren Kollegen am Institut – Dr. Martin Bayer, Steffen Chladek, Dr. Dr. Bruno Ehrmaier, Reinhold Gärtner, Prof. Dr. Holger Göbel, Dr. Elmar Gondro, Dr. Thomas Kern, Prof. Dr. Peter Klein, Dr. Christian Kühn, Dr. Arrasch Lagies, Dr. Carsten Matthes, Gregoire Le Grand de Mercey, Dr. Judith Maget, Dr. Markus Pascher, Dr. Roland Pfeiffer, Dr. Horst Schleifer, Dr. Axel Schmidt, Dr. Michael Schreiber – für die gute Zusammenarbeit und das positive Arbeitsklima sowie bei

der Siemens AG, Bereich Zentrale Forschung und Entwicklung für die Förderung dieser Arbeit.

Inhaltsverzeichnis

1	Einleitung	9
2	Aufbau	11
2.1	Zelle	11
2.2	Technologie	12
2.3	Randstrukturen	14
2.4	Gehäuse	17
3	Eigenschaften	19
3.1	Einzelzelle	19
3.1.1	Ladungsträgerdichten unter dem Gate-Oxid	19
3.1.2	Arbeitsbereiche	23
3.1.2.1	Rückwärtsdiodenbereich	24
3.1.2.2	Blockierbereich	26
3.1.2.2.1	Volumengenerationsbereich	28
3.1.2.2.2	Oberflächengenerationsbereich	28
3.1.2.3	Oberflächenrekombinationsbereich	29
3.1.2.4	Unterschwelstrombereich	29
3.1.2.5	Widerstandsbereich	29
3.1.2.6	Sättigungsbereich	30
3.1.2.7	Quasisättigungsbereich	31
3.1.2.8	Durchbruchbereich	37
3.1.3	Gleichstromkennlinien	39
3.1.4	Lateraler MOS-FET und Epi-Widerstand	42
3.1.5	Kapazitäten	45
3.1.5.1	Absolute und differentielle Kapazitäten	45

3.1.5.2	Terminalströme und Kapazitäten	46
3.1.5.3	Beziehungen zwischen Kapazitäten	47
3.1.5.4	Reziprozität der Kapazitäten	47
3.1.5.5	Bezug auf Sourcepotential	48
3.1.5.6	Relevante Kapazitäten	49
3.1.6	Oberflächenpotential	50
3.1.7	Miller-Effekt	53
3.1.8	Kapazitätskennlinien	55
3.2	Zellverband	59
3.2.1	Poly-Gate-Schicht	59
3.2.1.1	Richtungsabhängigkeit	60
3.2.1.2	Effektiver Poly-Schichtwiderstand	62
3.2.1.3	Dynamik der Poly-Gate-Schicht	65
3.2.2	Source-Metallisierung	70
4	Modellierung	74
4.1	Einzelzelle	75
4.1.1	Interner, lateraler MOS-FET	75
4.1.1.1	Grundgleichungen	77
4.1.1.2	Shichman-Hodges-Modell	82
4.1.1.3	Modell mit exaktem Oberflächenpotential	83
4.1.1.4	Modell mit genähertem Oberflächenpotential	84
4.1.1.5	η -Modell	84
4.1.1.6	Modell mit doppeltem Exponentialprofil	85
4.1.1.7	Modellvergleich	86
4.1.1.8	Ladungsmodell	88
4.1.1.9	Gesamtmodell	90
4.1.2	Akkumulationsregion	91
4.1.2.1	Grundmodell	91
4.1.2.2	Weitere Beobachtungen und Modellansätze	95
4.1.3	Epi-Gebiet	98
4.1.3.1	Gebiet mit konstanter Querschnittsfläche	100
4.1.3.2	Gebiet mit variabler Querschnittsfläche	102
4.1.3.3	Neutrales Restgebiet	103
4.1.3.4	Ladungsmodell	104
4.1.4	Epi-Body Raumladungszone	105

4.1.5	Epi-Substrat Übergangsgebiet	105
4.1.6	Substrat	108
4.1.7	Source-Bahnwiderstände	108
	4.1.7.1 Gebiet mit homogener Dotierung	108
	4.1.7.2 Gebiet mit Dotierungsgradient	109
4.1.8	Oxidkapazitäten im Zellenfeld	113
4.1.9	Gesamtmodell	116
4.2	Zellverband	116
4.2.1	Poly-Gate-Schicht	116
4.2.2	Source-Metallisierung	119
4.3	Peripherie	122
4.3.1	Dummies, Zellenfeldrand und Pad	122
4.3.2	Bonddrähte und Grundplatte	123
4.3.3	Pins	124
4.4	Widerstandsanteile	125
4.5	Ersatzschaltbild	125
4.6	Grenzfrequenz	127
5	Charakterisierung	128
5.1	Statisch	128
5.1.1	Kleiner Drain-Strom	128
5.1.2	Großer Drain-Strom	131
5.2	Dynamisch	132
5.2.1	Eingangsimpedanz	132
5.2.2	Übertragungsfunktion der Poly-Gate-Schicht und Gate-Widerstand	135
5.2.3	Kapazitäten ohne Stromfluß	135
5.2.4	Gate-Ladekurve	138
5.2.5	Rückwirkungskapazität ohne Drain-Source-Spannung .	141
5.2.6	Kapazitätsmessung bei Stromfluß	142
5.2.7	Rückwirkungskapazität bei Stromfluß	145
	5.2.7.1 Funktionsweise der Meßschaltung	148
	5.2.7.2 Regler und Regelkreisstabilität	150
	5.2.7.3 Pulsformung	154
	5.2.7.4 Parasiten, EMV und Meßaufbau	156
	5.2.7.5 Kalibrierung	157
5.2.8	Eingangskapazität bei Stromfluß	159
5.3	Extraktion des mittleren Oberflächenpotentials	163

6 Zusammenfassung	166
A Kleinsignalparameter	168
B Komplexwertige, Besselsche Funktionen	170
C Numerische Meßdatenaufbereitung	175
C.1 Zweidimensionale Interpolation	175
C.1.1 Problemstellung	175
C.1.2 Algorithmus	177
C.1.3 Eigenschaften	178
C.2 Meßdaten und Mittelwertbildung	179
C.2.1 Rückwirkungskapazitätsmessung	180
C.2.2 Eingangskapazitätsmessung	180
C.3 Elimination von Spannungseinbrüchen	181
C.3.1 Rückwirkungskapazitätsmessung	183
C.3.2 Eingangskapazitätsmessung	186
D Konstanten	191
D.1 Mathematische Konstanten	191
D.2 Physikalische Konstanten	191
D.3 Materialeigenschaften	192
Literaturverzeichnis	193
Publikationsverzeichnis	198
Sachwortverzeichnis	199

1 Einleitung

Der Leistungs-MOS-FET ist eine Weiterentwicklung aus der Technologie integrierter Schaltkreise. Verglichen mit den in der Leistungselektronik ebenfalls benutzten, bipolaren Bauelementen steht dem hohen, flächenbezogenen Einschaltwiderstand beim Leistungs-MOS-FET eine niedrige Ansteuerleistung, hohe Schaltgeschwindigkeit und Grenzfrequenz, gute Kurzschlußfestigkeit und Parallelschaltbarkeit gegenüber [6] S. 263–264.

Eine verbreitete, spezielle Bauart des Leistungs-MOS-FET ist der DMOS (double-diffused MOS), welcher manchmal auch mit VDMOS (vertical DMOS) bezeichnet wird.

Ein wichtiges Hilfsmittel beim Entwurf leistungselektronischer Schaltungen ist die Schaltungssimulation. Sie liefert vor dem physikalischen Aufbau schnell und präzise Vorhersagen über Verhalten und Funktion. Die Voraussetzung dafür sind genaue Simulationsmodelle und deren exakte Parametrierung.

Grundlage für die Modellierung des DMOS ist die Kenntnis seines elektrischen Verhaltens. Zur Erstellung eines physikalischen Modells, von welchem man sich auch ein prinzipiell korrektes Verhalten in Bereichen verspricht, die durch vorherige Messung nur wenig oder nicht erfaßt wurden, ist zusätzlich die Kenntnis der Vorgänge im Bauteil nötig.

Die statischen Eigenschaften des DMOS wurden bereits in [23] untersucht. Der Schwerpunkt dieser Arbeit liegt deshalb verstärkt auf den dynamischen Eigenschaften. Da jedoch die dynamischen von den statischen Eigenschaften stark abhängen (vgl. Abschnitt 3.1.6 und 3.1.7), werden diese ebenfalls aufgearbeitet und weiterführend untersucht.

Die Parametrierung des Modells schließlich setzt eine ausreichende meßtechnische Charakterisierung des Bauteils voraus, deren Ergebnisse gleichzeitig in die Erstellung eines Datenblattes mit einfließen.

Die Kapazitäten des DMOS sind bei Stromfluß bisher nur sehr eingeschränkt meßbar. Ihre genaue Kenntnis in allen Betriebszuständen ist jedoch nötig, um Modelle für das dynamische Verhalten des Transistors entwerfen und parametrieren zu können. Ziel dieser Arbeit ist es, eine Kapazitätsmeßmethode zu entwickeln, welche die Charakterisierung auch bei Stromfluß ermöglicht.

In Kapitel 2 wird ausgehend vom Prinzip der Grundzelle, mit einer Beschreibung der Technologie, der Randabschlüsse und des Gehäuses, ein Überblick über den physikalischen Aufbau des Bauteils gegeben.

Kapitel 3 beschreibt die elektrischen Eigenschaften einer Einzelzelle und einer Zusammenschaltung von vielen Einzelzellen zu einem Zellverband. In den verschiedenen Arbeitsbereichen werden die Vorgänge im Bauelement untersucht und deren Auswirkungen auf die Kennlinien diskutiert.

In Kapitel 4 werden für die einzelnen Konstruktionselemente des DMOS analytische Modelle für die Schaltungssimulation entwickelt.

Die Charakterisierung in Kapitel 5 präsentiert mit konventionellen Methoden gewonnene Kennlinien und setzt dann einen Schwerpunkt auf die Erfassung dynamischer Eigenschaften mit neuartigen Meßverfahren.

2 Aufbau

Der Aufbau eines DMOS wird dargestellt am Typ BUZ103SL [36], welcher in S-FET Technologie [2][9][21][32][41] der Siemens AG gefertigt wurde. Der Prozeß basiert auf einer Submikrometer CMOS Technologie mit LDD Transistoren.

2.1 Zelle

Bild 2.1 zeigt den Querschnitt einer Halbzelle.

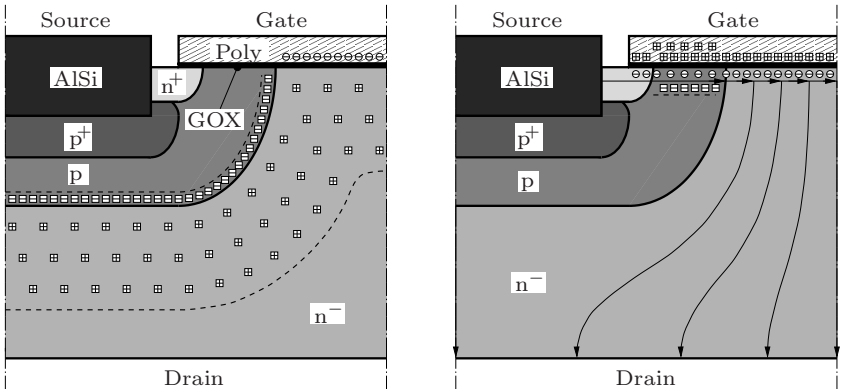


Bild 2.1: Schnitt durch eine Zelle (links) im Blockierbereich und (rechts) im Widerstandsbereich, - - - Raumladungszonengrenze, ⊕ ionisiertes Donatoratom, ⊖ ionisiertes Akzeptoratom, ⊖ Elektron

Im Blockierbereich wird die Spannung zwischen Drain und Source von der Raumladungszone zwischen p-Body und n⁻-Epi aufgenommen.

Im Widerstandsbereich existiert unter dem Poly-Gate eine durchgehende Elektronenschicht. Elektronen fließen aus der n^+ -Source kommend an der Halbleiteroberfläche entlang. Der interne, laterale MOS-FET unter dem GOX im p-Body steuert den Stromfluß. Im n^- -Epi biegen die Stromflußlinien nach unten ab. Der Drain-Anschluß befindet sich an der Bauteilrückseite.

2.2 Technologie

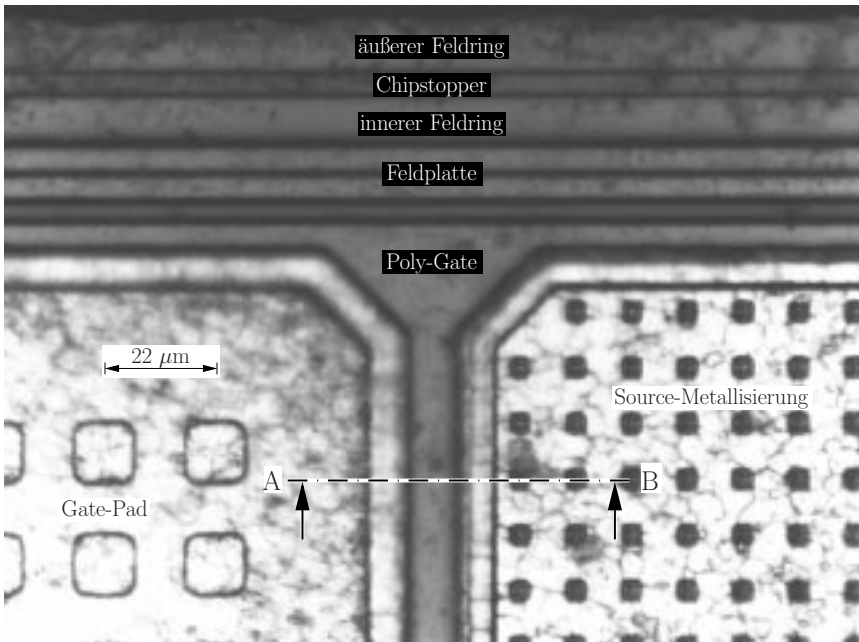


Bild 2.2: Randstruktur am Gate-Pad und Zellenfeld

Auf einen stark Arsen dotierten Wafer wird eine schwach Phosphor dotierte Epitaxieschicht aufgewachsen.

Nach dem Aufoxidieren des FOX (Feldoxid) legt eine Ätzung wieder alle Gebiete frei, auf die anschließend das GOX (Gate-Oxid) aufoxidiert wird.

Es folgt die Abscheidung einer Phosphor-dotierten Poly-Schicht (polykristallines Silizium). Nach der Abscheidung der TEOS-Schicht (Tetraethylorthosilane) werden TEOS und Poly gemeinsam durch Plasma-Ätzung strukturiert.

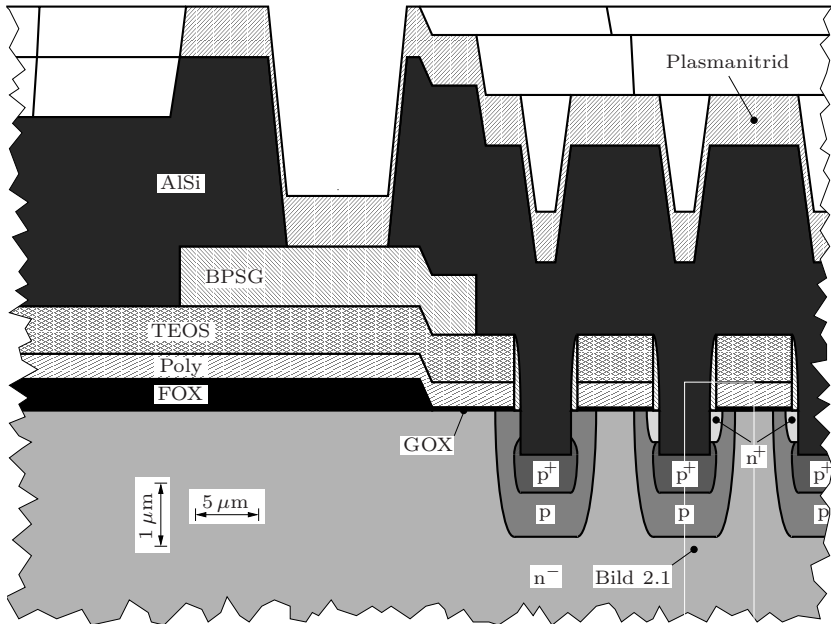


Bild 2.3: Schnitt A-B in Bild 2.2 durch Gate-Pad und Zellenfeld

Auf die dadurch freigelegte Epi-Fläche erfolgt die Bor Implantation für den p-Body, welche durch einen Hochtemperaturschritt ausdiffundiert wird. Vor der Arsen Implantation für die n^+ -Source-Kontakte werden die Dummy-Transistoren am Rand des Zellenfeldes gegen diese maskiert. Ein weiterer Diffusionsschritt formt die n^+ -Source-Gebiete aus. Da die p-Body und n^+ -Source Dotierungen die Struktur des Poly-Gate als Maske verwenden, bilden sie zusammen den selbstjustierenden Prozeß. Bemerkenswert ist noch der durch die laterale Ausdiffusion entstandene Dotierungsgradient des p-Body unterhalb des GOX, da in einem normalen MOS-Prozeß die Bulk-Dotierung konstant ist.

Abscheidung der BPSG-Schicht (Bor-Phosphor Silikat Glas) und anisotrope Plasma-Ätzung bilden einen Spacer zu den Poly-Seitenwänden an den Source-Kontaktöffnungen. Dieser Spacer dient als Maske für die folgende Plasma-Ätzung des Grabens für den p-Body-Kontakt. Zur Vermeidung von Bipolareffekten ist ein guter ohmscher Kontakt notwendig, welcher durch eine starke Bor Implantation mit Aktivierung erreicht wird.

Für die Gate-Kontakte werden Löcher in die TEOS-Schicht geätzt und das

darunter liegende Poly freigelegt.

Aufdampfen der $3\ \mu\text{m}$ dicken AlSi-Metallisierung und Strukturieren durch Ätzen bilden die niederohmige Verbindung der Source-Kontakte sowie das Gate-Pad. Eine Plasmanitrid-Passivierung wird abgeschieden und die Pad-öffnungen freigelegt.

Vor dem Zersägen des Wafers wird dieser auf $220\ \mu\text{m}$ dünn geschliffen, um den Substratwiderstand des Bauelementes zu verringern.

2.3 Randstrukturen

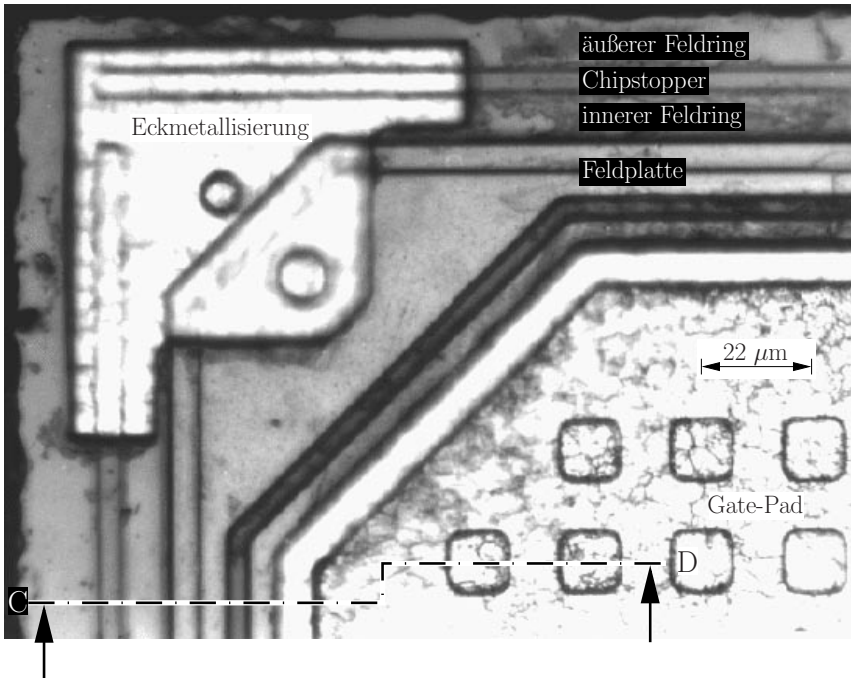


Bild 2.4: Eckstruktur und Gate-Pad

Eine Distanz von etwa $25\ \mu\text{m}$ zur Sägelinie und ein chip-stopper aus FOX verhindern das mechanische Ausbrechen aktiver Struktur beim Zersägen des Wafers.

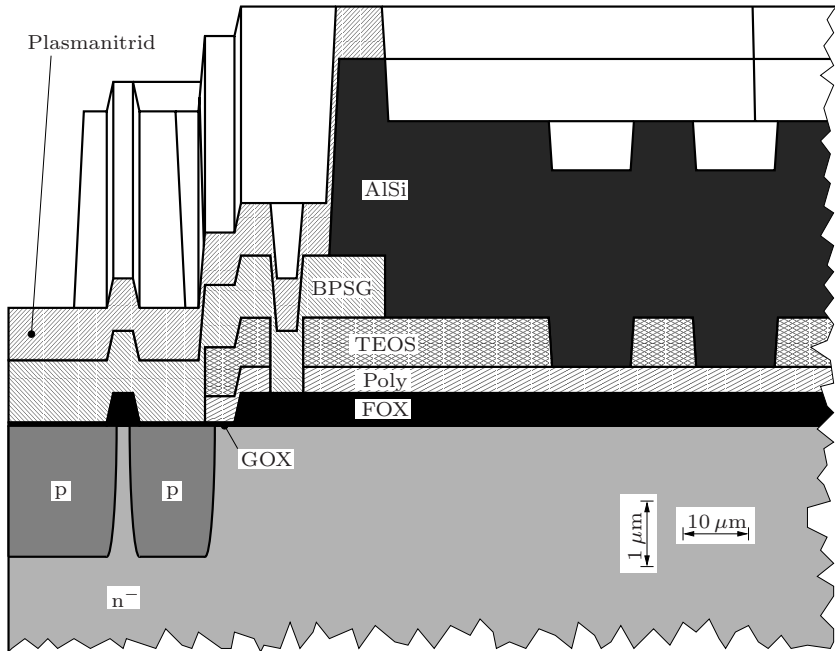


Bild 2.5: Schnitt C–D in Bild 2.4 durch Randstruktur und Gate-Pad

Die Eckmetallisierung übernimmt eine doppelte Funktion. Einerseits dient sie als Sägemarke, andererseits werden über zwei Kontakte Feldplatte – ein um den Chip umlaufender Poly-Ring – und innerer Feldring – um den Chip umlaufendes p-Diffusions-Gebiet – miteinander verbunden.

An den Chip-Ecken ist der chip-stopper unterhalb der Eckmetallisierung unterbrochen, wodurch die Feldringe eine leitende Verbindung haben. Primärer Sinn der Unterbrechung ist jedoch, dem Photolack, an der um den Chip umlaufenden Kante des chip-stopper, das Abfließen zu erleichtern.

Entlang des Chip-Randes ist die Struktur des Halbleiters durch Sägen derart geschädigt, daß keine Spannung aufgenommen werden kann. Der Rand muß deshalb bis zur Oberfläche auf Drain-Potential gehalten werden.

Dazu nun die folgenden Überlegungen. Raumladungszonen zwischen Source und Drain haben typischerweise etwa die maximale Ausdehnung der Epi-Schichtdicke. Raumladungszonen unterhalb von Gate-Strukturen sind kleiner als die Vorhergehenden, da noch ein Oxid zwischen der Poly-Gate-Schicht



Bild 2.6: Gesamt-Chip mit Bonddrahtresten

und dem Halbleiter ist, welches ebenfalls eine Teilspannung aufnimmt. Daher sind Raumladungszonen unterhalb von Gate- und Drain-Strukturen auch in lateraler Richtung nach etwa einer Epi-Schichtdicke zu Ende und es existiert nur noch neutrales, auf Drain-Potential liegendes Halbleitermaterial.

In diesem Bereich liegen die zwei, den Chip umlaufenden Feldringe. Zusammen mit dem Diodenstrom und den schlechten Sperreigenschaften der pn^- -Diode des äußeren Feldrings am Sägerand ist der Feldring kapazitiv und leicht resistiv mit Drain verbunden.

Über die Eckmetallisierung liegt damit auch die Feldplatte auf Drain-Potential, so daß alle Äquipotentialflächen zwischen Feldplatte und Poly-Gate hindurchlaufen. Die Feldplatte dient als sogenannter channel-stopper, da vor ihr jede Inversionsschicht endet. Sie schirmt den Einfluß von eventuell im Gehäuse vorhandenen, parasitären Ladungen auf diesen Randbereich ab.

Vor der Feldplatte krümmen sich die Äquipotentialflächen senkrecht zur Oberfläche. Durch die Krümmung entstehen Feldstärkespitzen, welche die maximal mögliche Blockierspannung maßgeblich beeinflussen. Durch Optimierung der Feldplattengeometrien kann dieser Effekt abgeschwächt werden ([6] S. 116–119, [12] S. 57–58). Dazu gehört, daß Poly-Gate und Feldplatte mit einem bestimmten Abstand zu ihren Rändern zur jeweiligen anderen

Struktur vertikal nach oben über die GOX/FOX-Kante laufen.

Besonders stark tritt der oben genannte Spitzeneffekt an Ecken auf, weshalb in der Draufsicht alle Gate- und Source-Ecken mit 45° abgeschrägt und alle Eck-Dummies weggelassen wurden.

Ansonsten sind die äußersten Zellen des Zellenfeldes als Dummies ausgeführt. Dummies sind Zellen ohne n^+ -Source-Dotierung (siehe linke Zelle in Bild 2.3). Da ihnen die source-seitige Elektronenquelle an der MOS-Struktur fehlt, existiert in diesen Randzellen kein Feldeffekt-Transistor. Zum Stromfluß im Vorwärtsbetrieb liefern deshalb nur Zellen einen Beitrag, welche gleichförmig mit anderen Zellen umgeben sind, etwa die gleiche Feldgeometrie und somit das gleiche elektrische Verhalten haben. Außerdem werden beim Kommutieren der Rückwärtsdiode die verstärkt am Rand auftretenden Ladungsträger in Zellen ohne n^+ -Source-Dotierung abgeführt, wodurch das Einschalten von parasitären Bipolartransistoren vermieden wird [8].

2.4 Gehäuse

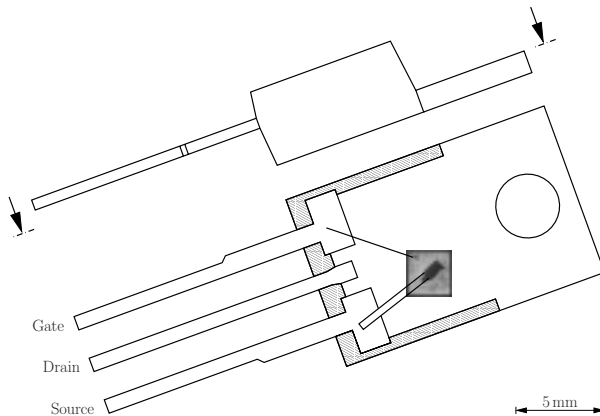


Bild 2.7: TO-220 Gehäuse mit aufgeschnittenem Kunststoffkörper

Die Grundplatte besteht aus Kupfer für eine gute thermische und elektrische Leitfähigkeit. Der Chip ist mit der Rückseite ganzflächig in der Nähe des Source-Pins auf die Grundplatte gebondet, um den Source-Bonddraht kurz zu halten. Da die Chip-Rückseite gleichzeitig der Drain-Anschluß ist, führt die Grundplatte Drain-Potential.

Durch eine Quetschung kann der Drain-Pin einfach in einer Nut der Grundplatte befestigt werden, welche am mechanisch stabilsten mit dem mittleren Pin realisiert werden kann.¹ Die Bonddrähte bestehen aus Aluminium. Der source-seitige ist 0,35 mm dick ausgeführt, wodurch parasitärer Widerstand und Induktivität klein gehalten werden.

Nach dem Vergießen mit Kunststoff wird die Grundplatte zum Schutz gegen Oxidation und Verkratzen vernickelt.

¹Eine Platzierung von Source in der Mitte wäre für hochfrequente Schaltungen vorteilhafter, da sich die Koppelinduktivität reduzieren würde.

3 Eigenschaften

3.1 Einzelzelle

In diesem Abschnitt werden die Eigenschaften einer einzelnen Halbzelle mit dem Device-Simulator Medici [5] untersucht.

Der Aufbau der simulierten Zelle ist dem des BUZ103SL [36] nachempfunden. Unterschiede bestehen vor allem in der Epi-Schichtdicke und in einer leicht veränderten Dotierung. Die simulierte Zelle ist eben, d. h. zweidimensional und hat eine konstante Weite von $1\ \mu\text{m}$. Sowohl die Zellenfeldfläche als auch die Weite des internen, lateralen MOS-FET sind beim realen Bauelement BUZ103SL etwa um einen Faktor $8,4 \cdot 10^5$ größer als bei der simulierten Struktur. Entsprechend skalieren auch der Drain-Strom und die Kapazitäten. Das simulierte Dotierungsprofil ist in Bild 3.1 dargestellt.

3.1.1 Ladungsträgerdichten unter dem Gate-Oxid

Die Ladungsträgerdichten unter dem Gate-Oxid werden für den Fall $U_{DS} = 0\ \text{V}$ untersucht. Da der Drain-Strom dadurch ebenfalls null ist, herrscht im Halbleiter thermodynamisches Gleichgewicht. Die Quasi-Fermi-Potentiale der Elektronen und Löcher sind gleich groß und konstant. Es gilt das Massenwirkungsgesetz.

$$pn = n_i^2 \tag{3.1}$$

In Bild 3.2 sind Elektronen- und Löcherdichten an der Halbleiteroberfläche für verschiedene Gate-Source-Spannungen aufgetragen. Im Epi-Gebiet herrscht oberhalb von $-0,1\ \text{V}$ Akkumulation ($n \geq N_D$) und unterhalb von $-1,6\ \text{V}$

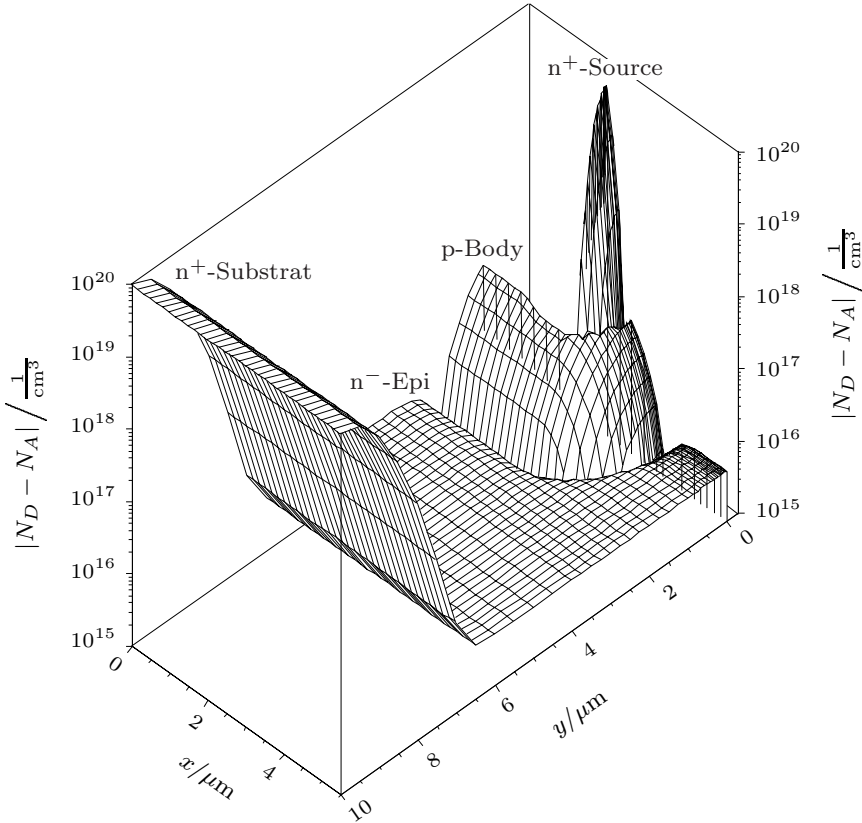


Bild 3.1: Dotierungsprofil

starke Inversion ($p \geq N_D$). Im p-Body setzt die Akkumulation ($p \geq N_A$) unter etwa $-0,9$ V ein.

Die Ladungsträgerverteilung ist im Epi-Gebiet relativ konstant. Dies gilt im p-Body aufgrund der inhomogenen Dotierung nicht. An der am stärksten dotierten Stelle nahe der Source tritt erst über etwa 2 V starke Inversion auf ($n \geq N_A$).

Das Bauelementverhalten wird stark durch die Anzahl der sich aufgrund des Gate-Einflusses zusätzlich im Halbleiter befindlichen Ladungsträger – speziell Elektronen – bestimmt. Diese bilden in Oberflächennähe eine dünne, leitfähige Schicht. Zur Erzeugung von Bild 3.3 wurden zwei Device-Simulationen durchgeführt: eine mit und eine ohne Poly-Gate. Die Differenz

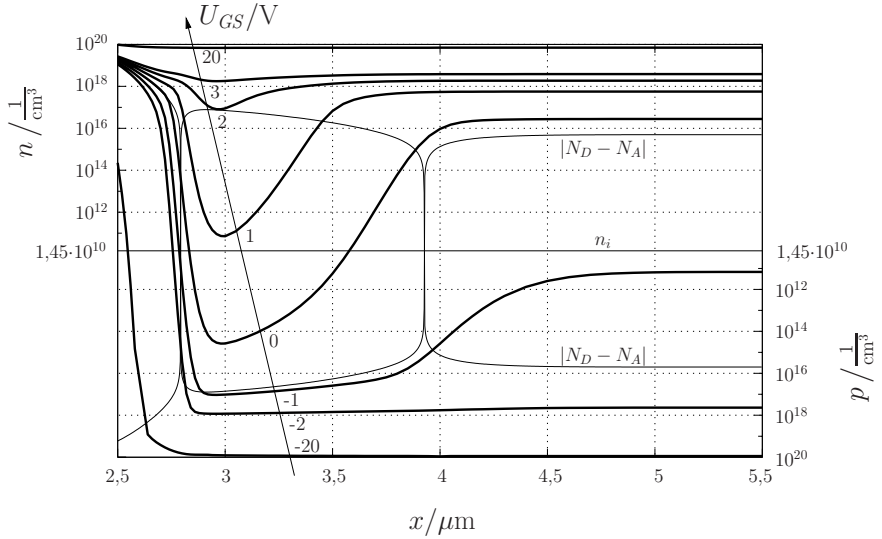


Bild 3.2: Ladungsträgerdichten unter dem Gate-Oxid ($y = 0$ m) bei $U_{DS} = 0$ V (wegen $I_D = 0$ A gilt $pn = n_i^2$)

der Elektronendichten aus den beiden Simulationen wurde vertikal nach y integriert.

Ab der Einsatzspannung von etwa 2V existiert unter dem Poly-Gate eine durchgängige, leitfähige Elektronenschicht.

Im p-Body ist aufgrund der inhomogenen Dotierung auch die Flächenladungsträgerdichte nicht konstant.

Im n^+ -Source-Gebiet nimmt der Gate-Einfluß unterhalb des BPSG mit zunehmender, lateraler Distanz zum Poly-Gate ab.

Der Simulation ist das Ergebnis aus der folgenden Berechnung gegenübergestellt. Die Neutralitätsbedingung bei vollständiger Ionisierung der Dotierungsatome

$$N_A + n = N_D + p \quad (3.2)$$

gilt nur außerhalb von Raumladungszonen. Mit den Gleichungen 3.1, 3.2 und $n = n_i \exp\left(-\frac{\Phi_F}{kT/q}\right)$ ergibt sich das Fermi-Potential zu

$$\Phi_F = \frac{kT}{q} \ln \left(\frac{N_A - N_D}{2n_i} + \sqrt{\left(\frac{N_A - N_D}{2n_i}\right)^2 + 1} \right) \quad , \quad (3.3)$$

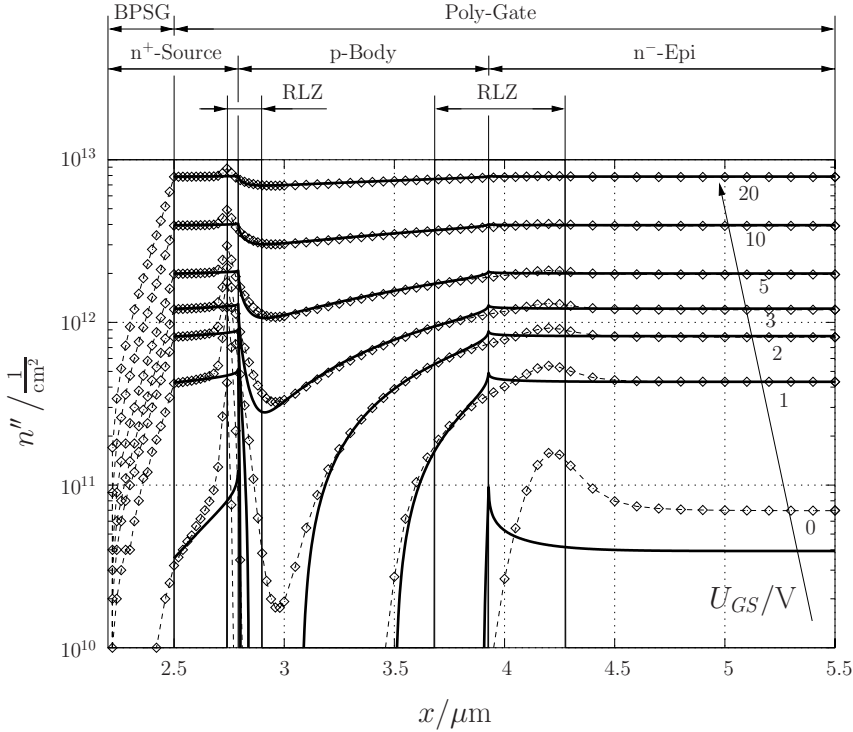


Bild 3.3: zusätzliche Elektronen aufgrund des Gate-Einflusses bei $U_{DS} = 0 \text{ V}$, $-\diamond$ - Device-Simulation, — Gleichung 3.5

welches auch die Flachbandspannung

$$U_{FB} = -\Phi_F - \frac{kT}{q} \ln \frac{N_{D, Poly}}{n_i} \quad (3.4)$$

beeinflusst. Zur Berechnung der flächenbezogenen Elektronendichte wird im p-Body die Annahme der starken Inversion mit dem Oberflächenpotential $\Phi_S = 2\Phi_F$ (vgl. Abschnitt 4.1.1.1) und im Source- sowie Epi-Gebiet die der Akkumulation mit $\Phi_S = 0 \text{ V}$ gemacht.

$$n'' = \begin{cases} \frac{C''_{ox}}{q} (U_{GS} - U_{FB}) & : N_A \geq N_D \\ \frac{C''_{ox}}{q} (U_{GS} - U_{FB} - 2\Phi_F - \gamma\sqrt{2\Phi_F}) & : N_A \leq N_D \end{cases} \quad (3.5)$$

Das Ergebnis in Bild 3.3 zeigt für Flächenladungsträgerdichten über $10^{11} \frac{1}{\text{cm}^2}$ auch in Raumladungszonen eine gute Übereinstimmung.

3.1.2 Arbeitsbereiche

Der Arbeitspunkt des DMOS-Dreipols kann eindeutig durch die Gate-Source-Spannung U_{GS} und die Drain-Source-Spannung U_{DS} festgelegt werden. In Bild 3.4 ist der (U_{GS}, U_{DS}) -Raum in die Arbeitsbereiche des DMOS unterteilt, wobei eine Legende in Bild 3.16 zu finden ist.

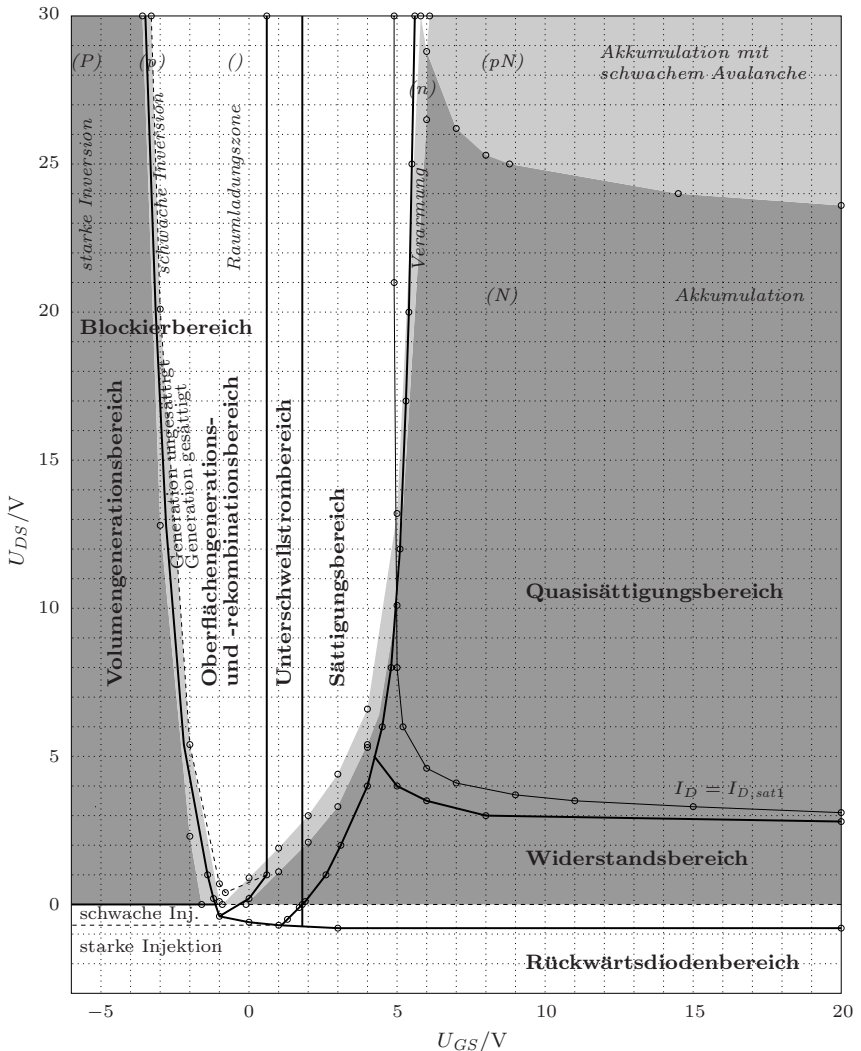


Bild 3.4: Arbeitsbereiche, Legende hierzu in Bild 3.16

Die Arbeitsbereiche werden nach der Ursache des dominierenden Drain-Stromanteils getrennt.

Da die Ladungsträgerdichten unterhalb des Gate-Oxids (siehe Abschnitt 3.1.1) im n^- -Epi-Gebiet einen großen Einfluß auf das Bauelementverhalten im Vorwärtsbetrieb haben, sind diese mit Grautönen dargestellt.

3.1.2.1 Rückwärtsdiodenbereich

Bei einer negativen Drain-Source-Spannung wird der p-Body/ n^- -Epi Übergang in Flußrichtung gepolt (Bild 3.5). Es diffundieren Elektronen in das p-Body-Gebiet und Löcher über das n^- -Epi-Gebiet zum n^+ -Substrat, wo sie dann jeweils rekombinieren.

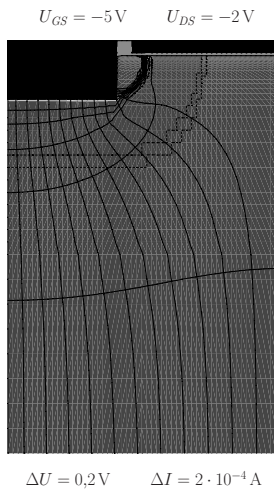


Bild 3.5: Rückwärtsdiodenbereich, Legende hierzu in Bild 3.9

Fällt U_{DS} unter $-0,7\text{ V}$, so diffundieren so viele Löcher in das n^- -Epi-Gebiet, daß deren Konzentration die Grunddotierung übersteigt (Bild 3.6). Die Elektronendichte folgt dabei der Löcherdichte. Dies wird starke Injektion genannt.

Das gleichzeitige Vorhandensein von Elektronen und Löchern im n^- -Epi-Gebiet führt zu Ladungsspeicherungseffekten und dynamischen Zuständen beim Schalten.

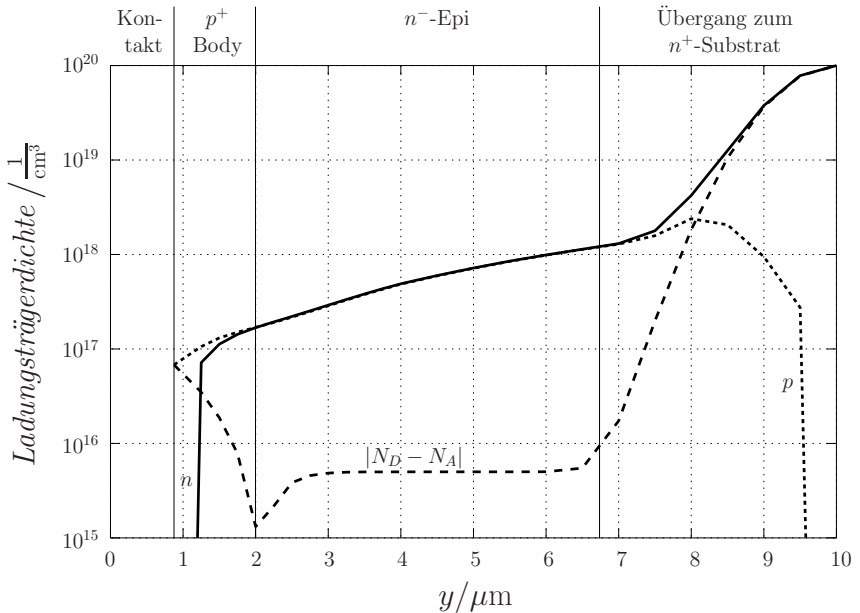


Bild 3.6: mit Ladungsträgern Überschwemmtes Epi-Gebiet im Rückwärtsdiodenbereich bei starker Injektion ($x = 0 \text{ m}$, $U_{GS} = -5 \text{ V}$, $U_{DS} = -2 \text{ V}$)

Sieht man vom Durchbruchbereich ab, ist der Rückwärtsbetrieb der einzige Betriebsbereich, in dem Löcher zum Stromfluß beitragen. Der DMOS wird deshalb zu den unipolaren Bauelementen gezählt und bei hohen Frequenzen bevorzugt verwendet.

Die Rückwärtsdiode verhindert prinzipiell, daß das Bauelement Sperrspannung aufnehmen kann. In einigen Schaltungen wird diese parasitäre Diode als eingebaute Freilaufdiode benutzt.

Im Rückwärtsbetrieb kann bei größeren Gatespannungen der zur Rückwärtsdiode parallel liegende, interne, laterale MOS-FET einen erheblichen Stromanteil führen. Die Funktion seines internen Drain- und Source-Anschlusses dreht sich dabei um, so daß die Bereichsgrenzen zwischen Unterschwellstrom-, Sättigungs- und Widerstandsbereich in Bild 3.4 um 45° zu denen im Vorwärtsbereich abgeknickt erscheinen.

3.1.2.2 Blockierbereich

Im Blockierbereich sperrt der interne, laterale MOS-FET, da die Gate-Source-Spannung unter 0,7V liegt. Wie in Bild 3.7 zu sehen ist, wird die Blockierspannung zwischen Drain und Source von einer Raumladungszone im Epi-Gebiet in vertikaler Richtung aufgenommen.

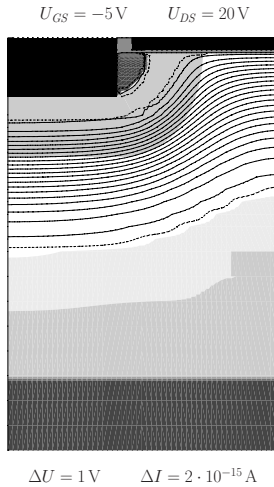


Bild 3.7: Blockierbereich

Die maximale Weite der Raumladungszone ist begrenzt durch die Distanz zwischen Body-Gebiet und dem Übergangsbereich zum n^+ -Substrat. Ihre Größe ist Teil einer Optimierung. Einerseits soll die Dicke der Epi-Schicht so gering wie möglich und ihre Dotierung so hoch wie möglich sein, um den Widerstand zwischen Drain und Source im Widerstandsbereich zu minimieren. Andererseits muß die elektrische Feldstärke im Blockierbereich bei der maximalen Blockierspannung unterhalb der kritischen Feldstärke liegen, bei welcher ein Avalanche (Lawinendurchbruch) ausgelöst würde. Unter Berücksichtigung der Dotierungsabhängigkeit der kritischen Feldstärke ergibt sich in [17] die optimale Dotierung und maximale Weite der Raumladungszone zu

$$N_E = 1,935 \cdot 10^{18} \left(\frac{U_{DS,max}}{\text{V}} \right)^{-1,4} \frac{1}{\text{cm}^3} \quad (3.6)$$

$$d_{RLZ,max} = 1,74 \cdot 10^{-2} \left(\frac{U_{DS,max}}{\text{V}} \right)^{1,2} \mu\text{m} \quad (3.7)$$

Der Drain-Strom im Blockierbereich entsteht durch Generation von beweglichen Ladungsträgern in der Raumladungszone. Die Nettorekombination nach dem Shockley-Reed-Hall-Modell ergibt sich in [29] S. 190 zu

$$R - G_{th} = \frac{pn - n_i^2}{(n + n_i e^{\frac{E_T - E_i}{kT}}) \tau_p + (p + n_i e^{\frac{E_i - E_T}{kT}}) \tau_n} \quad (3.8)$$

und ist in Bild 3.8 für verschiedene Ladungsträgerdichten dargestellt. Da in einer Raumladungszone die Ladungsträgerdichten von Löchern und Elektronen jeweils unter der intrinsischen Dichte liegen, ist die volumenbezogene Nettogeneration konstant. Äquivalentes gilt für die Oberflächengeneration.

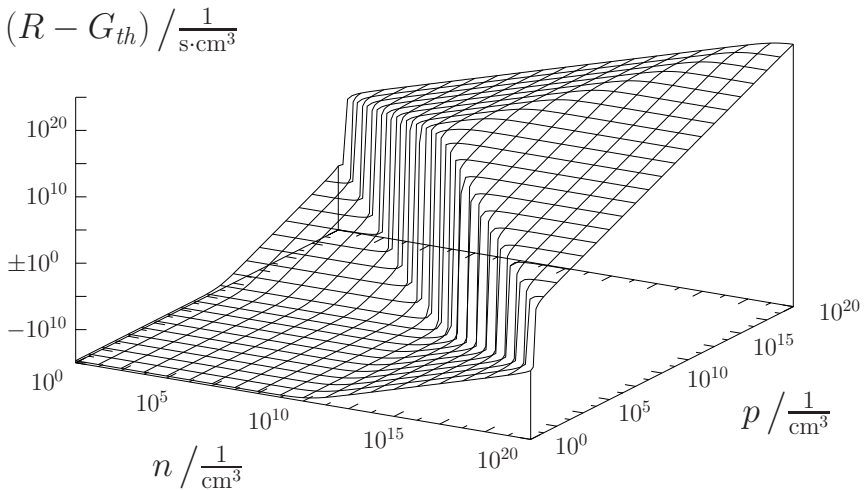


Bild 3.8: Nettorekombination nach dem Shockley-Reed-Hall-Modell mit den Ladungsträgerlebensdauern $\tau_n = 25 \mu\text{s}$, $\tau_p = 5 \mu\text{s}$ und dem Trapniveau in Bandmitte $E_T = E_i$

Wird die Gate-Source-Spannung von 0,7V her abgesenkt, so sinkt das Potential an der Epi-Oberfläche anfänglich ebenfalls (Bild 3.24). Ab einer bestimmten Potentialdifferenz zwischen Epi-Oberfläche und Body-Gebiet fließen aus dem Body-Gebiet Löcher an die Epi-Oberfläche und es entsteht eine Inversionsschicht mit konstantem Potential. Abhängig vom Vorhandensein dieser Inversionsschicht kann der Blockierbereich in Volumen- und Oberflächenbereich unterteilt werden.

3.1.2.2.1 Volumengenerationsbereich

Im Volumengenerationsbereich liegt eine betragsmäßig große, negative Gate-Source-Spannung an und es existiert eine Inversionsschicht an der Epi-Oberfläche. Da die Ladungsträgerdichte der Löcher dort weit über der intrinsischen Dichte liegt, ist die Generationsrate an der Epi-Oberfläche nach Bild 3.8 um einige Dekaden kleiner als die Oberflächengeneration bei Verarmung und gegenüber der Volumengeneration vernachlässigbar.

Der Drain-Strom in diesem Arbeitsbereich hat drei Ursachen.

Erstens Generation von Ladungsträgern im Raumladungszonenvolumen. Die Generationsrate ist proportional zum Raumladungszonenvolumen zwischen n^- -Epi und p-Body, welches seinerseits etwa proportional zur Wurzel der Drain-Source-Spannung ist.

Zweitens Generation von Ladungsträgern an der Halbleiteroberfläche zwischen Poly-Gate und Feldplatte. Wie in Abschnitt 2.3 beschrieben, krümmt sich dort die Raumladungszone zur Halbleiteroberfläche. Zwischen pinch-off-Punkt und Raumladungszonenende findet eine Oberflächengeneration statt (vgl. nächster Abschnitt), deren Rate etwa proportional zur Fläche und damit etwa proportional zur Wurzel der Drain-Source-Spannung ist.

Drittens Diffusion von Minoritätsträgern zur Raumladungszonengrenze und Drift über die Raumladungszone mit Sättigungsgeschwindigkeit. Die dadurch abgesenkte Minoritätsträgerdichte nahe der Raumladungszonengrenze verursacht dort eine Nettogeneration. Dieser Effekt liefert den konstanten Sättigungsstrom einer in Sperrichtung gepolten Diode.

3.1.2.2.2 Oberflächengenerationsbereich

Im Oberflächengenerationsbereich liegt eine betragsmäßig kleine Gate-Source-Spannung an und es existiert keine Inversionsschicht an der Epi-Oberfläche. Eine Generation von beweglichen Ladungsträgern findet sowohl im Raumladungszonenvolumen als auch an der Epi-Oberfläche statt. Letztere ist jedoch um etwa zwei Dekaden größer, da die Zahl der Traps an der Oxid-Halbleiter-Grenzschicht entsprechend größer als im Volumen ist. Wegen der konstanten Größe der Epi-Oberfläche ist auch der generierte Strom konstant.

3.1.2.3 Oberflächenrekombinationsbereich

Im Rückwärtsbetrieb gibt es um $U_{GS} = -0,9\text{ V}$ für $U_{DS} \geq -0,4\text{ V}$ einen kleinen Bereich, in dem das Produkt von Löcher- und Elektronendichte an der Epi-Oberfläche über n_i^2 liegt. Während die Löcherdichte durch Zufluß aus dem p-Body entsprechend der Potentialdifferenz zwischen Epi-Oberfläche und Body konstant gehalten wird, diffundieren die Elektronen von der Kante der relativ kurzen Raumladungszone zur Epi-Oberfläche. Die dort erfolgende Oberflächenrekombination verursacht einen über dem Rückwärtsdioden- und Unterschwellstrom liegenden Stromfluß.

3.1.2.4 Unterschwellstrombereich

Liegt die Gate-Source-Spannung unterhalb der Einsatzspannung von $1,8\text{ V}$, so ist der Drain-Strom von dieser Spannung exponentiell abhängig (Bild 3.19). Grund ist das Unterschwellstromverhalten des internen, lateralen MOS-FET.

Bei kleinen Drain-Source-Spannungen ist das Epi-Gebiet neutral und niederohmig – in Bild 3.4 durch die eingezeichnete Akkumulation erkennbar. Deshalb liegt die gesamte Drain-Source-Spannung am internen, lateralen MOS-FET an und dessen exponentielle Abhängigkeit von U_{DS} unterhalb von 100 mV ist im Drain-Strom sichtbar.

Steigt die Drain-Source-Spannung über 100 mV , so wird der Unterschwellstrom von dieser Spannung unabhängig. Bei noch größeren Spannungen entsteht im Epi-Gebiet eine Raumladungszone, welche einen Teil der Drain-Source-Spannung aufnimmt. Wegen der schon erwähnten Spannungsunabhängigkeit in diesem Bereich hat dies jedoch keine Auswirkung auf den Drain-Strom.

3.1.2.5 Widerstandsbereich

Befindet sich der DMOS im Widerstandsbereich, so ist der interne, laterale MOS-FET ebenfalls im Widerstandsbereich und U_{DS} ist kleiner als etwa 3 V bis 5 V . An der Epi-Oberfläche existiert eine niederohmige Akkumulationsschicht, welche den Drain-Strom unter der Oberfläche homogen verteilt (Bild 3.9). Die elektrische Feldstärke im Epi-Gebiet liegt überall unterhalb der Sättigungsfeldstärke von $9 \cdot 10^3 \frac{\text{V}}{\text{cm}}$. Bei einer Epi-Schichtdicke von $4\text{ }\mu\text{m}$ ist dies nur möglich, wenn die Spannung zwischen Drain und der Oberfläche

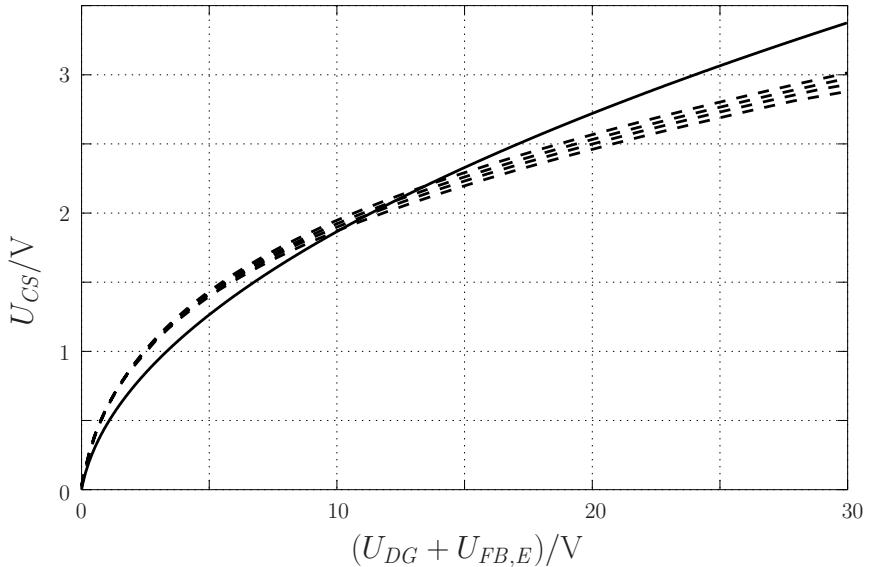


Bild 3.10: Oberflächenpotential im n^- -Epi-Gebiet am Zellrand C bezogen auf Source-Potential bei schwacher Inversion und Verarmung unter dem Gate-Oxid: — Formel eines kapazitiven Spannungsteilers, - - - Device-Simulation für $U_{GS} \in \{-1\text{ V}, 0\text{ V}, 1\text{ V}, 2\text{ V}\}$

hervor, daß dieser nur noch einen Bruchteil von der an den Anschlüssen angelegten Drain-Source-Spannung aufnehmen können muß. Die Kanallängenmodulation ist über diesen Mechanismus ebenfalls stark reduziert.

Die vom internen MOS-FET kommenden Elektronen des Drain-Stromes driften mit Sättigungsgeschwindigkeit vertikal in einem schmalen Schlauch durch die Raumladungszone (Bild 3.11).

Mit steigendem Drain-Strom befinden sich immer mehr Elektronen in der Raumladungszone, welche die Donatorrümpfe zunehmend neutralisieren und somit die effektive Dotierung in der Spannungsteilerformel verringern.

3.1.2.7 Quasisättigungsbereich

Die maximale Geschwindigkeit, welche Elektronen im Silizium erreichen können ist die Sättigungsgeschwindigkeit v_{sat} . Bei einer gegebenen Querschnittsfläche A_1 des Epi-Gebietes neben dem p-Body nahe der Oberfläche

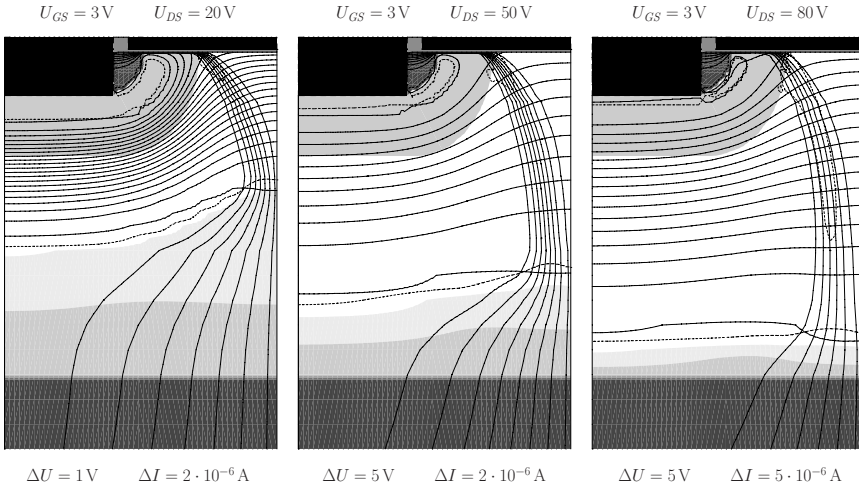


Bild 3.11: Sättigungsbereich

ergibt sich bei der Dotierung N_E ein Sättigungsstrom

$$I_{D,sat1} = qN_E v_{sat} A_1, \quad (3.9)$$

welcher durch bloße Erhöhung der elektrischen Feldstärke nicht überschritten werden kann. Im Quasisättigungsbereich liefert der interne, laterale MOS-FET so viele Elektronen in das Epi-Gebiet, daß dort die Konzentration über die Dotierung steigt und dadurch der Drain-Strom über den Sättigungsstrom steigen kann (Bild 3.12).

An der Oberfläche baut eine Akkumulationsschicht das vom Gate kommende, elektrische Feld vollständig ab. Die Gegenladung zu den die Dotierung übersteigenden Elektronen befindet sich daher im Epi-Gebiet unterhalb des p-Body in der Form, daß dort die Elektronendichte die Dotierung unterschreitet. Dies ist bei konstantem Strom möglich, da sich dort die stromdurchflossene Fläche aufweiten kann.

Die Verhältnisse im Bauteil sind im Quasisättigungsbereich wegen der Akkumulationsschicht und dem homogenen Stromfluß im Epi-Gebiet denen im Widerstandsbereich sehr ähnlich. Beim Übergang vom Widerstandsbereich in den Quasisättigungsbereich entsteht nur ein größeres, elektrisches Feld und die Ladungsträger bewegen sich dort nahezu mit Sättigungsgeschwindigkeit.

Der Übergang vom Sättigungsbereich zum Quasisättigungsbereich bringt starke Änderungen mit sich. Mit steigender Gate-Source-Spannung baut sich

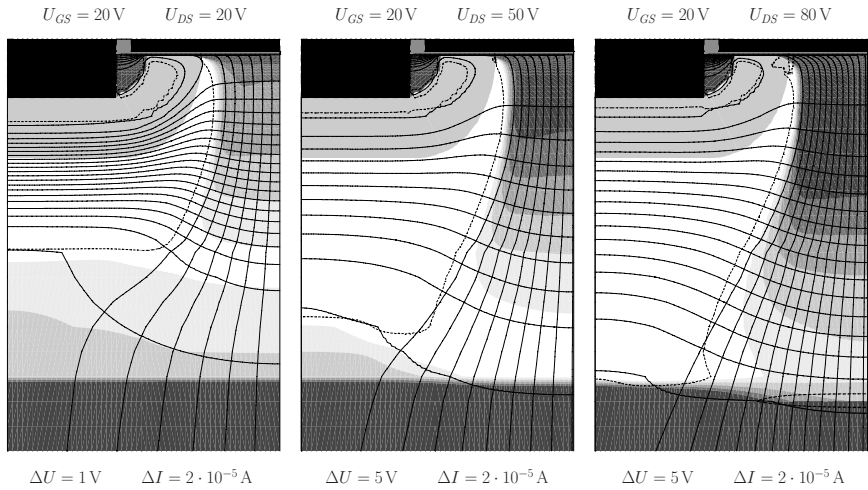


Bild 3.12: Quasisättigungsbereich

eine Akkumulationsschicht, vom Kanalende des internen, lateralen MOSFET kommend, in Richtung Zellrand auf. Von dieser knicken die Stromlinien in Bild 3.13 von der n⁻-Epi-Oberfläche nach unten ab.

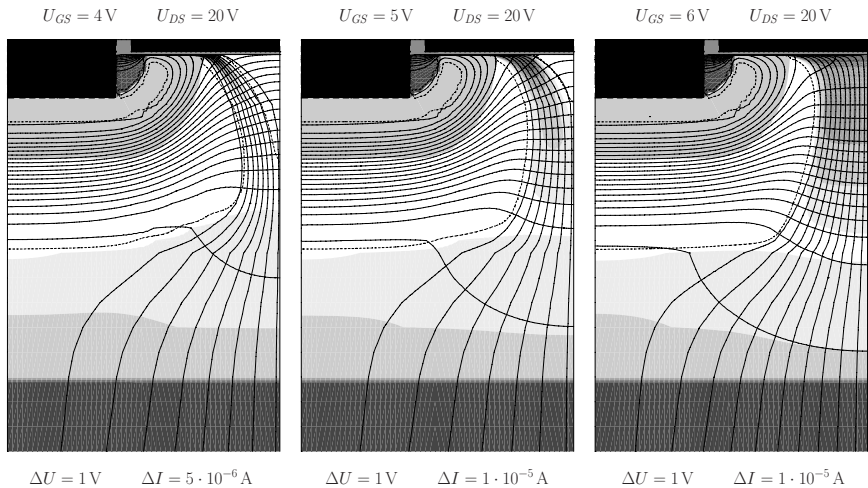


Bild 3.13: Übergang von Sättigung in Quasisättigung

Der schmale Schlauch der Stromlinien weitet sich auf die gesamte, zwischen

der Raumladungszone zum p-Body und dem Zellrand zur Verfügung stehenden Fläche auf. Dies ist auch in Bild 3.14 sichtbar. Die Ladungsträgerdichte bei Quasisättigung wird in diesem Gebiet nicht zuletzt wegen der niederohmigen Akkumulationsschicht sehr homogen. Ein Effekt, welcher sich zur Modellierung in Abschnitt 4.1.3 ausnützen läßt.

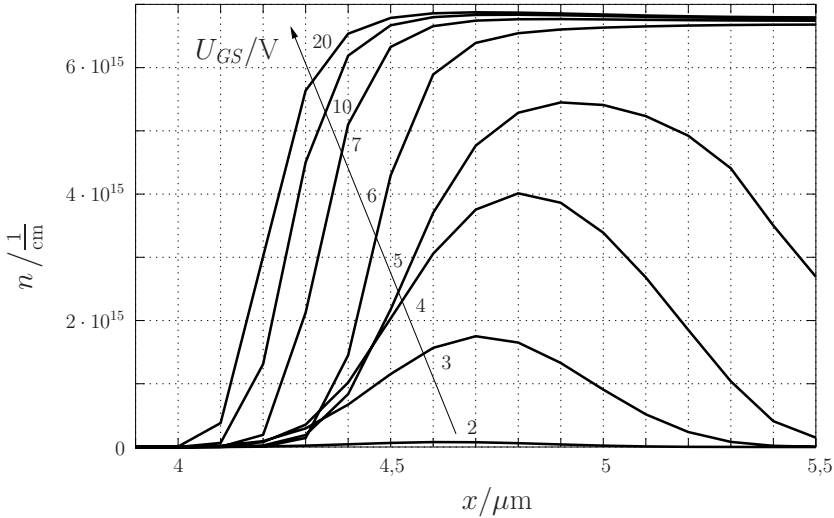


Bild 3.14: Elektronenkonzentration beim Übergang von Sättigung in Quasisättigung ($y = 1 \mu\text{m}$, $U_{DS} = 20 \text{ V}$)

Bild 3.15 zeigt einen vertikalen Schnitt am Zellrand. Während bei Sättigung ($U_{GS} = 2 \text{ V}$) das Epi-Gebiet bis zu einer Tiefe von $2,5 \mu\text{m}$ vollständig von Elektronen befreit ist, liegt in Quasisättigung ($U_{GS} = 20 \text{ V}$) die Elektronendichte unterhalb der Akkumulationsschicht anfänglich konstant über der Dotierungskonzentration von $5 \cdot 10^{15} \frac{1}{\text{cm}^3}$, fällt dann linear unter diese ab, um schließlich bei $y = 5,5 \mu\text{m}$ auf sie wieder zurückzukehren.

Das daraus resultierende elektrische Feld ist im Sättigungsbereich linear, im Quasisättigungsbereich annähernd parabolisch. In beiden Fällen liegt das elektrische Feld fast im gesamten Bereich der Raumladungszone über der Sättigungsfeldstärke von $9 \cdot 10^3 \frac{\text{V}}{\text{cm}}$, bei welcher die Sättigungsgeschwindigkeit erreicht wird.

In Bild 3.16 ist im Quasisättigungsbereich ab einer Drain-Source-Spannung von 23 V eine Löcherdichte über der intrinsischen Dichte eingezeichnet. Dies

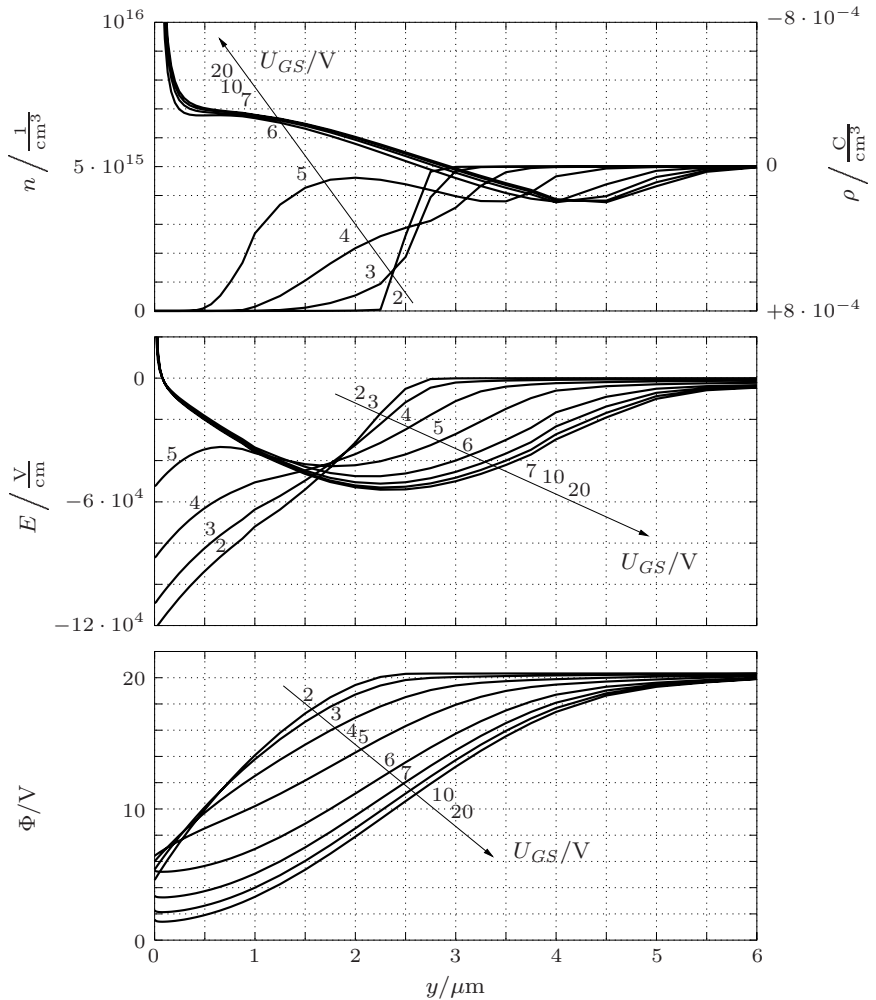


Bild 3.15: Elektronenkonzentration, elektrisches Feld und Potential bezogen auf ein intrinsisches Source-Gebiet beim Übergang von Sättigung in Quasisättigung ($x = 5,5 \mu\text{m}$, $U_{DS} = 20 \text{ V}$)

ist ein Anzeichen für den bei großen Strömen schon bei niedrigeren elektrischen Feldstärken beginnenden Avalanche. Der Strombeitrag liegt unterhalb von $U_{DS} = 85 \text{ V}$ jedoch nur im Prozentbereich.

- Bereichsgrenze
- Bereichsunterteilung
- $I_D = I_{D,sat1}$

Ladungsträgerdichten unter dem Gateoxid an der Grenze zur Nachbarzelle:

(P)	$N_E < p$	$n < n_i$	starke Inversion
(p)	$n_i < p < N_E$	$n < n_i$	schwache Inversion
()	$p < n_i$	$n < n_i$	Raumladungszone
(n)	$p < n_i$	$n_i < n < N_E$	Verarmung
(pn)	$n_i < p < N_E$	$n_i < n < N_E$	Verarmung mit schwachem Avalanche
(N)	$p < n_i$	$N_E < n$	Akkumulation
(pN)	$n_i < p < N_E$	$N_E < n$	Akkumulation mit schwachem Avalanche
(PN)	$N_E < p$	$N_E < n$	Akkumulation mit mittlerem Avalanche

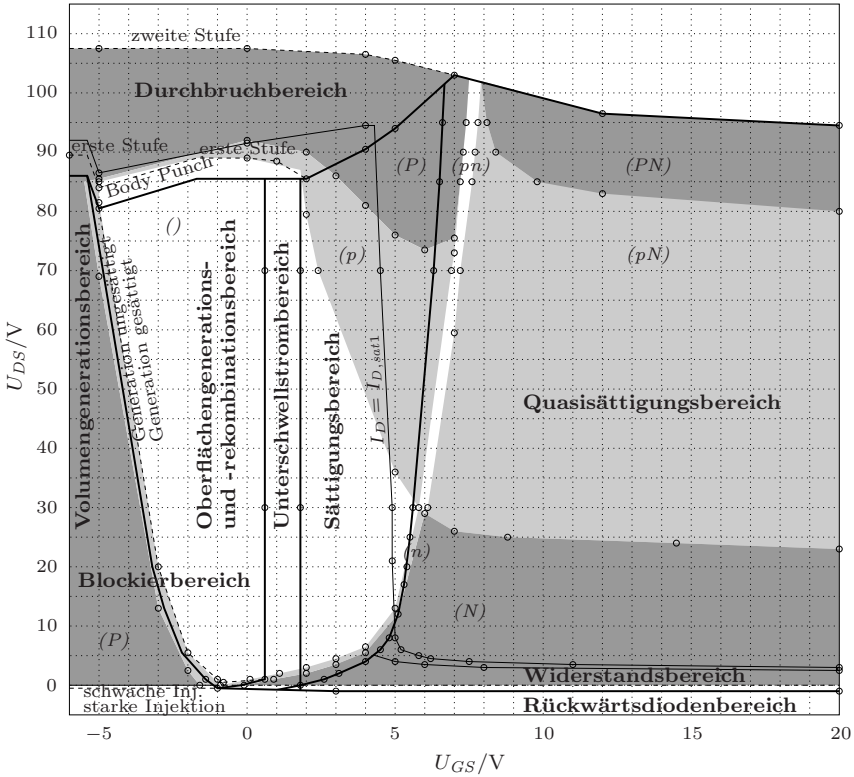
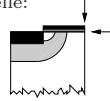


Bild 3.16: Arbeitsbereiche

3.1.2.8 Durchbruchbereich

Im stromlosen Fall ist das elektrische Feld der Raumladungszone im Epi-Gebiet dreiecksförmig. Das Maximum befindet sich am metallurgischen Übergang von Body- zu Epi-Gebiet. Bei $U_{DS} = 89 \text{ V}$ erreicht das Feld dort die für den Avalanche kritische Feldstärke. Der Drain-Strom steigt sprunghaft um 6 bis 8 Dekaden an ($U_{GS} = -20 \text{ V}$ in Bild 3.23). Dies ist die erste Stufe des Durchbruchs (Bild 3.17).

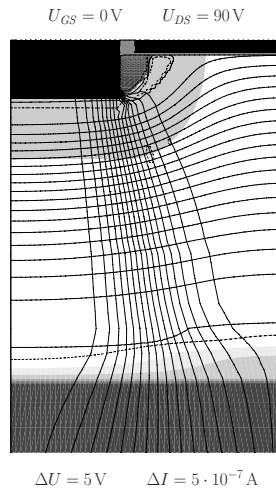


Bild 3.17: nach der ersten Stufe des Durchbruchs

Erreicht der Strom eine Größe, so daß die zur Leitung beitragenden Elektronen im Prozentbereich der Dotierung liegen, so reduzieren diese die effektive Ladungsdichte. Dadurch verlängert sich die Raumladungszone und das elektrische Feld sinkt. Dieser Mechanismus stabilisiert den durch Avalanche generierten Strom (vgl. [11] S. 27–29).

Die Raumladungszone des p-Body/n⁻-Epi Überganges dehnt sich mit zunehmender Drain-Source-Spannung auch im p-Body aus. Berühren sich die Raumladungszonen im p-Body (punch-through), so diffundieren über den in Flußrichtung gepolten n⁺-Source/p-Body Übergang Elektronen, welche dann über den in Sperrichtung gepolten p-Body/n⁻-Epi Übergang mit Sättigungsgeschwindigkeit driften. In Bild 3.18 sind die Auswirkungen dieses Effektes bei $U_{GS} = -5 \text{ V}$ und sogar noch im Fall $U_{GS} = 5 \text{ V}$ erkennbar. Er ist auf eine unzureichend große Dotierung und Ausdehnung des p-Body zurückzuführen und sollte in Realität ausgeschlossen sein.

Bild 3.18 zeigt, daß vor der zweiten Stufe des Durchbruchs in allen Fällen das elektrische Feld erst im Übergangsgebiet zum Substrat abgebaut wird. Die Raumladungszone im Epi-Gebiet stößt an (punch-through) und kann sich nicht weiter ausdehnen.

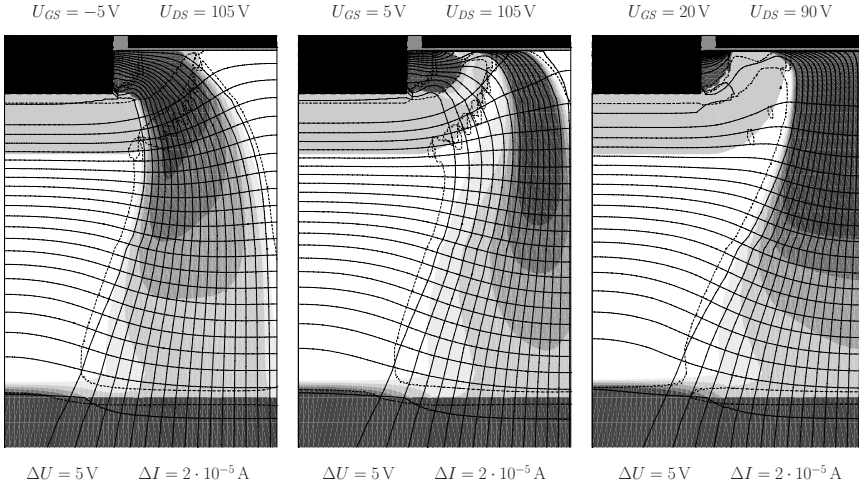


Bild 3.18: vor der zweiten Stufe des Durchbruchs

Bei Erreichen der zweiten Stufe ist der Drain-Strom auf

$$I_{D,sat3} = qN_E v_{sat} A_3 \quad (3.10)$$

gestiegen, wobei A_3 die Fläche der aktiven Zellen ist. Die Elektronen des Drain-Stromes kompensieren die Ladung der Donatorrümpfe und das elektrische Feld wird im gesamten stromdurchflossenen Epi-Gebiet fast konstant, ungefähr gleich der kritischen Feldstärke für den Avalanche. Bei weiterer Erhöhung der Drain-Source-Spannung wächst die Feldstärke, da sich die Raumladungszone nicht weiter ausdehnen kann, wodurch der Drain-Strom steil ansteigt.

Die zweite Stufe des Durchbruchs wird bei leitendem, internen, lateralen MOS-FET schon bei niedrigeren Drain-Source-Spannungen erreicht, da der Avalanche-Strom sowohl von der elektrischen Feldstärke als auch von der Anzahl der zur Verfügung stehenden, beweglichen Ladungsträgern und damit vom auslösenden Strom abhängt.

3.1.3 Gleichstromkennlinien

Bild 3.19 zeigt die Übertragungskennlinie in logarithmischem Maßstab. Bei großen, negativen Gate-Source-Spannungen ist der von der Raumladungszonenweite und damit von der Drain-Source-Spannung abhängige Volumen-generationsbereich erkennbar. Mit steigender Gate-Source-Spannung verschwindet die Inversionsschicht im Epi-Gebiet und das Plateau des Oberflächen-generationsbereichs wird erreicht. In der Simulation weist dieses eine Abhängigkeit von der Drain-Source-Spannung auf. Der exponentielle Anstieg des Unterschwellstrombereichs geht ab der Einsatzspannung von 1,8 V in die Parabelform des Sättigungsbereichs über (Bild 3.20). Bei weiter steigender Gate-Source-Spannung wird der Stromanstieg beim Übergang in den Widerstands- oder Quasisättigungsbereich geringer.

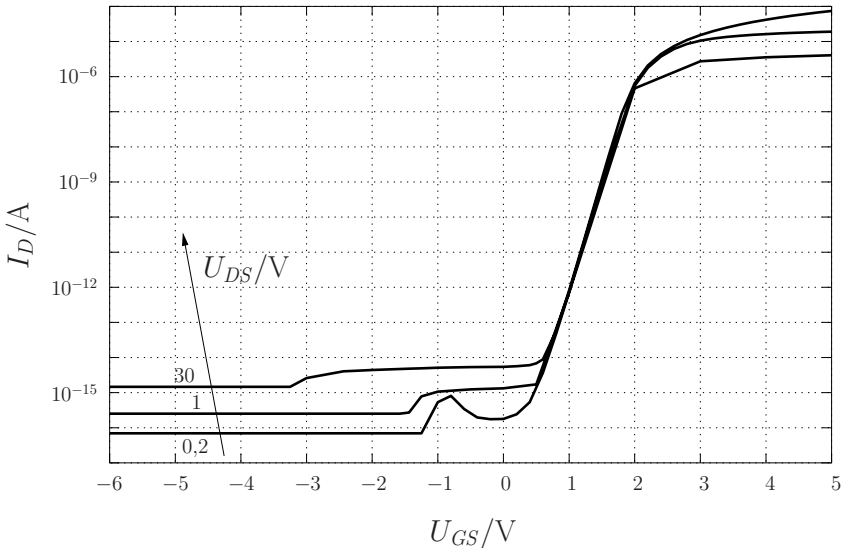


Bild 3.19: Übertragungskennlinie

Die Ausgangskennlinie in Bild 3.21 zeigt für negative Drain-Source-Spannungen das exponentielle Verhalten der Rückwärtsdiode. Unterhalb von $-0,7\text{ V}$ liegt starke Injektion vor und die Kennlinie wird flacher. Für $U_{GS} \geq 0,5\text{ V}$ addiert sich der Strom des internen, lateralen MOS-FET zu dem der Rückwärtsdiode. Bild 3.22 zeigt für $U_{GS} \geq 7\text{ V}$, daß der Drain-Strom im Quasisättigungsbereich nur noch schwach mit der Gate-Source-Spannung ansteigt.

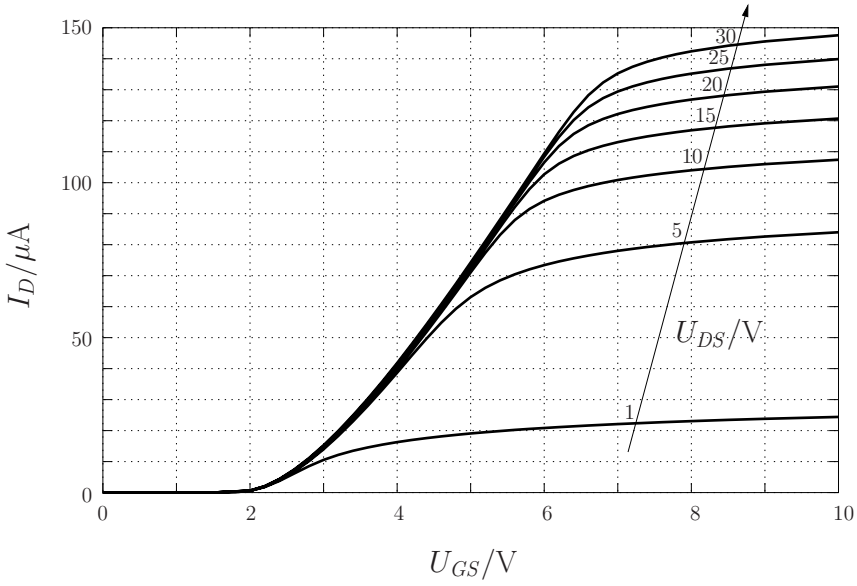


Bild 3.20: Übertragungskennlinie

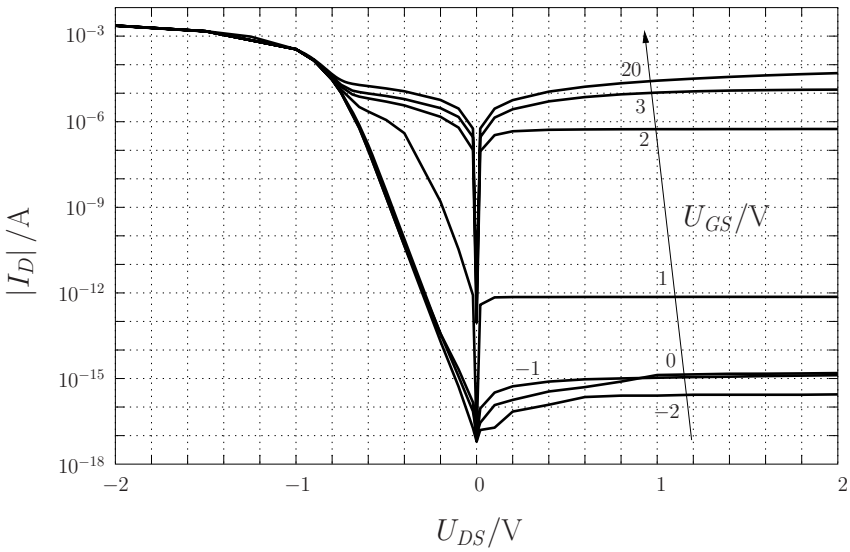


Bild 3.21: Ausgangskennlinie

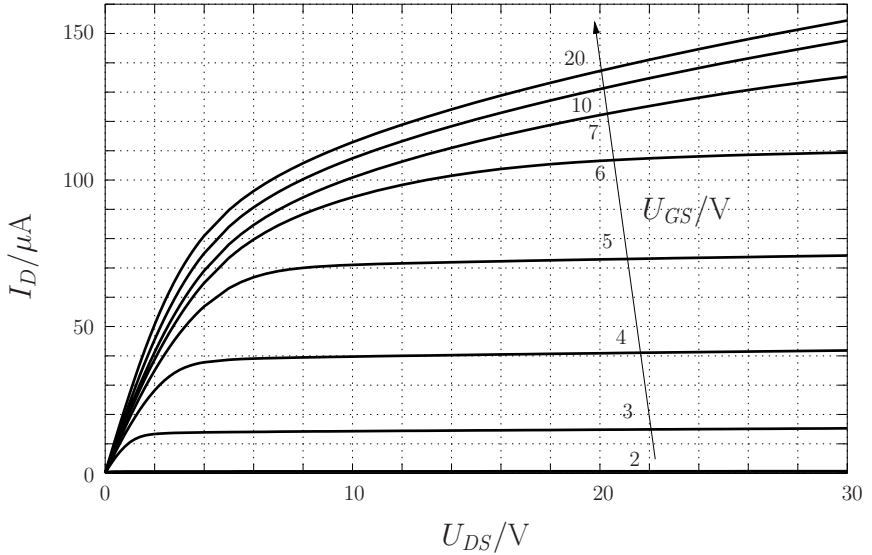
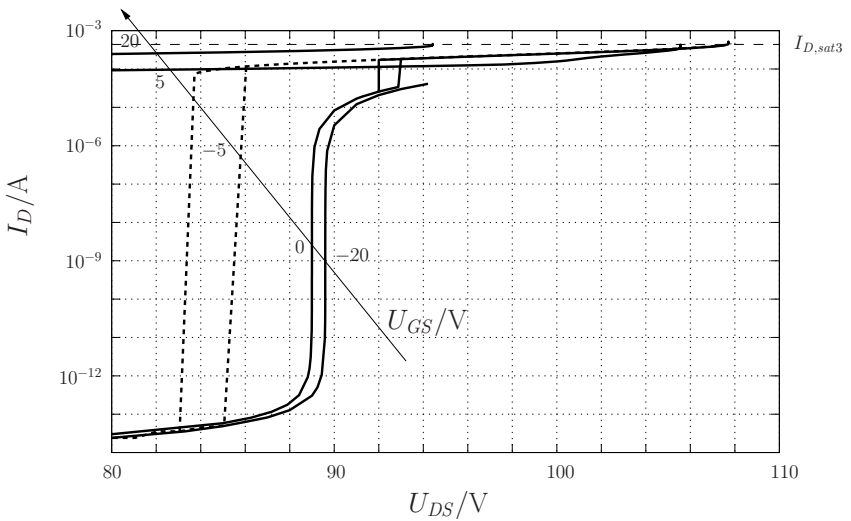


Bild 3.22: Ausgangskennlinie

Bild 3.23: Ausgangskennlinie beim Durchbruch, dick gestrichelt dargestellt ist die Hysterese des $U_{GS} = -5\text{ V}$ Kennlinienastes

Das Durchbruchverhalten ist in Bild 3.23 dargestellt. Die erste Stufe des Durchbruchs findet für alle Gate-Source-Spannungen bei etwa $U_{DS} = 89 \text{ V}$ statt. Erreicht der Drain-Strom $I_{D,sat3}$, so ist der starke Stromanstieg der zweiten Stufe zu verzeichnen. Der punch-through im p-Body zeigt eine Hysterese (Kennlinienäste für $U_{GS} = -5 \text{ V}$ und 0 V), d. h. es existieren für einen Arbeitspunkt zwei Lösungen in der Device-Simulation.

3.1.4 Lateraler MOS-FET und Epi-Widerstand

Um die Strukturelemente des DMOS einzeln untersuchen zu können, werden an bestimmten Punkten im Halbleiter die Potentiale aus der Simulation extrahiert. Ein solcher Punkt liegt an der Halbleiteroberfläche auf dem metallurgischen Übergang vom p-Body zum n⁻-Epi-Gebiet und sei als Kanalende K bezeichnet. Das Potential in Bild 3.24 wird vom Device-Simulator auf ein gedachtes, undotiertes (intrinsisches) Source-Gebiet bezogen. Es spiegelt die Spannung wieder, welche über dem internen, lateralen MOS-FET anliegt.

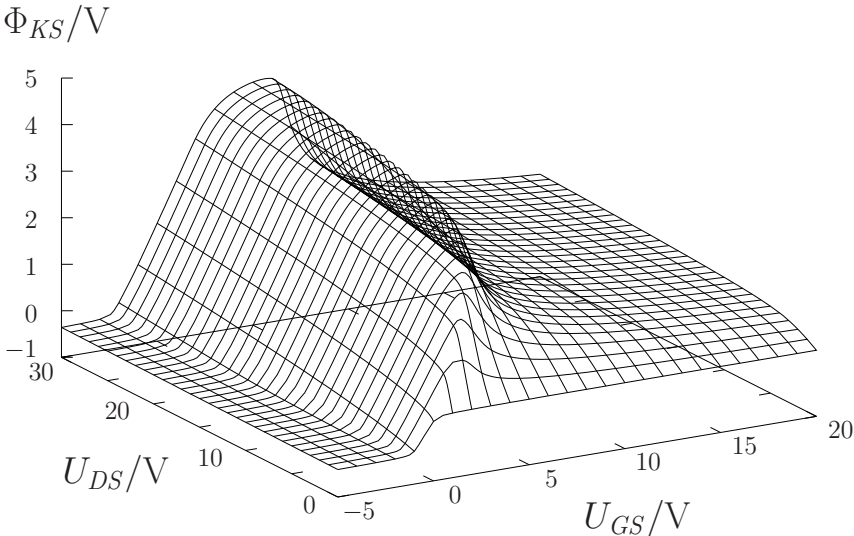


Bild 3.24: Potential am Kanalende des internen, lateralen MOS-FET bezogen auf ein intrinsisches Source-Gebiet

Auf diese Weise kann die Ausgangskennlinie des internen, lateralen MOS-FET vom übrigen System getrennt in Bild 3.25 dargestellt werden.

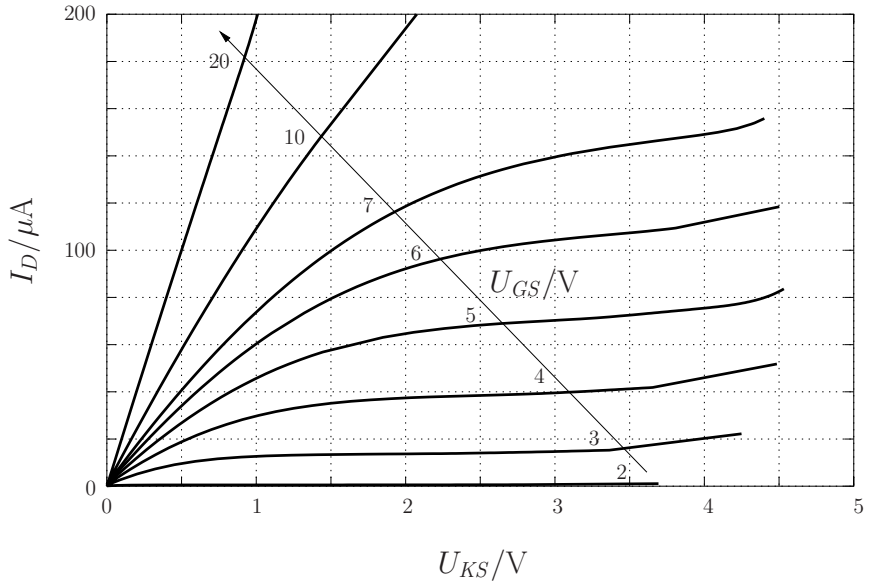


Bild 3.25: Ausgangskennlinie des internen, lateralen MOS-FET

Äquivalent zeigt Bild 3.26 die Ausgangskennlinie der Serienschaltung von Akkumulationsschicht und Epi-Gebiet. Bei kleinen Drain-Kanal-Spannungen ist die Widerstandsgerade des neutralen Epi-Gebietes erkennbar. Sobald im Epi-Gebiet unter dem Gate-Oxid eine Raumladungszone entsteht, wird bei kleinen Drain-Strömen jeder vom internen, lateralen MOS-FET gelieferte Strom aufgenommen. In der Gegend des Sättigungsstromes $I_{D,sat1}$ steigt der differentielle Widerstand des Epi-Gebietes durch die im Quasisättigungsbereich auftretenden Effekte stark an.

Bild 3.27 zeigt den Potentialabfall im Epi-Gebiet zwischen Zellrand und dem Kanalende. Herrscht im Epi-Gebiet Akkumulation oder starke Inversion, so verhindert die Ladungsschicht unter dem Gate-Oxid den Aufbau eines nennenswerten Potentialunterschiedes. Bei Verarmung und schwacher Inversion steigt er dagegen auf 2 V bis 3 V. Besonders interessant im Bezug zur später diskutierten Eingangskapazität ist der steile Abfall beim Übergang vom Sättigungs- in den Quasisättigungsbereich durch die abrupte Bildung der Akkumulationsschicht im Epi-Gebiet.

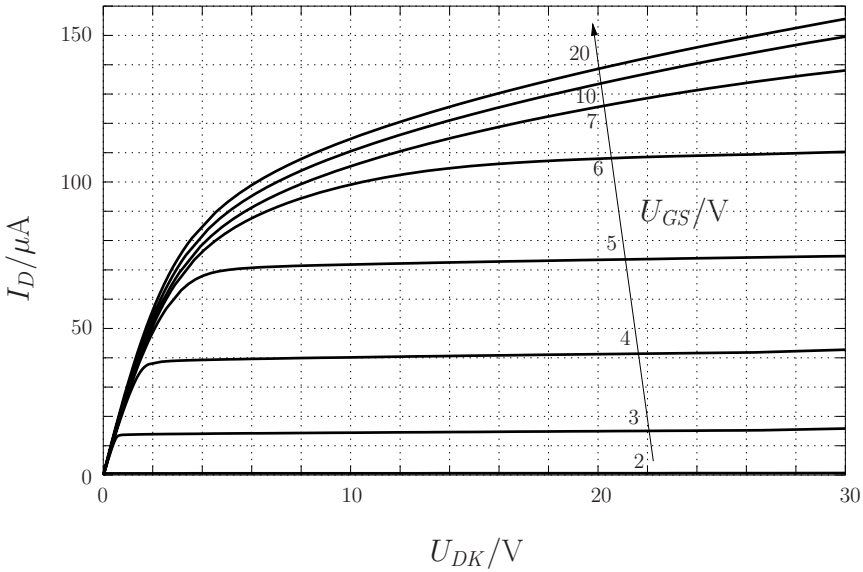


Bild 3.26: Ausgangskennlinie von Akkumulationsschicht und Epi-Gebiet

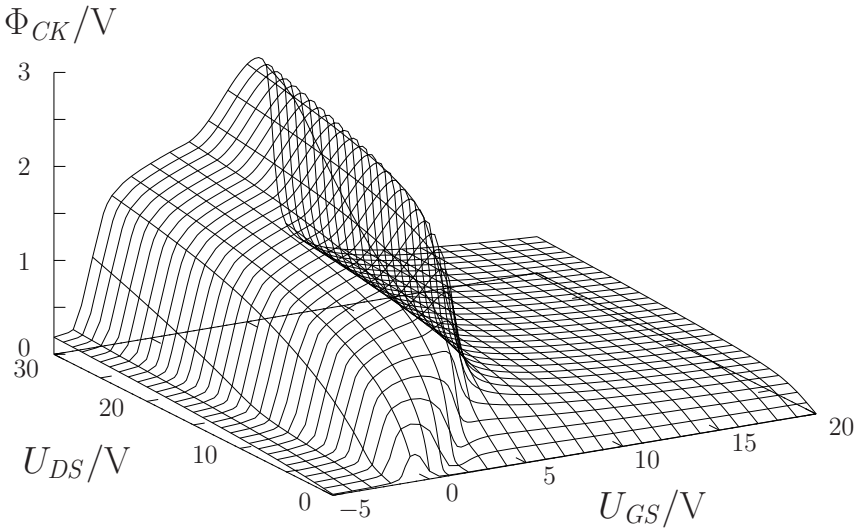


Bild 3.27: Potentialunterschied unter dem Gate-Oxid im n^- -Epi-Gebiet zwischen Zellrand und metallurgischem Übergang zum p-Body

3.1.5 Kapazitäten

In diesem Abschnitt werden die Kapazitäten des DMOS nach dem Verhalten an seinen Anschlüssen definiert und die Eigenschaften der Kapazitäten diskutiert. Die Herleitung in Abschnitt 3.1.5.2 bis 3.1.5.5 folgt sinngemäß der in [31] S. 231–239.

3.1.5.1 Absolute und differentielle Kapazitäten

Die absolute Kapazität ist definiert als

$$C_{abs} = \frac{Q}{U} \quad (3.11)$$

während die differentielle sich zu

$$C_{diff} = \frac{dQ}{dU} \quad (3.12)$$

ergibt. Mit

$$I = \frac{dQ}{dt} = \frac{dC_{abs}}{dt}U + C_{abs}\frac{dU}{dt} = \left(\frac{dC_{abs}}{dU}U + C_{abs} \right) \frac{dU}{dt} \quad (3.13)$$

und

$$I = \frac{dQ}{dt} = \frac{dQ}{dU} \frac{dU}{dt} = C_{diff} \frac{dU}{dt} \quad (3.14)$$

erhält man eine Differentialgleichung

$$C_{diff} = \frac{dC_{abs}}{dU}U + C_{abs} \quad (3.15)$$

als den Zusammenhang zwischen der absoluten und der differentiellen Kapazität. Bei vorliegenden Daten für die eine Kapazität kann die andere mit numerischen Verfahren berechnet werden.

Da die Stromberechnung mit differentiellen Kapazitäten einfacher ist als mit absoluten (vgl. Gleichung 3.13 und 3.14), werden im folgenden nur noch differentielle Kapazitäten betrachtet.

3.1.5.2 Terminalströme und Kapazitäten

Die Terminalströme sind die Summe aus Verschiebungs- und Konvektionsstrom

$$I_D = \frac{dQ_D}{dt} + I_{D,DC} \quad (3.16)$$

$$I_G = \frac{dQ_G}{dt} \quad (3.17)$$

$$I_S = \frac{dQ_S}{dt} - I_{D,DC} \quad , \quad (3.18)$$

wobei der Index der Ladungen den jeweiligen Anschluß bezeichnen, zu dem die Ladung in den DMOS zufließt. Mit dem totalen Differential

$$dQ_X = \sum_{Y \in \{D, G, S\}} \frac{\partial Q_X}{\partial U_Y} dU_Y \quad ; \quad X \in \{D, G, S\} \quad (3.19)$$

ergeben sich die Verschiebestrome zu

$$\frac{dQ_D}{dt} = \frac{\partial Q_D}{\partial U_D} \frac{dU_D}{dt} + \frac{\partial Q_D}{\partial U_G} \frac{dU_G}{dt} + \frac{\partial Q_D}{\partial U_S} \frac{dU_S}{dt} \quad (3.20)$$

$$\frac{dQ_G}{dt} = \frac{\partial Q_G}{\partial U_D} \frac{dU_D}{dt} + \frac{\partial Q_G}{\partial U_G} \frac{dU_G}{dt} + \frac{\partial Q_G}{\partial U_S} \frac{dU_S}{dt} \quad (3.21)$$

$$\frac{dQ_S}{dt} = \frac{\partial Q_S}{\partial U_D} \frac{dU_D}{dt} + \frac{\partial Q_S}{\partial U_G} \frac{dU_G}{dt} + \frac{\partial Q_S}{\partial U_S} \frac{dU_S}{dt} \quad . \quad (3.22)$$

Die Kapazitäten seien nun so definiert, daß der erste Index den Anschluß bezeichnet, an welchem die entsprechende Ladung zufließt, wenn am Anschluß, der durch den zweiten Index benannt wird, das Potential steigt, während die anderen Potentiale konstant bleiben.

$$C_{XY} = \frac{\partial Q_X}{\partial U_Y} \quad ; \quad X, Y \in \{D, G, S\} \quad (3.23)$$

Gilt $X = Y$, so spricht man von einer Selbstkapazität, welche in der Regel positiv ist. Andernfalls handelt es sich um eine Transkapazität mit normalerweise negativen Werten.

Die Gleichungen der Terminalströme können mit dieser Kapazitätsdefinition in Abhängigkeit von den Terminalpotentialen angegeben werden.

$$I_D = C_{DD} \frac{dU_D}{dt} + C_{DG} \frac{dU_G}{dt} + C_{DS} \frac{dU_S}{dt} + I_{D,DC} \quad (3.24)$$

$$I_G = C_{GD} \frac{dU_D}{dt} + C_{GG} \frac{dU_G}{dt} + C_{GS} \frac{dU_S}{dt} \quad (3.25)$$

$$I_S = C_{SD} \frac{dU_D}{dt} + C_{SG} \frac{dU_G}{dt} + C_{SS} \frac{dU_S}{dt} - I_{D,DC} \quad (3.26)$$

3.1.5.3 Beziehungen zwischen Kapazitäten

Wird der Knotenpunktsatz

$$I_D + I_G + I_S = 0 \text{ A} \quad (3.27)$$

auf das Gleichungssystem 3.24 bis 3.26 angewandt, so erhält man aus den drei Fällen, in denen jeweils ein Potential verändert und die beiden anderen konstant gehalten werden, die drei Bedingungen

$$C_{DD} + C_{GD} + C_{SD} = 0 \text{ F} \quad (3.28)$$

$$C_{DG} + C_{GG} + C_{SG} = 0 \text{ F} \quad (3.29)$$

$$C_{DS} + C_{GS} + C_{SS} = 0 \text{ F} \quad (3.30)$$

Werden alle Potentiale gleichermaßen verändert ($\frac{dU_D}{dt} = \frac{dU_G}{dt} = \frac{dU_S}{dt} \neq 0 \frac{\text{V}}{\text{s}}$), so dürfen sich die Ströme im Gleichungssystem nicht ändern. Aus dieser Anforderung folgt

$$C_{DD} + C_{DG} + C_{DS} = 0 \text{ F} \quad (3.31)$$

$$C_{GD} + C_{GG} + C_{GS} = 0 \text{ F} \quad (3.32)$$

$$C_{SD} + C_{SG} + C_{SS} = 0 \text{ F} \quad (3.33)$$

Von den 6 Gleichungen 3.28 bis 3.33 sind nur 5 voneinander unabhängig. Deshalb sind von den 9 Kapazitäten C_{XY} mit $X, Y \in \{D, G, S\}$ genau 4 voneinander unabhängig.

3.1.5.4 Reziprozität der Kapazitäten

Im stromlosen Fall scheinen die Transkapazitäten generell reziprok zu sein, während sie dies im stromführenden Fall im allgemeinen nicht zu sein pflegen. In Bild 3.28 ist dies veranschaulicht: der Quotient der Transkapazitäten eines Anschlußpaares wird nur im Blockierbereich und näherungsweise bei kleinen Strömen im Rückwärtsdioden- und Unterschwellstrombereich (d. h. $U_{GS} \leq 1,5 \text{ V} \wedge U_{DS} \geq -0,2 \text{ V}$) sowie für $U_{DS} = 0 \text{ V}$ eins.

Durch Kombination von Gleichung 3.28 mit Gleichung 3.31 und Gleichung 3.29 mit Gleichung 3.32 ergibt sich

$$C_{GD} - C_{DG} = C_{SG} - C_{GS} = C_{DS} - C_{SD} \quad (3.34)$$

Daher gilt speziell für einen Dreipol wie z. B. den DMOS, daß die Differenz der Transkapazitäten eines Anschlußpaares mit denen der anderen gleich ist.

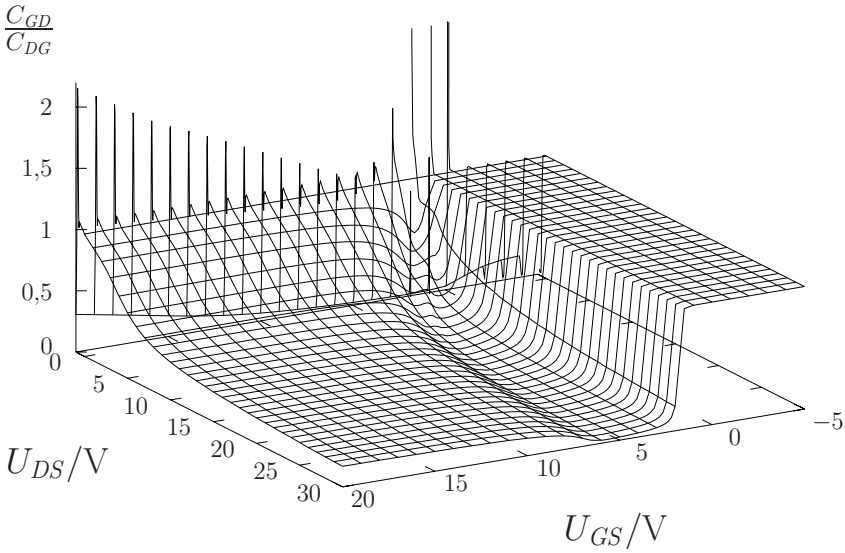


Bild 3.28: Reziprozität

3.1.5.5 Bezug auf Sourcepotential

Mit den Spannungen

$$U_{DS} = U_D - U_S \quad (3.35)$$

$$U_{GS} = U_G - U_S \quad (3.36)$$

ergibt sich nach Streichen der aufgrund des Knotenpunktsatzes abhängigen Gleichung für I_S das reduzierte Gleichungssystem

$$I_D = C_{DD} \frac{dU_{DS}}{dt} + C_{DG} \frac{dU_{GS}}{dt} + I_{D,DC} \quad (3.37)$$

$$I_G = C_{GD} \frac{dU_{DS}}{dt} + C_{GG} \frac{dU_{GS}}{dt} \quad (3.38)$$

mit C_{DD} , C_{DG} , C_{GD} und C_{GG} als den voneinander unabhängigen Kapazitäten. Die restlichen abhängigen Größen berechnen sich zu

$$I_S = -I_D - I_G \quad (3.39)$$

sowie mit den Gleichungen 3.28 bis 3.33 zu

$$C_{DS} = -C_{DD} - C_{DG} \quad (3.40)$$

$$C_{GS} = -C_{GD} - C_{GG} \quad (3.41)$$

$$C_{SD} = -C_{DD} - C_{GD} \quad (3.42)$$

$$C_{SG} = -C_{DG} - C_{GG} \quad (3.43)$$

$$C_{SS} = C_{DD} + C_{DG} + C_{GD} + C_{GG} \quad (3.44)$$

3.1.5.6 Relevante Kapazitäten

Die Bezeichnung der Kapazitäten nach den Klemmen (C_{XY}) wird normalerweise nur im Kleinleistungsbereich verwendet. Im allgemein Sprachgebrauch der Leistungselektronik werden die Kapazitäten wie in Tabelle 3.1 bezeichnet.

C_{DD}	C_{oss}	Ausgangskapazität
C_{GD}	C_{rss}	Rückwirkungskapazität
C_{GG}	C_{iss}	Eingangskapazität

Tabelle 3.1: gebräuchliche Kapazitätsbezeichnungen

Da für den stromlosen Fall $C_{GD} = C_{DG}$ gilt, sind diese drei Kapazitäten für die vollständige Charakterisierung ausreichend.

Im stromführenden Fall gilt im allgemeinen $C_{GD} \neq C_{DG}$. Da jedoch die Verschiebestrome im Vergleich zum konvektiven Hauptstrom klein sind – z. B. einige Milliampere gegenüber einigen hundert Ampere –, können diese auf der Drain-Seite vernachlässigt werden. Aus den 3 Kapazitäten in Tabelle 3.1 sind C_{DX} und C_{SX} mit $X \in \{D, G, S\}$ im stromführenden Fall zwar nicht berechenbar, aber auch unmeßbar klein und deshalb irrelevant.¹

Für den stromführenden Fall ist somit die Angabe von C_{GD} und C_{GG} ausreichend.

¹Eine andere Sichtweise ist, daß die Wirkung von C_{DD} vernachlässigbar ist, wenn ein Ausgleichsvorgang zwischen C_{DD} und dem parallelgeschalteten Leitwert $g_{DD} = \frac{dI_D}{dU_{DS}}$ kurz gegenüber typischen Schaltzeiten des DMOS ist. Für z. B. $g_{DD} \geq \frac{C_{DD}}{\tau} = \frac{1 \text{ nF}}{10 \text{ ns}} = \frac{1}{10 \Omega}$ ist dies im Widerstandsbereich schon bei der Einsatzspannung und im Sättigungsbereich ab 1 V bis 2 V über der Einsatzspannung erfüllt.

3.1.6 Oberflächenpotential

Ähnlich wie in [25] soll nun der Zusammenhang zwischen dem örtlich aufgelösten Oberflächenpotential und den Kapazitäten dargestellt werden.

Die Eingangskapazität ist die Änderung der Gate-Ladung Q_G bezogen auf die Gate-Source-Spannung U_{GS} . Die Flächenladungsdichte auf dem Poly-Gate integriert über die Poly-Gate-Fläche A liefert die Gate-Ladung.

$$C_{GG} = \int_A \frac{dQ_G''}{dU_{GS}} dA \quad (3.45)$$

Der Ort F sei ein Punkt an der Halbleiteroberfläche. Die Flächenladungsdichte am Ort F ergibt sich aus dem Oxidkapazitätsbelag und der Spannung über dem Oxid.

$$Q_G'' = C''_{Ox} U_{GF} \quad (3.46)$$

Zusammengefaßt erhält man die Eingangskapazität.

$$C_{GG} = C''_{Ox} \int_A \left(1 - \frac{dU_{FS}}{dU_{GS}} \right) dA \quad (3.47)$$

Nach Gleichung 3.47 kann nun Bild 3.29 interpretiert werden. Oben ist das Potential an der Halbleiteroberfläche bezüglich des Source-Gebietes über den Ort x dargestellt. Dieses ist darunter nach U_{GS} differenziert gezeigt. Der Wert wird über die Fläche – die Weite w beträgt konstant $1 \mu\text{m}$ – respektive die x -Koordinate integriert und Gleichung 3.47 folgend, links unten als Eingangskapazität aufgetragen.

Deutlich ist erkennbar, daß die Kapazitätsspitze bei $U_{GS} = 6 \text{ V}$ aus einer starken Potentialänderung an der Oberfläche des n^- -Epi-Gebietes (Bild 3.29 oben: steile Flanke bei $U_{GS} = 6 \text{ V}$ in U_{GS} -Richtung) entsteht.

Die Potentialänderung hat zwei Ursachen. Erstens verringert eine Vergrößerung der Gate-Source-Spannung den Widerstand des internen, lateralen MOS-FET. Zweitens entsteht durch die sich erhöhende Gate-Source-Spannung eine niederohmige Akkumulationsschicht im n^- -Epi-Gebiet, welche den lateralen Spannungsabfall drastisch senkt.

Da sich durch beide Effekte das Widerstandsverhältnis in dem aus internen, lateralen MOS-FET, Akkumulationsschicht und Epi-Gebiet² bestehenden

²Streng genommen kann das Epi-Gebiet nicht als einfacher Widerstand angesehen werden, weil das elektrische Feld unterhalb der Akkumulationsschicht, welche ebenfalls von der Gate-Source-Spannung abhängig ist, Einfluß auf den Epi-Widerstand hat. Da jedoch die Widerstandsänderungen des internen, lateralen MOS-FET und der Akkumulationsschicht dominant sind, wird dies hier der Anschaulichkeit halber vernachlässigt.

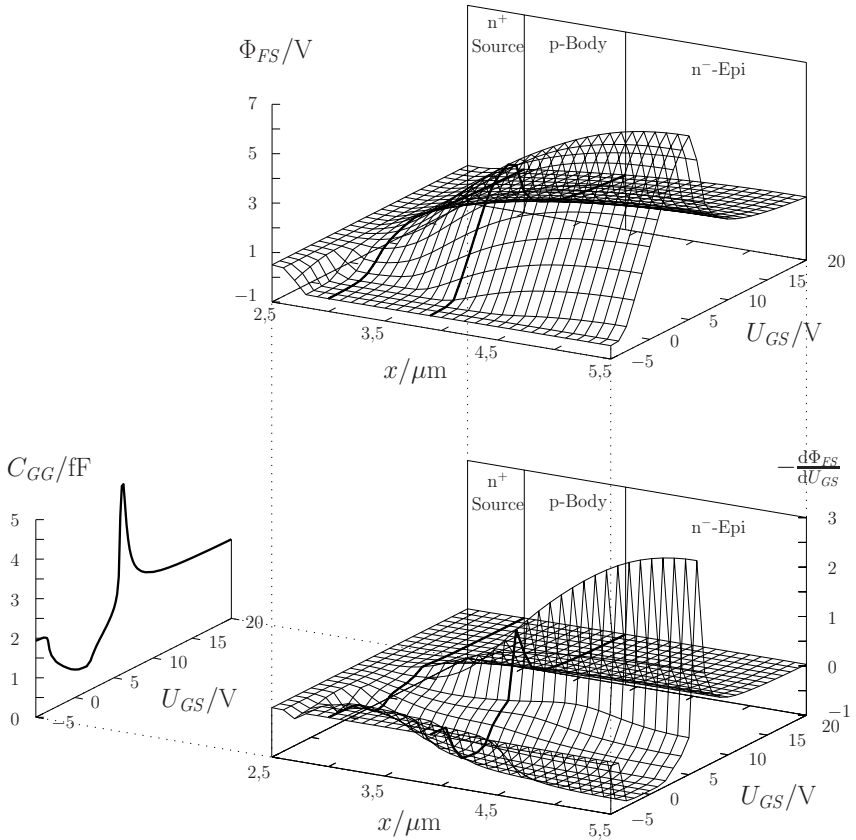


Bild 3.29: Entstehung der Eingangskapazität nach Gleichung 3.47: (oben) Potential an der Halbleiteroberfläche bezogen auf ein intrinsisches Source-Gebiet, (unten) dessen Ableitung nach der Gate-Source-Spannung und (unten links) die Eingangskapazität, welche bei konstanter Weite proportional zum Integral von besagter Ableitung minus 1 nach x ist – jeweils für $U_{DS} = 20\text{ V}$

resistiven Spannungsteiler verschiebt, sinkt in der Folge das Oberflächenpotential. Die Reduzierung des Oberflächenpotentials im n^- -Epi-Gebiet erhöht die Spannung über dem Oxid und verringert nochmals den Widerstand der Akkumulationsschicht in einer sich verstärkenden Rückkopplung.

Äquivalent ergibt sich die Rückwirkungskapazität

$$C_{GD} = -C''_{Ox} \int_A \frac{dU_{FS}}{dU_{DS}} dA \quad , \quad (3.48)$$

welche in Bild 3.30 dargestellt ist.

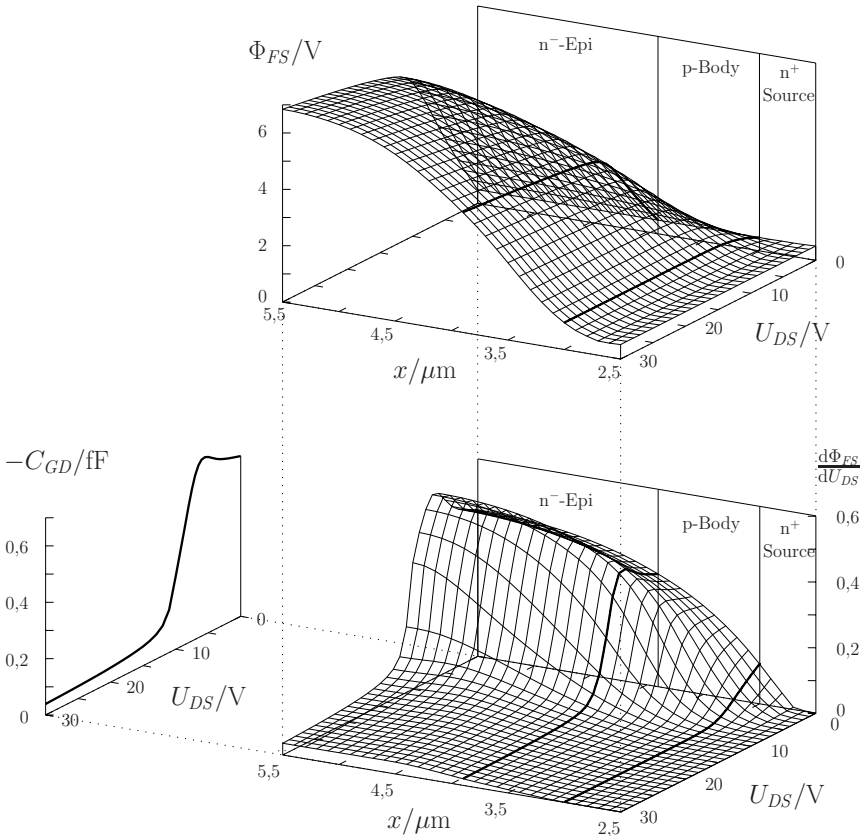


Bild 3.30: Entstehung der Rückwirkungskapazität nach Gleichung 3.48: (oben) Potential an der Halbleiteroberfläche bezogen auf ein intrinsisches Source-Gebiet, (unten) dessen Ableitung nach der Drain-Source-Spannung und (unten links) die Rückwirkungskapazität, welche bei konstanter Weite proportional zum Integral von besagter Ableitung nach x ist – jeweils für $U_{GS} = 5\text{ V}$

3.1.7 Miller-Effekt

Wurde im letzten Abschnitt das Phänomen der Kapazitätsüberhöhung nach dem Ort der Entstehung untersucht, wird dieses nun quantitativ beschrieben. Der Miller-Effekt wird für das Modell in Bild 3.31 hergeleitet (vgl. [27]).

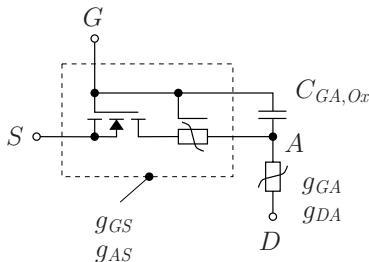


Bild 3.31: Modell zum Verständnis des Miller-Effektes im DMOS

Der DMOS wird in zwei Teilsysteme und die Oxidkapazität $C_{GA, Ox}$ über dem n⁻-Epi-Gebiet zerlegt. Schnittpunkt sei ein virtueller Knotenpunkt A mit dem über die n⁻-Epi-Oberfläche gemittelten Potential (vgl. Abschnitt 4.1.2.1). Die Leitfähigkeit von Ladungsschichten an der Halbleiteroberfläche im internen, lateralen MOS-FET und der Akkumulationsregion wird dadurch von der des Epi-Gebietes getrennt.

Eine Stromänderung beim internen, lateralen MOS-FET mit angrenzender Akkumulationsregion ergibt sich durch Änderung von U_{GS} oder U_{AS} .

$$dI_D = \underbrace{\frac{\partial I_D}{\partial U_{GS}}}_{g_{GS}} dU_{GS} + \underbrace{\frac{\partial I_D}{\partial U_{AS}}}_{g_{AS}} dU_{AS} \quad (3.49)$$

Dominierend ist der Einfluß des MOS-FET.

Der Strom durch das Epi-Gebiet sei durch ein anderes Spannungssystem beeinflusst beschrieben: U_{GA} und U_{DA} .

$$dI_D = \underbrace{\frac{\partial I_D}{\partial U_{GA}}}_{g_{GA}} dU_{GA} + \underbrace{\frac{\partial I_D}{\partial U_{DA}}}_{g_{DA}} dU_{DA} \quad (3.50)$$

Durch Kombination der Gleichungen 3.49 und 3.50 erhält man das Zwischenergebnis

$$dU_{AS} = \frac{(g_{GA} - g_{GS}) dU_{GS} + g_{DA} dU_{DS}}{g_{AS} + g_{GA} + g_{DA}} \quad (3.51)$$

Zusammen mit der Gate-Ladung über dem n⁻-Epi-Gebiet

$$Q_{G,A} = C_{GA,Ox} U_{GA} \quad (3.52)$$

und Gleichung 3.23 ergeben sich die Teilkapazitäten der Eingangs- und Rückwirkungskapazität des über dem n⁻-Epi-Gebiet liegenden Oxid-Bereichs.

$$C_{GG,A} = C_{GA,Ox} \left(1 + \frac{g_{GS} - g_{GA}}{g_{AS} + g_{GA} + g_{DA}} \right) \quad (3.53)$$

$$C_{GD,A} = C_{GA,Ox} \frac{g_{DA}}{g_{AS} + g_{GA} + g_{DA}} \quad (3.54)$$

Bild 3.32 zeigt die Kleinsignalparameter und den für die Kapazitätsüberhöhung verantwortlichen Teilterm der Eingangskapazität.

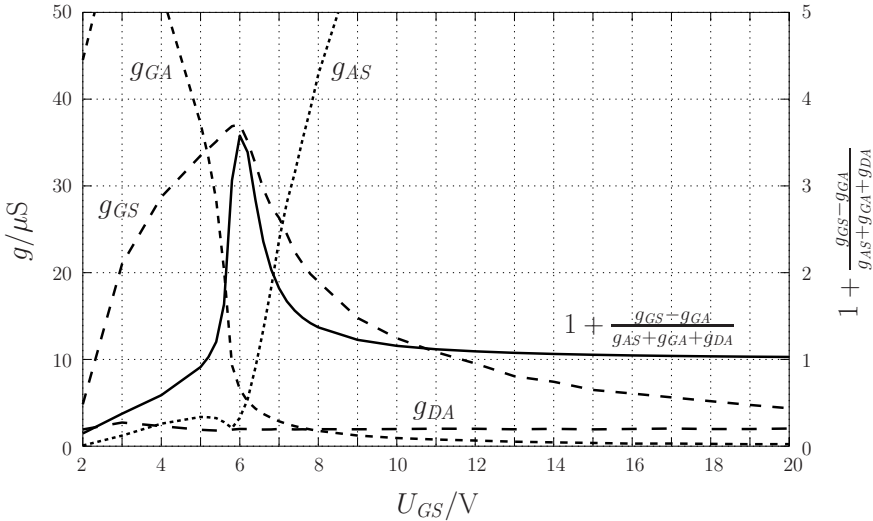


Bild 3.32: Kleinsignalparameter des internen, lateralen MOS-FET und des Epi-Gebietes sowie der daraus berechnete Term in Gleichung 3.53, aus der Device-Simulation für $U_{DS} = 20$ V extrahiert

Die über das Epi-Gebiet abfallende Spannung U_{DA} hat auf den Drain-Strom nur geringen, aber erstaunlich konstanten Einfluß g_{DA} .

Im Bereich von 1,8V bis 5,1V dominiert g_{GA} , d. h. das Potential des Knotens A steigt mit steigender Gate-Source-Spannung – wenn auch nicht so

schnell wie diese – und die Eingangskapazität ist kleiner als die Oxidkapazität. Wegen $U_{GA} < 0\text{ V}$ existiert keine Akkumulationsschicht und das von U_{GA} verursachte Feld im Oxid wird nur durch die Raumladungszone im Epi-Gebiet abgebaut. Bei konstantem U_{DA} beeinflusst U_{GA} so über die effektive Raumladungsdichte $qN_E - \frac{J_D}{v_{sat}A}$ den Drain-Strom (siehe Gleichung A.3). Der Einfluß g_{GA} ist proportional zu $-U_{GA}$ und sinkt deshalb mit steigender Gate-Source-Spannung.

Ab 5,1 V sinkt g_{GA} unter g_{GS} und die Eingangskapazität steigt über die Oxidkapazität.

Unterhalb von $U_{GS} = 5,4\text{ V}$ hat U_{AS} keinen nennenswerten Einfluß auf den Drain-Strom, da sich der MOS-FET in Sättigung befindet. Die Eingangskapazität ist etwa proportional zu $\frac{g_{GS}}{g_{GA}}$.

Zwischen 5,4 V und 6 V steigt U_{AS} kaum noch, wodurch U_{GA} und dazu proportional g_{GA} schneller nach null strebt. Die Folge ist der steile Anstieg der Eingangskapazität.

Über 6 V hat sich an der Epi-Oberfläche eine Akkumulationsschicht ausgebildet und der Einfluß von U_{GA} auf den Drain-Strom wird vernachlässigbar. Der Einfluß von U_{AS} über den nun im Widerstandsbereich arbeitenden, internen, lateralen MOS-FET auf den Drain-Strom steigt stark an, wodurch die Eingangskapazität auf die Oxidkapazität absinkt.

Ab 6,5 V ist die Eingangskapazität etwa proportional zu $1 + \frac{g_{GS}}{g_{AS}}$ und damit nur noch von den Kleinsignalparametern des MOS-FET abhängig.

In Anhang A werden die Kleinsignalparameter analytisch beschrieben.

3.1.8 Kapazitätskennlinien

In der Device-Simulation wurde eine Frequenz von 100 Hz zur Berechnung der Kapazitäten verwendet, um dynamische Zustände zu verhindern.

Bild 3.33 zeigt die Eingangskapazität. Zuerst sei der stromlose Fall $U_{DS} = 0\text{ V}$ betrachtet. Unterhalb von $U_{GS} = -1,6\text{ V}$ herrscht starke Inversion im Epi-Gebiet und Akkumulation im p-Body. Dem Poly-Gate steht eine Elektronenschicht an der Halbleiteroberfläche gegenüber. Die Eingangskapazität ist gleich der Oxidkapazität. Steigt die Gate-Source-Spannung über $-1,6\text{ V}$, so geht das Epi-Gebiet in schwache Inversion und Verarmung über und die Eingangskapazität sinkt. Ab $-0,9\text{ V}$ löst sich auch die Akkumulationsschicht im p-Body auf, wobei dort Verarmung und schwache Inversion folgen. Der Einfluß dieses Vorgangs auf die Eingangskapazität ist jedoch nicht

so gravierend, da die Oxid-Fläche des p-Body nur einen Bruchteil der des Epi-Gebietes darstellt. Nach Durchlaufen des Kapazitätsminimums entsteht ab $-0,1\text{ V}$ eine Akkumulationsschicht im Epi-Gebiet und der Kapazitätszuwachs verlangsamt sich. Bei $1,8\text{ V}$ wird auch im p-Body starke Inversion erreicht und ab dieser Spannung wird die Eingangskapazität gleich der Oxidkapazität.

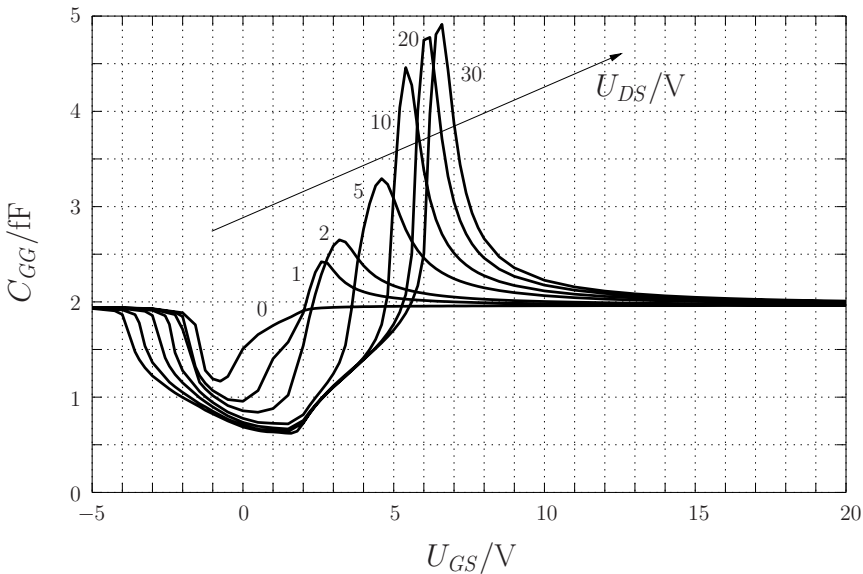


Bild 3.33: Eingangskapazität

Für höhere Drain-Source-Spannungen sinkt die Gate-Source-Spannung aufgrund des Substratsteuereffektes unter $-1,6\text{ V}$, bei welcher Inversion im Epi-Gebiet einsetzt. Der Kapazitätsabfall verschiebt sich langsam zu negativeren Werten.

Der Punkt, bei welchem die Akkumulation im Epi-Gebiet eintritt, verschiebt sich anfänglich proportional zur Drain-Source-Spannung zu höheren Gate-Source-Spannungen, da hierfür die Gate-Drain-Spannung verantwortlich ist. Der Kapazitätsanstieg nach dem Minimum findet z. B. bei der $U_{DS} = 1\text{ V}$ Kennlinie genau um ein Volt verschoben statt.

Ab der Einsatzspannung von $U_{GS} = 1,8\text{ V}$ ist der Drain-Strom von null verschieden und das Potential unter dem Gate-Oxid wird nicht mehr vom kapazitiven, sondern vom resistiven Spannungsteiler bestimmt. Die Ein-

gangskapazität steigt nach einem Knick stark an und wird aufgrund des Miller-Effektes größer als die Oxidkapazität.

Bei großen Gate-Source-Spannungen wird das Potential unter dem Oxid wegen der niederohmigen Elektronenschicht auf niedrigem Niveau konstant und die Eingangskapazität kehrt zum Wert der Oxidkapazität zurück.

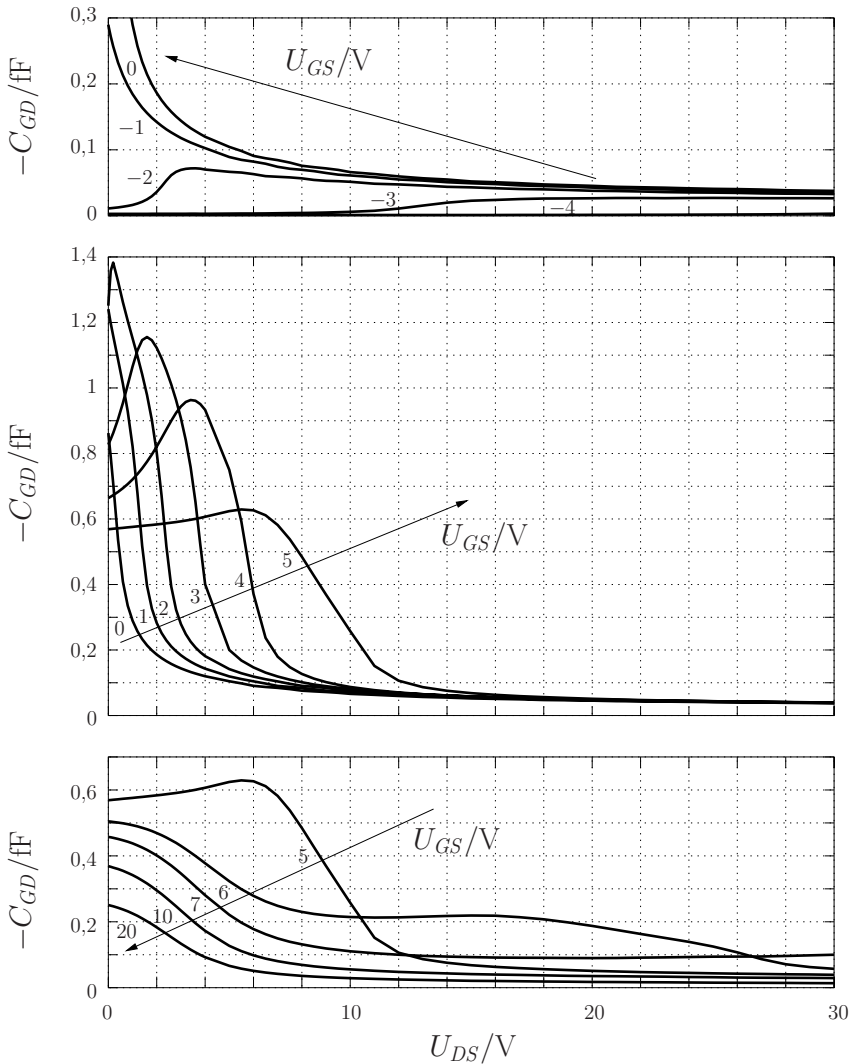


Bild 3.34: Rückwirkungskapazität

In Bild 3.34 ist die Rückwirkungskapazität dargestellt. Bei starker Inversion im Epi-Gebiet schirmt eine Löcherschicht unter dem Gate-Oxid das Poly-Gate von jedem Drain-Einfluß ab – die Rückwirkungskapazität wird null (oberes Teilbild). Die starke Inversion beginnt bei steigender Drain-Source-Spannung bei immer negativeren Gate-Source-Spannungen.

Im mittleren Teilbild wird die Rückwirkungskapazität im Vorwärtsbetrieb bei einer Gate-Source-Spannung gleich der Einsatzspannung von $1,8\text{ V}$ und $U_{DS} = 0\text{ V}$ maximal. Ihr Wert ist der der Oxidkapazität über dem Epi-Gebiet (dieses ist neutral) plus der halben des p-Body (der interne, laterale MOS-FET befindet sich im Widerstandsbereich).

Im unteren Teilbild ist erkennbar, wie eine sich aufbauende Akkumulationsschicht im Epi-Gebiet den Drain-Einfluß auf das Gate stark mindert.

Bild 3.35 zeigt die Ausgangskapazität. Für $U_{GS} \leq -1,6\text{ V}$ herrscht bei kleinen Drain-Source-Spannungen unter dem Gate-Oxid starke Inversion und die Ausgangskapazität ist von der Gate-Source-Spannung unabhängig, da die Inversionsschicht das Gate vom Epi-Gebiet abschirmt. Für $U_{GS} > -0,9\text{ V}$ ähnelt das Verhalten der Ausgangskapazität dem der Rückwirkungskapazität, wird bei Stromfluß jedoch bedeutungslos.

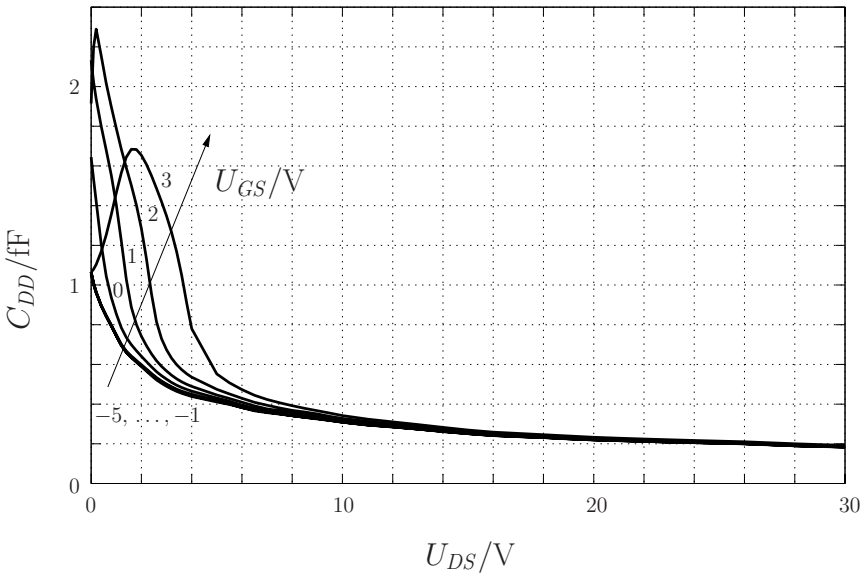


Bild 3.35: Ausgangskapazität

3.2 Zellverband

Die drei Anschlüsse Source, Gate und Drain werden auf dem Chip an 37065 parallelgeschaltete Zellen verteilt. Dabei sind alle Drain-Knoten der Einzelzellen über die 1,3 mm dicke kupferne Grundplatte des Gehäuses nahezu ideal miteinander verbunden, so daß dieser Fall nicht weiter beachtet werden muß. Bei der Verteilung des Source- und des Gatepotentials haben die leitfähigen Schichten jedoch einen nicht unerheblichen Widerstand.

Während der Schichtwiderstand bei der Source-Metallisierung nur eine resistive Komponente im Drain-Strompfad ist, stellt die Poly-Gate-Schicht ein verteiltes RC-System dar, welches die maximal mögliche Betriebsfrequenz beschränkt.

In diesem Abschnitt werden die Effekte untersucht und Formeln für die den Schichtwiderständen äquivalenten, diskreten Ersatzwiderstände hergeleitet. Die Lösungen werden mit der Methode der finiten Differenzen verifiziert.

3.2.1 Poly-Gate-Schicht

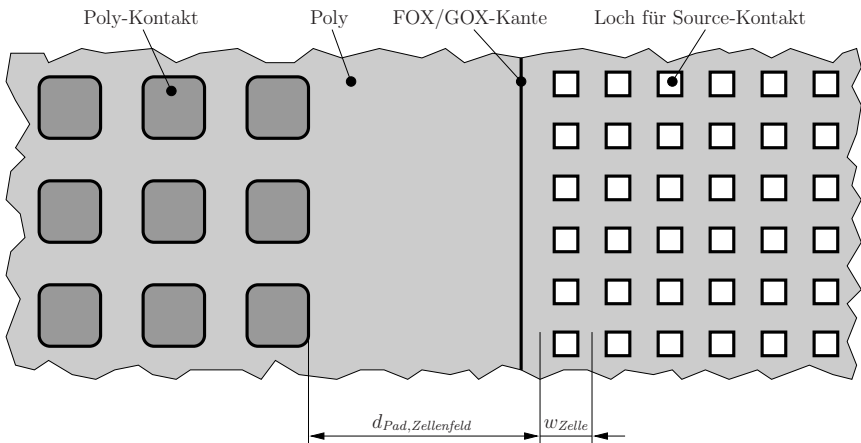


Bild 3.36: Poly-Gate-Schicht am Gate-Pad und Zellenfeld (vgl. Bild 2.2 und Bild 2.3)

3.2.1.1 Richtungsabhängigkeit

Üblicherweise wird der Schichtwiderstand in Ω pro Quadrat angegeben. Solche Quadrate sind in Bild 3.37 für zwei verschiedene Hauptstromrichtungen eingezeichnet. Bei der Betrachtung ist nicht einfach ersichtlich, ob der effektive Schichtwiderstand einer durchlöcherten Platte richtungsunabhängig ist. Eine Richtungsabhängigkeit würde die quantitative Beschreibung in den folgenden Abschnitten erheblich erschweren.

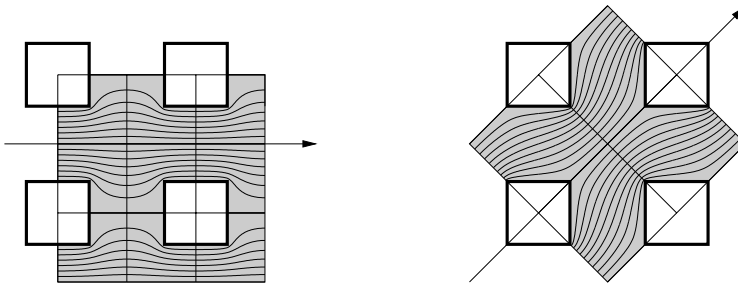


Bild 3.37: Quadrate auf der gelochten Poly-Gate-Schicht für verschiedene, makroskopische Stromrichtungen

Deshalb wird nun ein Gedankenexperiment durchgeführt. Ausgegangen wird von einer rechteckigen, beliebig großen, gelochten Poly-Gate-Schicht, deren Kanten mit den Zellgrenzen zusammenfallen (Bild 3.38). Wird die Schicht

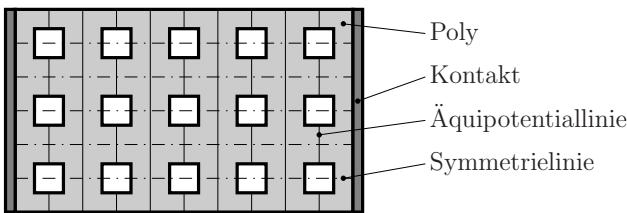


Bild 3.38: Zellenfeld zum Gedankenexperiment

an zwei gegenüberliegenden Kanten kontaktiert und eine Spannung angelegt, so gibt es aus Symmetriegründen parallel zu den Kontakten im Abstand eines Vielfachen des halben Zellabstandes jeweils eine gerade Äquipotentiallinie. Mit der gleichen Periodizität sind senkrecht dazu Symmetrielinien zu beobachten. Die kleinste zu untersuchende Einheit ist daher eine Viertelzelle wie in Bild 3.39.

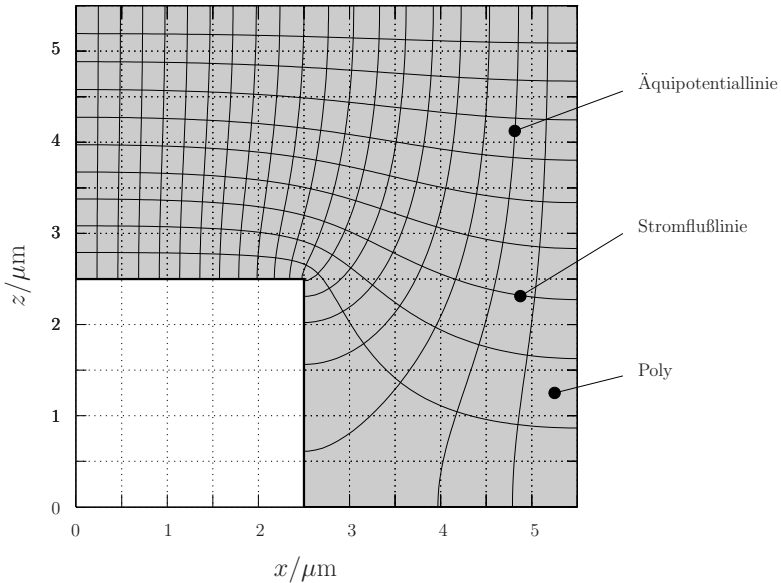


Bild 3.39: Poly-Gate-Schicht einer Viertelzelle mit makroskopischem Stromfluß in x -Richtung

Der Spannungsabfall über eine Zelle pro den durch diese quadratische Struktur fließenden Strom ergibt den effektiven Schichtwiderstand $R_{\square x, \text{eff}} = \frac{U_{x, \text{Zelle}}}{I_{x, \text{Zelle}}}$ für einen makroskopisch parallel zu den Zellgrenzen in x -Richtung fließenden Strom.

Spannung und Strom werden in die makroskopischen, d. h. mittleren Größen elektrisches Feld E_x und längenbezogene Stromdichte j'_x umgerechnet. Es gilt erneut $R_{\square x, \text{eff}} = \frac{E_x}{j'_x}$ und in z -Richtung $R_{\square z, \text{eff}} = \frac{E_z}{j'_z}$.

Die gelochte Poly-Gate-Schicht wird nun ins Unendliche ausgedehnt. Im Unendlichen werden solche Verhältnisse an Kontakte angelegt, daß sich ein makroskopisch homogenes, elektrisches Feld mit einem Winkel α zur x -Richtung ergibt.

Da die Poly-Gate-Schicht mit ihrem Schichtwiderstand ein lineares System ist, kann das Superpositionsprinzip angewandt werden. Das elektrische Feld wird in die beiden Komponenten $E_x = E \cos \alpha$ und $E_z = E \sin \alpha$ aufgeteilt. Die makroskopische Stromdichte ist dann $j'_x = \frac{E \cos \alpha}{R_{\square x, \text{eff}}}$ und $j'_z = \frac{E \sin \alpha}{R_{\square z, \text{eff}}}$. Für das isotrope Material gilt $R_{\square x, \text{eff}} = R_{\square z, \text{eff}}$, weshalb elektrisches Feld und Stromdichte parallel sind. Die Stromdichte $j' = \sqrt{j'^2_x + j'^2_z} = \frac{E}{R_{\square x, \text{eff}}}$ ist

im Betrag von α unabhängig. Es ergibt sich ein richtungsunabhängiger, effektiver Schichtwiderstand $R_{\square,eff} = \frac{E}{j'} = R_{\square x,eff}$.

Die gelochte Schicht kann deshalb durch eine homogene Schicht mit einem effektiven Schichtwiderstand ersetzt werden. Dies gilt aus Symmetriegründen und wegen des Superpositionsprinzips bei makroskopisch homogenem Stromfluß auf den in Bild 3.40 angegebenen Punkten exakt (Kreuzungspunkte der oben erwähnten Äquipotential- und Symmetrielinien).

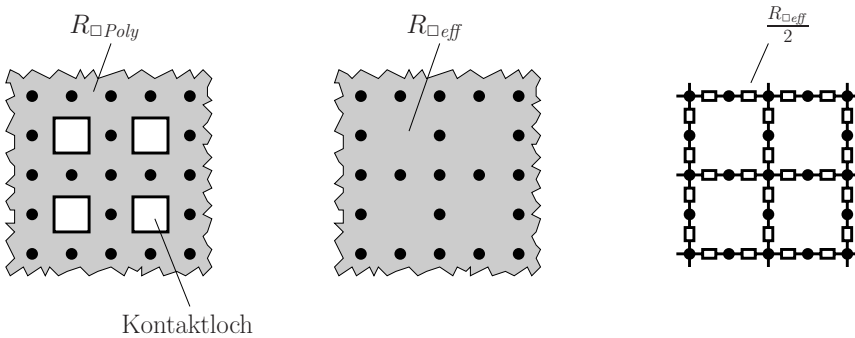


Bild 3.40: Diskretisierung der Poly-Gate-Schicht und äquivalentes Ersatzschaltbild

Bei nicht homogenem Stromfluß ist dies eine Näherung, die um so genauer ist, je kleiner die Stromrichtungsänderungen innerhalb der Zellabmessungen sind, d. h. je kleiner die Zellabmessungen gegenüber den Chip-Strukturabmessungen sind. Da eine Pad-Kantenlänge 44 Zellen entspricht und die Pad-Kanten gerundet sind, ist dies gut erfüllt.

3.2.1.2 Effektiver Poly-Schichtwiderstand

Nun wird der effektive Schichtwiderstand einer äquivalenten, lochfreien Schicht berechnet.

Häufig wird für derartige Probleme das Modell eines sich nach Engpässen linear aufweitenden, stromdurchflossenen Gebietes verwendet, welches senkrecht zur Stromflußrichtung eine konstante Stromdichte führt.

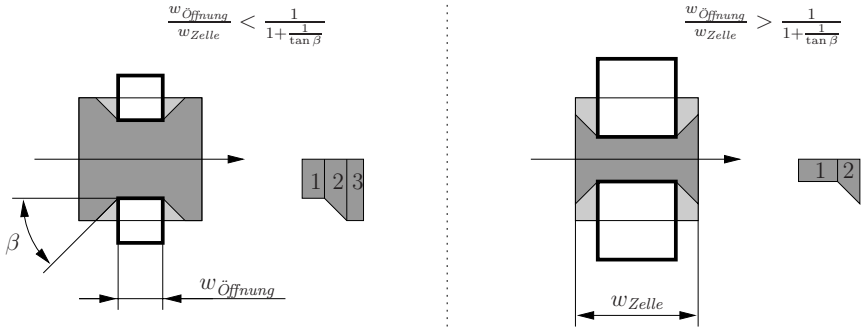


Bild 3.41: hauptsächlich stromführende Gebiete

Für das Problem Quadrat im Quadrat in Bild 3.41 ergibt sich die Lösung

$$R_{\square_{eff}} \approx \begin{cases} \left(\frac{c}{1-c} + \frac{1}{\tan \beta} \left(\left(\ln \frac{1}{1-c} \right) - c \right) + 1 - c \right) R_{\square_{Poly}} & : c \leq \frac{1}{1 + \frac{1}{\tan \beta}} \\ \left(\frac{c}{1-c} + \frac{1}{\tan \beta} \ln(1 + \tan \beta) \right) R_{\square_{Poly}} & : c \geq \frac{1}{1 + \frac{1}{\tan \beta}} \end{cases} \quad (3.55)$$

$$c = \frac{w_{\text{Öffnung}}}{w_{\text{Zelle}}} \quad (3.56)$$

Solange nichts über die tatsächlichen Verhältnisse bekannt ist, wird üblicherweise der Aufweitungswinkel $\beta = 45^\circ$ verwendet. In der Literatur kursieren für verschiedene Probleme die unterschiedlichsten Zahlen.

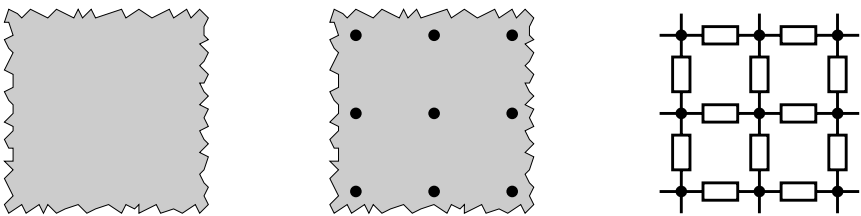


Bild 3.42: Ausschnitt aus einem Netzwerk zur Nachbildung eines verteilten Systems mit der Methode der finiten Differenzen

Um die realen Verhältnisse beurteilen zu können, wird das Gebiet der Viertelzelle aus Bild 3.39, wie in Bild 3.42 gezeigt, an Stützstellen diskretisiert. Das dadurch entstehende Gleichungssystem der Differenzenquotienten entspricht dem gezeigten Widerstandsnetzwerk (Methode der finiten Differenzen). Mit einem Schaltungssimulator wird die Lösung durch eine DC-Analyse berechnet.

Wird der einzige Parameter $\frac{w_{\text{Öffnung}}}{w_{\text{Zelle}}}$ variiert und der zugehörige Aufweitungswinkel iterativ nach Gleichung 3.55 bestimmt, so ist in Bild 3.43 eine große Schwankungsbreite des Aufweitungswinkels β zu erkennen, d. h. er ist stark geometrieabhängig.

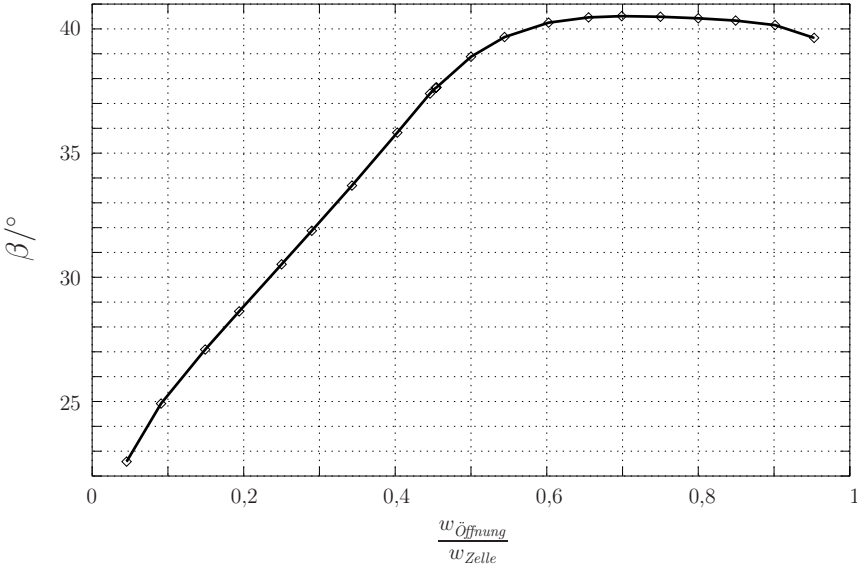


Bild 3.43: Aufweitungswinkel β nach Gleichung 3.55, zurückgerechnet aus den Ergebnissen mit der Methode der finiten Differenzen

In Bild 3.44 sind die Näherung und der exakte Wert gegenübergestellt. Der Näherungsfehler von $R_{\square eff}$ ist für $\beta = 36,2^\circ$ minimal und liegt unter 3,2%.

Wird auf jegliche Anschaulichkeit verzichtet, so kann auch ein Polynom an die Werte aus der Simulation angepaßt werden. Werden ferner die bekannten Werte und Ableitungen für $w_{\text{Öffnung}} = 0 \text{ m}$ und $w_{\text{Öffnung}} = w_{\text{Zelle}}$ als Nebenbedingungen verwendet, so ergibt sich mit nur einem Fit-Parameter

$$\frac{R_{\square Poly}}{R_{\square eff}} \approx -0,75c^4 + 2,5c^3 - 2,75c^2 + 1 \quad (3.57)$$

bei einem relativen Fehler von 0,9%.

Für den untersuchten DMOS gilt $\frac{w_{\text{Öffnung}}}{w_{\text{Zelle}}} = \frac{5 \mu\text{m}}{11 \mu\text{m}}$ und somit $\frac{R_{\square eff}}{R_{\square Poly}} = 1,575$.

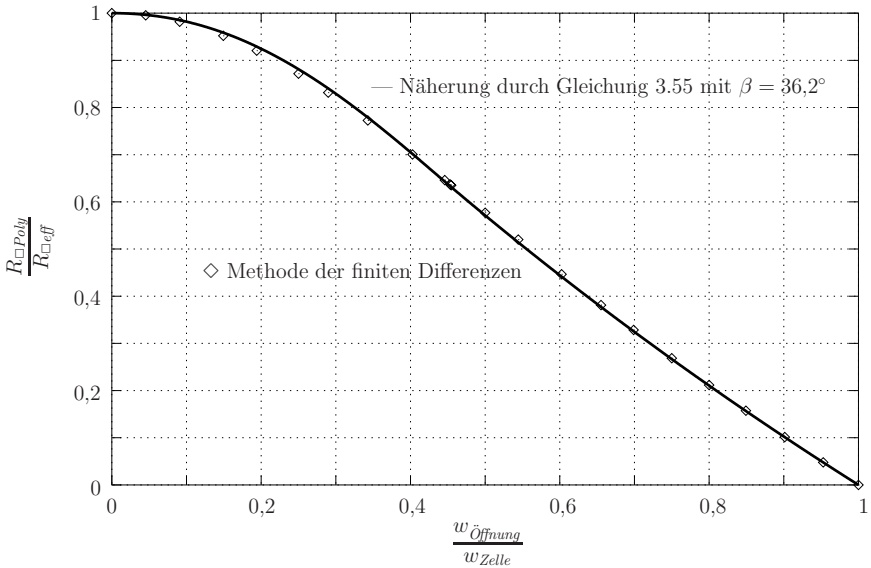


Bild 3.44: Vergrößerung des effektiven Poly-Gate Schichtwiderstandes durch die Source-Kontakt-Löcher

3.2.1.3 Dynamik der Poly-Gate-Schicht

Im folgenden wird das Frequenzverhalten der Poly-Gate-Schicht untersucht. Sie wird als homogen mit effektivem Schichtwiderstand angenommen. Drei Fälle der Anordnung des Gate-Pads zum Zellenfeld werden betrachtet: Pad in der Chip-Ecke, in der Chip-Mitte und Verteilung des Gate-Potentials mit einem umlaufenden Metallring (Bild 3.45).

Die Schicht hat neben dem resistiven Belag auch noch einen kapazitiven Belag, der in jeder Zelle durch die Oxidkapazitäten zu den benachbarten Strukturen Source-Metall, aktive Source-Gebiete, Kanalgebiet des internen MOS-FET und Akkumulationsregion entsteht. Dieser Belag ist ein Mittelwert über eine Zelle und ergibt sich aus der Eingangskapazität abzüglich Pad- und anderen Randkapazitäten pro Zellenfeldfläche.

$$C''_{\text{eff}} = \frac{C_{GG} - C_{Pad}}{x_{\text{Chip}} z_{\text{Chip}} - x_{\text{Pad}} z_{\text{Pad}}} \quad (3.58)$$

Für die weiteren Berechnungen werden die nahezu quadratischen Strukturen zweckmäßigerweise durch rotationssymmetrische angenähert. Damit die

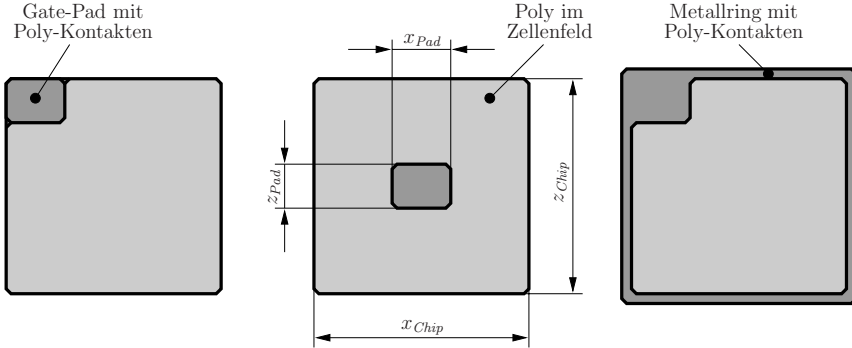


Bild 3.45: Anordnung des Gate-Pads zum Zellenfeld

Gate-Kapazität in der Näherung gleich groß ist, muß die Zellfläche konstant bleiben: $\frac{\delta}{2\text{rad}}(r_C^2 - r_P^2) = x_{\text{Chip}}z_{\text{Chip}} - x_{\text{Pad}}z_{\text{Pad}}$. Eine gute Annäherung der Längen zu Weiten-Verhältnisse erreicht man durch gleich große Pad-Flächen: $\frac{\delta}{2\text{rad}}r_P^2 = x_{\text{Pad}}z_{\text{Pad}}$. Äquivalenter Chip- und Pad-Radius sind demnach

$$r_C = \sqrt{\frac{2\text{rad}}{\delta} x_{\text{Chip}}z_{\text{Chip}}} \quad (3.59)$$

$$r_P = \sqrt{\frac{2\text{rad}}{\delta} x_{\text{Pad}}z_{\text{Pad}}} \quad , \quad (3.60)$$

wobei δ die Größe des Kreissegments bestimmt.

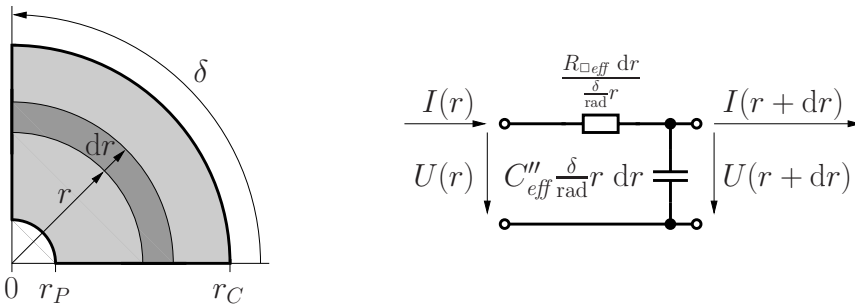


Bild 3.46: rotationssymmetrische Näherung mit infinitem Flächenstück und dessen Ersatzschaltbild

Mit den Gleichungen für resistiven und kapazitiven Belag im eingeschwun-

genen, verteilten, rotationssymmetrischen System aus Bild 3.46

$$\frac{dU(r)}{dr} = -\frac{R_{\square\text{eff}}}{\frac{\delta}{\text{rad}}r}I(r) \quad (3.61)$$

$$\frac{dI(r)}{dr} = -j2\pi f C''_{\text{eff}} \frac{\delta}{\text{rad}} r U(r) \quad (3.62)$$

ergibt sich durch Einsetzen von Gleichung 3.61 in Gleichung 3.62 und Anwendung der Produktregel eine Besselsche Differentialgleichung

$$\frac{d^2U(r)}{dr^2} + \frac{1}{r} \frac{dU(r)}{dr} = j2\pi f R_{\square\text{eff}} C''_{\text{eff}} U(r) \quad (3.63)$$

Mit den Randbedingungen für die beiden Strukturen ohne umlaufenden Metallring

$$U(r_P) = U_{GS} \quad (3.64)$$

$$I(r_C) = 0 \text{ A} \quad (3.65)$$

erhält man als Lösung

$$\frac{U(r)}{U(r_P)} = \frac{J_1(\xi r_C) Y_0(\xi r) - Y_1(\xi r_C) J_0(\xi r)}{J_1(\xi r_C) Y_0(\xi r_P) - Y_1(\xi r_C) J_0(\xi r_P)} \quad (3.66)$$

$$\xi = \sqrt{-j2\pi f R_{\square\text{eff}} C''_{\text{eff}}} \quad ^3 \quad (3.67)$$

mit den Besselschen Funktionen $J_n(z)$ und $Y_n(z)$ der n -ten Ordnung und komplexer Variable z (siehe Anhang B). ξ entspricht dem Ausbreitungskoeffizienten in der Leitungstheorie.

Der Betrag der Spannung in Abhängigkeit vom Radius ist in Bild 3.47 gezeigt. Mit steigender Frequenz nimmt die Eindringtiefe einer sinusförmigen Welle in die Poly-Gate-Schicht ab. Der steile Amplitudenabfall am Pad resultiert aus der relativ hohen Stromdichte nahe der Quelle. Einerseits fließt der Strom radial zum Pad zusammen und andererseits summieren sich die komplexen Stromkomponenten von außen kommend zum Pad hin auf.

Mit Gleichung 3.61 eingesetzt in Gleichung 3.66 ergibt sich⁴

$$Y_{Pad} = \frac{I(r_P)}{U(r_P)} = \frac{\delta}{\text{rad}} \frac{\xi r_P}{R_{\square\text{eff}}} \frac{J_1(\xi r_C) Y_1(\xi r_P) - Y_1(\xi r_C) J_1(\xi r_P)}{J_1(\xi r_C) Y_0(\xi r_P) - Y_1(\xi r_C) J_0(\xi r_P)} \quad (3.68)$$

³Aufgrund der Symmetrieeigenschaften der Besselschen Funktionen (Gleichungen B.10 und B.11) ergeben sich für die beiden Werte aus Gleichung 3.67 identische Lösungen der Gleichungen 3.66, 3.68, 3.69 sowie 3.72 bis 3.74.

⁴unter Verwendung von $\frac{dJ_0(z)}{dz} = -J_1(z)$ und $\frac{dY_0(z)}{dz} = -Y_1(z)$ aus [34] S. 221

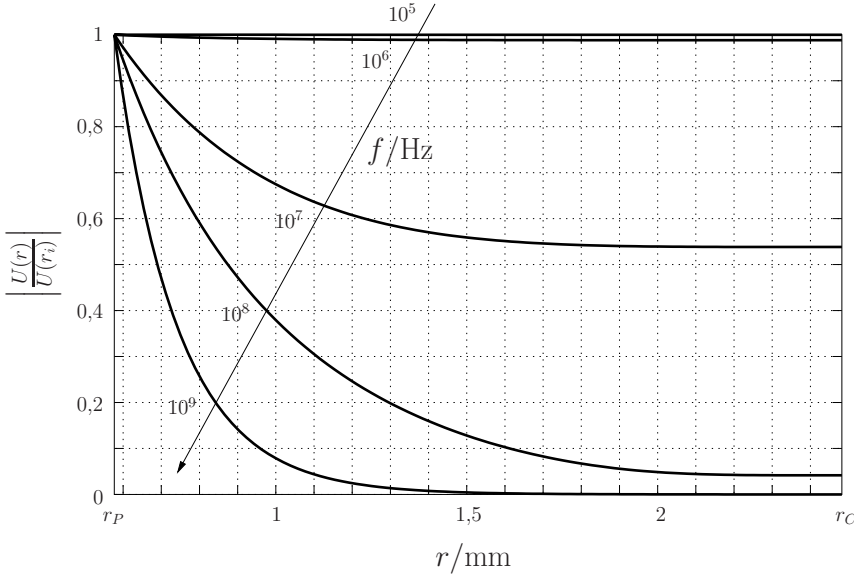


Bild 3.47: Amplitude einer sinusförmigen Welle auf der rotationssymmetrischen Poly-Gate-Schicht im Arbeitspunkt $U_{GS} = U_{DS} = 0$ V ($\delta = \frac{\pi}{2}$ rad, $R_{\square\text{eff}} = 19,7 \Omega$, $C''_{\text{eff}} = 468 \frac{\text{pF}}{\text{mm}^2}$)

die Eingangsadmittanz am Gate-Pad.

Je geringer die Eindringtiefe der Welle ist, um so geringer ist die vom Gate-Signal effektiv angesteuerte Zellenfeldfläche. Wird das System im Kleinsignalbereich betrachtet, d. h. im Arbeitspunkt linearisiert, so repräsentiert die über die Fläche gemittelte Gate-Spannungsänderung $U_{GS,\text{eff}}$ die äquivalent an einem konzentrierten Transistor anliegende Gatespannungsänderung. Die Übertragungsfunktion des verteilten RC-Systems erhält man, wenn die effektive auf die angelegte Spannungsänderung bezogen wird.

$$\begin{aligned} \frac{U_{GS,\text{eff}}}{U_{GS}} &= \frac{Y_{\text{Pad}}}{j2\pi f \frac{\delta}{2\text{rad}} (r_C^2 - r_P^2) C''_{\text{eff}}} & 5 \\ &= -\frac{2r_P}{(r_C^2 - r_P^2)\xi} \frac{J_1(\xi r_C) Y_1(\xi r_P) - Y_1(\xi r_C) J_1(\xi r_P)}{J_1(\xi r_C) Y_0(\xi r_P) - Y_1(\xi r_C) J_0(\xi r_P)} \end{aligned} \quad (3.69)$$

⁵Gleichung 3.69 wird ebenfalls durch Berechnung von $\frac{2}{r_C^2 - r_P^2} \int_{r_P}^{r_C} \frac{U(r)}{U(r_P)} r dr$ erhalten, wobei $\frac{dz J_1(z)}{dz} = z J_0(z)$ und $\frac{dz Y_1(z)}{dz} = z Y_0(z)$ nach [47] S. 336–337 gilt.

Die vier Größen $\frac{1}{\delta} f R_{\square \text{eff}} C''_{\text{eff}}$ gehen letztendlich nur gemeinsam als ein Produkt in Gleichung 3.69 ein.⁶ Die Grenzfrequenz ist daher proportional zum Term $\frac{\delta}{R_{\square \text{eff}} C''_{\text{eff}}}$. Deshalb erhöht sich die Grenzfrequenz der Übertragungsfunktion um einen Faktor 4, wenn das Gate-Pad von der Ecke in die Mitte des Chips verschoben wird. Da die Eingangskapazität C_{GG} stark vom Arbeitspunkt abhängig ist, kann ebenfalls festgehalten werden, daß die Grenzfrequenz umgekehrt proportional zu C''_{eff} ist.

Für den Metallring ergibt sich äquivalent mit den Randbedingungen

$$U(r_M) = U_{GS} \quad (3.70)$$

$$I(0 \text{ m}) = 0 \text{ A} \quad (3.71)$$

die Lösung der Besselschen Differentialgleichung 3.63 zu

$$\frac{U(r)}{U(r_M)} = \frac{J_0(\xi r)}{J_0(\xi r_M)} \quad (3.72)$$

$$Y_{\text{Pad}} = -\frac{2\pi \xi r_M}{R_{\square \text{eff}}} \frac{J_1(\xi r_M)}{J_0(\xi r_M)} \quad (3.73)$$

$$\frac{U_{GS, \text{eff}}}{U_{GS}} = \frac{2}{\xi r_M} \frac{J_1(\xi r_M)}{J_0(\xi r_M)} \quad (3.74)$$

$$r_M = \sqrt{\frac{x_{\text{Chip}} z_{\text{Chip}} - x_{\text{Pad}} z_{\text{Pad}}}{\pi}} \quad (3.75)$$

Zur Verifikation wird erneut die Methode der finiten Differenzen benutzt. Da die zulässige Größe eines Elements nun direkt mit der noch simulierbaren, höchsten Frequenz zusammenhängt, würde eine zweidimensionale Modellierung, wie im letzten Abschnitt durchgeführt, die im Schaltungssimulator mögliche Knotenanzahl sprengen. Deshalb wird das verteilte System vor der Anwendung der Methode der finiten Differenzen nach Bild 3.48 durch ein quasia eindimensionales System angenähert. Zwei Modelle kommen zum Einsatz: eine rotationssymmetrische Näherung, deren Elemente nahe der Quelle möglichst klein gewählt werden und ein möglichst nahe am realen Objekt stehendes mit geraden Elementgrenzen. Beide Male entsteht eine RC-Kette mit 3000 Knoten, auf die eine AC-Analyse angewandt wird.

Die Ergebnisse sind in Bild 3.49 zusammengetragen. Bei dem System mit Pad in der Chip-Ecke liegen Gleichung 3.69 und Simulation mit rotationssymmetrischer Näherung erwartungsgemäß innerhalb der Simulationsgenauigkeit übereinander, da es sich um geometrisch identische Systeme handelt.

⁶Bei Gleichung 3.74 gilt dies entsprechend nur für $f R_{\square \text{eff}} C''_{\text{eff}}$.

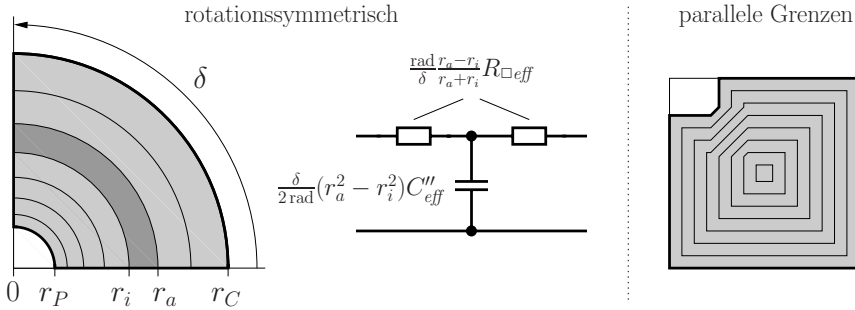


Bild 3.48: Entstehung des quasieindimensionalen Systems: (links) rotationssymmetrische Näherung und T-Ersatzschaltbild eines Elements, (rechts) Modellierung der Struktur mit umlaufenden Metallring durch Elemente mit zur Struktur parallelen, geraden Grenzen

Die Simulation mit parallelen Grenzen weicht von diesem Verlauf erst ab bis zwei Frequenzdekaden oberhalb der Grenzfrequenz ab. Dies zeigt, daß die Näherung der rechteckigen durch eine rotationssymmetrische Struktur möglich ist.

Der Verlauf für die Struktur mit Pad in Chip-Mitte – nicht dargestellt – entspricht exakt dem letzten, jedoch um einen Faktor 4 in der Frequenz nach oben verschoben.

Schließlich ist die Grenzfrequenz der Struktur mit umlaufendem Metallring nochmals um einen Faktor 3,4 größer und die Übertragungsfunktion knickt von Anfang an flacher ab, da einerseits die Kontaktierungslinie um einen Faktor 4,3 größer ist und andererseits der Strom zur Quelle hin auseinanderanstatt zusammenfließt.

3.2.2 Source-Metallisierung

Die Source-Metallisierung liegt über dem gesamten Zellenfeld und hat eine Aussparung an der Stelle des Gate-Pads. Die längliche, leicht dezentral angeordnete Bondungsfläche ist durch den dicken Bonddraht ideal niederohmig. Außerhalb der Bondungsfläche hat die $3 \mu\text{m}$ dicke AlSi-Schicht einen resistiven Belag von etwas über $8,8 \text{ m}\Omega/\square$. Fließt der Drainstrom der parallelgeschalteten MOS-Strukturen in Richtung Bondungsfläche zusammen, so entsteht ein, wie in Bild 3.50 dargestellter, Spannungsabfall.

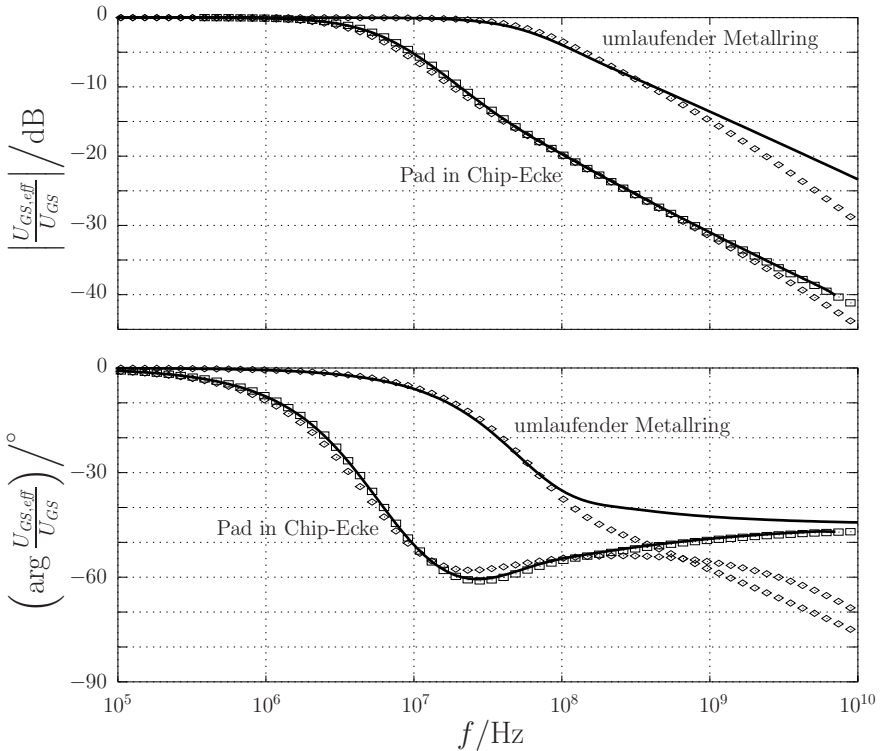


Bild 3.49: Übertragungsfunktion der Poly-Gate-Schicht: — Gleichung 3.69 und 3.73, Methode der finiten Differenzen angewandt auf das als quasia eindimensional genäherte System \square rotationssymmetrisch und \diamond parallele Grenzen

Da die Stromdichte von außen nach innen zunimmt (die vertikal zuffließenden Stromanteile addieren sich zur Mitte hin auf und gleichzeitig verengt sich der Querschnitt von außen nach innen), ist an der Bondungsfläche die stärkste Steigung des Potentialverlaufs zu sehen, während sie am Rand null ist.

Effekte und Problemstellung sind denen in Abschnitt 3.2.1.3 ähnlich, so daß nach Ersetzen des kapazitiven Belags durch einen den lateralen MOS-FET, Epi und Substrat repräsentierenden Leitwertsbelag

$$G'' = \frac{1}{\pi r_M^2 R_{MOS+Epi+Substrat}} \quad (3.76)$$

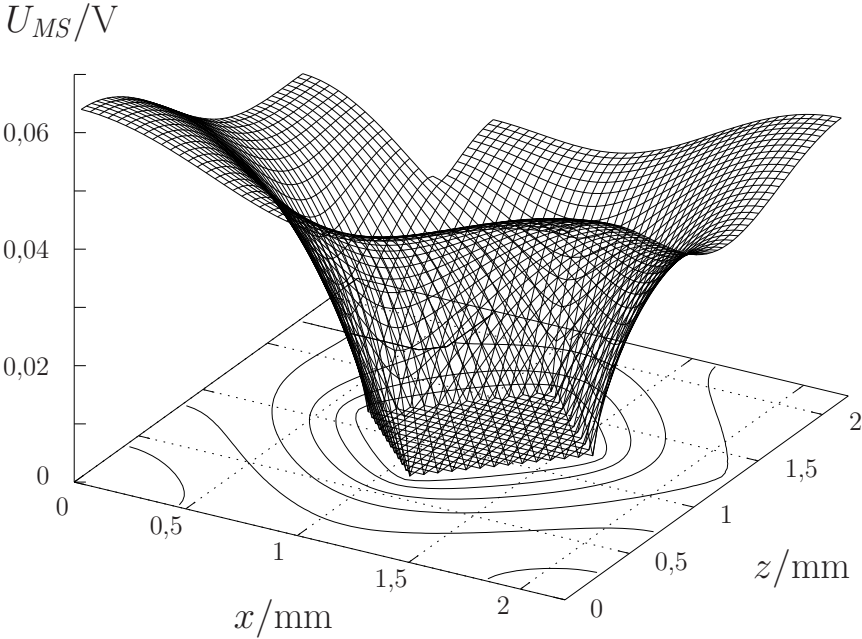


Bild 3.50: Potentialverlauf auf der Source-AlSi-Schicht bei $U_{GS} = 14 \text{ V}$, $U_{DS} = 1 \text{ V}$ ($R_{MOS+Epi+Substrat} = 20 \text{ m}\Omega$)

mit dem äquivalenten Source-Metallradius

$$r_M = \sqrt{\frac{x_{Chip}z_{Chip} - x_{Pad}z_{Pad}}{\pi}} \quad (3.77)$$

und dem äquivalenten Bondungsflächenradius

$$r_B = \sqrt{\frac{A_{Bond}}{\pi}} \quad (3.78)$$

die Lösung äquivalent zu Gleichung 3.68

$$Y_{ges} = \pi r_B^2 G'' + \frac{2\pi\zeta r_B}{R_{\square AlSi}} \frac{J_1(\zeta r_M) Y_1(\zeta r_B) - Y_1(\zeta r_M) J_1(\zeta r_B)}{J_1(\zeta r_M) Y_0(\zeta r_B) - Y_1(\zeta r_M) J_0(\zeta r_B)} \quad (3.79)$$

$$\zeta = \sqrt{-R_{\square AlSi} G''} \quad (3.80)$$

angegeben werden kann. Um den reinen Widerstandsanteil der Source-Metallisierung zu erhalten, muß derjenige von MOS-FET, Epi und Substrat

wieder abgezogen werden.

$$R_{S,AlSi} = \frac{1}{Y_{ges}} - \frac{1}{\pi r_M^2 G''} \quad (3.81)$$

Die Methode der finiten Differenzen mit anschließender DC-Analyse aus Abschnitt 3.2.1.2 wurde auf verschiedene Geometrien angewandt. Aus Bild 3.51 ist ersichtlich, daß die Simulationsergebnisse der unterschiedlichen Strukturen nur um 1,6% voneinander abweichen. Der Widerstand nach Gleichung 3.81 stimmt mit der Simulation eines Quadrates im Quadrat auch bei Variation des Widerstandswertes des restlichen Systems in Betrag und Verlauf überein. Erneut ist die Näherung von rechteckigen Strukturen durch rotationssymmetrische exemplarisch gerechtfertigt.

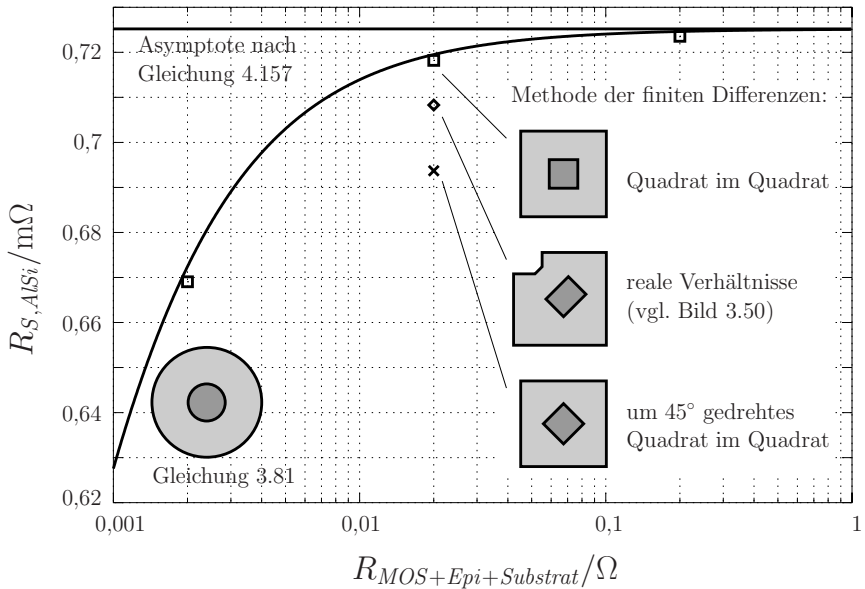


Bild 3.51: Widerstand der AlSi-Metallisierung in Abhängigkeit vom Widerstand des restlichen, verteilten Systems für $\frac{r_B}{r_M} = \frac{0,3817 \text{ mm}}{1,2072 \text{ mm}}$

Für große Widerstandswerte des restlichen Systems konvergiert der Source-Metallisierungswiderstand gegen den in Abschnitt 4.2.2 berechneten Wert.

4 Modellierung

In diesem Kapitel werden die funktionalen Einzelelemente des DMOS analytisch beschrieben. Die Modellgleichungen der Einzelelemente sind in gnuplot realisiert und werden mit den Ergebnissen aus der Device-Simulation mit Medici [5], eigenen C-Programmen und den Gleichungen aus Abschnitt 3.2 verglichen. Anschließend werden die Modellgleichungen zu einem Gesamtmodell für den Schaltungssimulator Saber [3] zusammengefaßt.

Für die Einzelelemente des DMOS werden Zahlenbeispiele angegeben. Beim untersuchten DMOS handelt es sich um den Typ BUZ103SL [36].

Es werden zwei Zellgeometrien untersucht. Erstens eine lineare Einzelzelle mit einer konstanten Weite von $1\ \mu\text{m}$, welche der Zelle in der Device-Simulation in Abschnitt 3.1 entspricht. Zweitens ein Zellenfeld mit quadratischen Zellen, welches dem untersuchten DMOS entspricht.

Werden Fit-Werte anstatt von z. B. direkt aus der Device-Simulation abgelesenen Werten benutzt, so ist dies explizit angegeben.

4.1 Einzelzelle

Bild 4.1 zeigt die verwendeten Maße am Querschnitt einer Zelle.

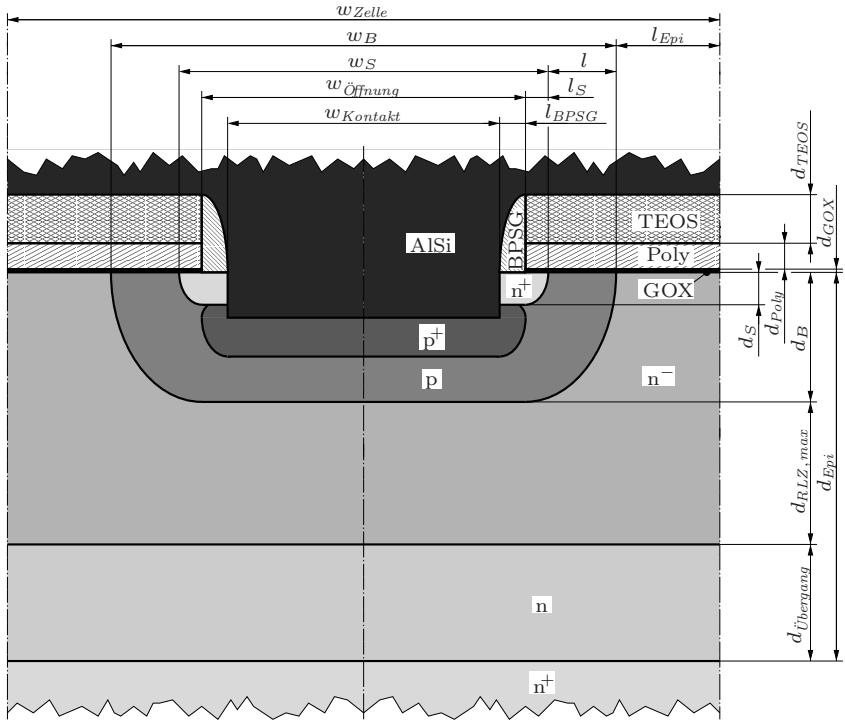


Bild 4.1: Querschnitt einer Zelle mit Bemessung

4.1.1 Interner, lateraler MOS-FET

Unterschiede zwischen dem internen, lateralen MOS-FET des DMOS und einem homogen dotierten Transistor ergeben sich hauptsächlich durch die zentrale Anordnung der Source und dem damit radial nach außen fließenden Strom sowie durch die inhomogene Dotierung (siehe Bild 4.2). Letzteres wurde schon in [4][10][14][20][19][39][45] auf verschiedenste Art modelliert. Der physikalischste, analytische Ansatz soll hier nochmals aufgegriffen und verfeinert werden.

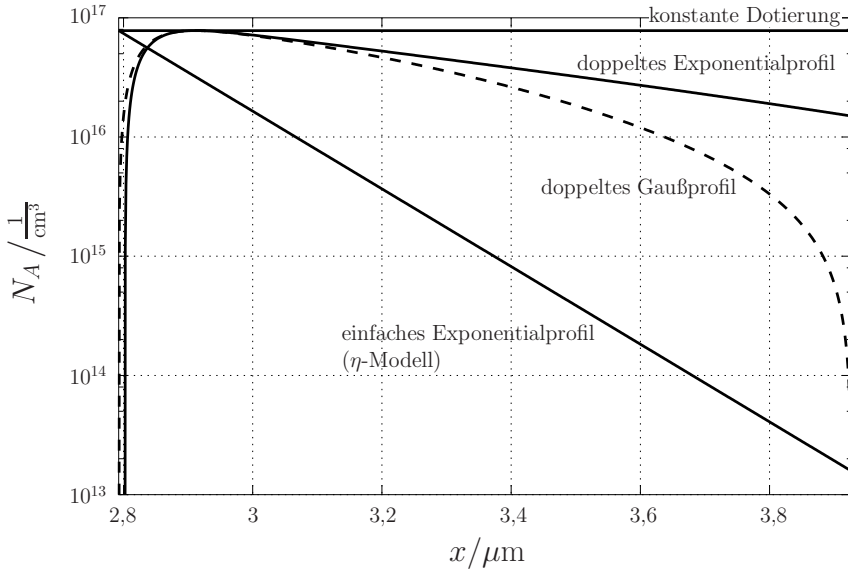


Bild 4.2: - - - reales Dotierungsprofil und — verschiedene Dotierprofile, welche zur Modellierung herangezogen werden

In diesem Abschnitt wird zur Vereinfachung zeitweise der Ursprung der x -Koordinate von der Zellmitte auf den metallurgischen Übergang zur Source verschoben (Bild 4.3). Das drain-seitige Ende des internen MOS-FET wird als Kanalknoten oder Kanalende K bezeichnet, um Verwechslungen mit dem Drain-Anschluß des Bauteils zu verhindern.

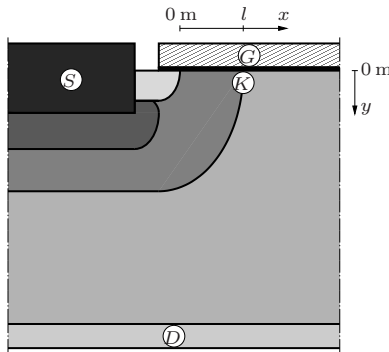


Bild 4.3: In Abschnitt 4.1.1 benutztes Koordinatensystem und Lage des Kanalendes K

4.1.1.1 Grundgleichungen

Die Herleitung der Gleichungen folgt streckenweise der eines homogen dotierten, lateralen Transistors, welche z. B. schon in [15] Kapitel 5 beschrieben wurde. Ähnliche Elemente werden hier deshalb nicht so ausführlich behandelt.

Ein Strombeitrag durch Löcherleitung wird bei der Herleitung vernachlässigt. Die nur in lateraler Richtung angenommene Elektronenstromdichte ist

$$J_n = q\mu_n E_x n + qD_n \frac{dn}{dx} \quad , \quad (4.1)$$

wobei das laterale, elektrische Feld E_x sich aus der Ableitung des Potentials Φ_S ergibt.

$$E_x = -\frac{d\Phi_S}{dx} \quad (4.2)$$

Zusammen mit der Einsteinbeziehung für die Diffusionskonstante

$$D_n = \frac{kT}{q} \mu_n \quad , \quad (4.3)$$

der Inversionsschichtflächenladungsdichte (alle Elektronen innerhalb der Raumladungszone tragen zum Stromfluß bei)

$$Q_I'' = q \int_{0m}^{y_{RLZ}} n \, dy \quad (4.4)$$

und der zum Kanalstrom hochintegrierten Elektronenstromdichte

$$I_K = \int_{0m}^w \int_{0m}^{y_{RLZ}} J_n \, dy \, dz \quad (4.5)$$

kann Gleichung 4.1 umgeschrieben werden zu¹

$$\underbrace{I_K \int_{0m}^l \frac{1}{\mu_n w} \, dx}_{T_{ges}} = - \underbrace{\int_{\Phi_S(0m)}^{\Phi_S(l)} Q_I''(x) \, d\Phi_S}_{T_{Drift}} + \frac{kT}{q} \underbrace{\int_{Q_I''(0m)}^{Q_I''(l)} dQ_I''}_{T_{Diff}} \quad . \quad (4.6)$$

¹Trennung der Variablen in Gleichung 4.1 und Integration von der Source zum Kanalende, Einsetzen von Gleichung 4.2 und 4.3, Integration beider Seiten nach y , Substitution von qn durch Q_I'' entsprechend Gleichung 4.4, Einsetzen von Gleichung 4.5 sowie Berücksichtigung, daß der Kanalstrom aus Kontinuitätsgründen in lateraler Richtung konstant ist

Um das Problem noch berechenbar zu halten, wird μ_n für die Integration im Gesamtstromterm T_{ges} erst einmal als gemittelte Konstante betrachtet.

Im Fall des DMOS vergrößert sich die Weite w des Transistors mit steigendem x wegen des radial auseinanderfließenden Elektronenstromes. Die Weite wird – wie in Bild 4.4 dargestellt – durch Geradenstücke und Kreissegmente angenähert.

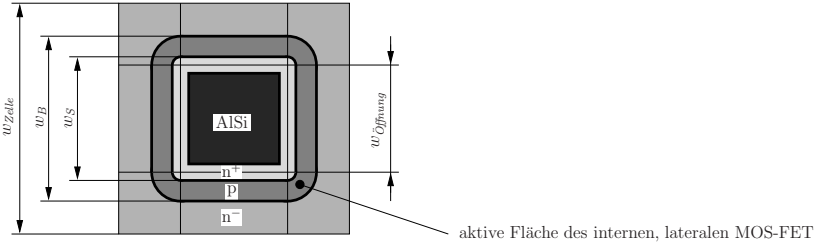


Bild 4.4: Zelle in Draufsicht und aktive Fläche des internen, lateralen MOS-FET

$$T_{ges} \approx \frac{I_K}{\mu_{n,eff}} \frac{l}{w_{eff}} \quad (4.7)$$

$$\frac{1}{w_{eff}} = \frac{1}{l} \int_{0}^l \frac{1}{w} dx = \frac{1}{2\pi l} \ln \frac{2\pi w_B + (4 - \pi)w_{\text{Öffnung}}}{2\pi w_S + (4 - \pi)w_{\text{Öffnung}}} \quad (4.8)$$

$$l = \frac{w_B - w_S}{2} \quad (4.9)$$

Das Feld im Gate-Oxid ist

$$E_{Ox} = \frac{U_{GS} - U_{FB,B} - \Phi_S}{d_{GOX}} \quad (4.10)$$

mit der in lateraler Richtung als konstant angenommenen Flachbandspannung

$$U_{FB,B} = -\frac{kT}{q} \ln \frac{N_{D,Poly} N_A(x_0)}{n_i^2} \quad (4.11)$$

x_0 bezeichnet den Ort maximaler Nettodotierung.

Es wird angenommen, daß sich alle Elektronen der Raumladungszone in einer unendlich dünnen Schicht (Inversionsschicht) an der Halbleiteroberfläche

befinden (charge sheet model). Weiter sei vereinfachend angenommen, daß die Dotierungskonzentration in vertikaler Richtung konstant ist und derjenigen an der Oberfläche entspricht. Dann führt die zweifache Integration bis zum Raumladungszonenende bei y_{RLZ}

$$E_y = \int_{y_{RLZ}}^y \frac{-qN_A}{\varepsilon_0\varepsilon_{r,Si}} dy = \frac{qN_A}{\varepsilon_0\varepsilon_{r,Si}}(y_{RLZ} - y) \quad (4.12)$$

$$\Phi_S = - \int_{y_{RLZ}}^{0 \text{ m}} E_y dy = \frac{qN_A}{2\varepsilon_0\varepsilon_{r,Si}} y_{RLZ}^2 \quad (4.13)$$

auf das Oberflächenpotential Φ_S . Dieses wieder eingesetzt in Gleichung 4.12 ergibt den Zusammenhang

$$E_y(0 \text{ m}) = \sqrt{\frac{2qN_A\Phi_S}{\varepsilon_0\varepsilon_{r,Si}}} \quad (4.14)$$

zwischen dem elektrischen Feld direkt unterhalb der Inversionsschicht und dem Oberflächenpotential.

Das laterale Feld E_x wird als klein gegenüber dem vertikalen Feld angenommen (gradual channel approximation), so daß die Inversionsschichtflächenladungsdichte Q_I'' nur von den vertikalen Feldern abhängt.

$$\begin{aligned} Q_I''(x) &= \varepsilon_0\varepsilon_{r,Si}E_y(0 \text{ m}) - \varepsilon_0\varepsilon_{r,Ox}E_{Ox} \\ &= -C''_{Ox} \left(U_{GS} - U_{FB,B} - \Phi_S - \gamma \sqrt{\frac{N_A(x)}{N_A(x_0)}} \Phi_S \right) \end{aligned} \quad (4.15)$$

$$C''_{Ox} = \frac{\varepsilon_0\varepsilon_{r,Ox}}{d_{GOX}} \quad (4.16)$$

$$\gamma = \frac{\sqrt{2q\varepsilon_0\varepsilon_{r,Si}N_A(x_0)}}{C''_{Ox}} \quad (4.17)$$

γ wird Substratsteuerfaktor genannt.

Die Source-Bulk-Spannung U_{SB} entsteht beim DMOS nur durch Kontakt- und Bahnwiderstände, welche vom Kanal-, Rückwärtsdioden- oder Verschiebungsstrom durchflossen werden. U_{SB} wird hier vernachlässigt.

Das Oberflächenpotential bei starker Inversion ist näherungsweise

$$\Phi_S \approx 2\Phi_F + \Phi_K \quad , \quad (4.18)$$

wobei $\Phi_K(x)$ die Potentialdifferenz zwischen den Orten x und 0 m ist. Das Fermi-Potential Φ_F wird zweckmäßigerweise als konstant betrachtet und am Ort maximaler Nettodotierung bestimmt, da dieser die Einsatzspannung bestimmt.

$$\Phi_F \approx \frac{kT}{q} \ln \frac{N_A(x_0)}{n_i} \quad (4.19)$$

Der Driftterm ergibt sich somit aus den Gleichungen 4.10 bis 4.19 zu

$$T_{Drift} = C''_{Ox} \left((U_{GS} - U_{FB,B} - 2\Phi_F)U_{KS} - \frac{1}{2}U_{KS}^2 - \gamma \underbrace{\int_{0V}^{U_{KS}} \sqrt{\frac{N_A(x)}{N_A(x_0)}} (2\Phi_F + \Phi_K) d\Phi_K}_{T_{RLZ} = T_{RLZ1}U_{KS} + T_{RLZ2}U_{KS}^2 + T_{RLZ3}} \right), \quad (4.20)$$

wobei in T_{RLZ1} alle linearen und in T_{RLZ2} alle quadratischen Terme von T_{RLZ} in Bezug auf U_{KS} enthalten sind.

Da $x = 0$ m und $x = l$ jeweils einen metallurgischen Übergang mit einer Nettodotierung von $0 \frac{1}{\text{cm}^3}$ bezeichnen, reduziert sich der Diffusionsterm auf

$$T_{Diff} = \frac{kT}{q} C''_{Ox} U_{KS} \quad . \quad (4.21)$$

Dieser Term bewirkt nur eine geringe Abnahme der Einsatzspannung und wird deshalb in den meisten Modellen vernachlässigt.

Nach Einsetzen der Terme in Gleichung 4.6 wird der Kanalstrom erhalten.

$$I_K = \mu_{n,eff} C''_{Ox} \frac{w_{eff}}{l} \cdot \left((U_{GS} - U_{tn})U_{KS} - \left(\frac{1}{2} + \gamma T_{RLZ2} \right) U_{KS}^2 - \gamma T_{RLZ3} \right) \quad (4.22)$$

$$U_{tn} = U_{FB,B} + 2\Phi_F - \frac{kT}{q} + \gamma T_{RLZ1} \quad (4.23)$$

Die Beweglichkeit μ_n ist von der elektrischen Feldstärke, der Oberflächenrauigkeit und der Dotierung abhängig. Diese sind ihrerseits ortsabhängig. Die Effekte werden nun nachträglich in das Gleichungssystem eingebracht.

Die Geschwindigkeitssättigung durch das horizontale Feld wird durch

$$\mu_{n,eff} = \frac{1}{\frac{U_{KS}}{w_{sat}} + \frac{1}{\mu_{SB}}} \quad (4.24)$$

berücksichtigt. Das vertikale Feld verursacht Stöße der Elektronen mit der Oberfläche, wodurch sich die Oberflächenbeweglichkeit μ_{SB} reduziert.

$$\mu_{SB} = \frac{\mu_{nB0}}{1 + \Theta_B(U_{GS} - U_{tn})} \quad (4.25)$$

Die von der Dotierung abhängige Elektronenbeweglichkeit ist in μ_{nB0} über die Kanallänge geeignet gemittelt enthalten.

Diese Gleichungen wurden unter der Bedingung starker Inversion hergeleitet. Wenn am Ort $x = l$ die Spannung U_{GK} die lokale Einsatzspannung unterschreitet, ist dies nicht mehr gegeben. Der Kanalstrom sättigt an dieser Stelle. Die Kanal-Source-Spannung wird deshalb auf diese Sättigungsspannung begrenzt, d. h. in Gleichung 4.22 wird U_{KS} durch

$$U_{KS,beg} = \begin{cases} U_{KS} & : U_{KS} \leq U_{KS,sat} \\ U_{KS,sat} & : U_{KS} > U_{KS,sat} \end{cases} \quad (4.26)$$

ersetzt.

Das physikalisch exakte Kriterium $U_{KS,sat} = U_{GS} - U_{FB,B}(l)$ ² für den Übergang zur Sättigung führt wegen den Näherungen normalerweise zu nicht monoton steigenden und nicht stetig differenzierbaren Kennlinien. Deshalb wird ersatzweise an die Ausgangskennlinie die Forderung nach Stetigkeit, Monotonie und stetige Differenzierbarkeit gestellt.

Die Stetigkeit ergibt sich schon aus der Begrenzung von U_{KS} auf $U_{KS,beg}$. Aus der Forderung nach stetiger Differenzierbarkeit folgt

$$\lim_{U_{KS} \rightarrow U_{KS,sat} - 0 \text{ V}} \frac{dI_K}{dU_{KS}} = 0 \text{ S} \quad (4.27)$$

als Übergangskriterium. Die Monotonie wird damit ebenfalls erreicht.

Falls $T_{RLZ3} = 0 \text{ V}^{\frac{3}{2}}$ gilt, ergibt sich unter Berücksichtigung, daß $\mu_{n,eff}$ von U_{KS} abhängt,³ die Sättigungsspannung

$$U_{KS,sat} = \frac{lv_{sat}}{\mu_{SB}} \left(\sqrt{\frac{\mu_{SB}}{lv_{sat}} \frac{U_{GS} - U_{tn}}{\frac{1}{2} + \gamma T_{RLZ2}} + 1} - 1 \right) . \quad (4.28)$$

²Die Größen Φ_F und γ sind wegen $N_A(l) = 0 \frac{1}{\text{cm}^3}$ ohne den bisher gemachten Näherungen am Ort $x = l$ null. Die Flachbandspannung ist dort $U_{FB,B}(l) = -\frac{kT}{q} \ln \frac{N_{D,Poly}}{n_i}$.

³Versuche zeigen, daß die Nachbildungsgenauigkeit der Modelle stark leidet, falls $\mu_{n,eff}$ bei diesem Schritt als konstant angenommen wird.

Ist die Gate-Source-Spannung geringer als die Einsatzspannung, so liegt ebenfalls keine starke Inversion mehr vor. Unter Vernachlässigung eines Unterschwellstroms wird der Kanalstrom auf null begrenzt.

$$I_{K,beg} = \begin{cases} I_K & : U_{GS} \geq U_{tn} \\ 0 \text{ A} & : U_{GS} < U_{tn} \end{cases} \quad (4.29)$$

Die Kanallängenmodulation wird letztlich noch durch

$$I_{K,mod} = I_{K,beg}(1 + \lambda U_{KS}) \quad (4.30)$$

berücksichtigt.

Die nun folgenden Modelle haben das obige Gleichungssystem als gemeinsame Basis. Unterschiedlich ist die Behandlung des Terms T_{RLZ} zur Beschreibung der Raumladungszone. Die verwendeten Dotierungsprofile sind in Bild 4.2 zu sehen.

4.1.1.2 Shichman-Hodges-Modell

Das Modell von Shichman und Hodges [35] nimmt für den Term T_{RLZ} vereinfachend ein konstantes Oberflächenpotential an. Es wurde für eine in lateraler Richtung konstante Dotierung hergeleitet. Mit $U_{SB} = 0 \text{ V}$ wurde das Modell hier noch zusätzlich an die Verhältnisse im DMOS angepaßt.

$$T_{RLZ} \approx \int_{0 \text{ V}}^{U_{KS}} \sqrt{2\Phi_F} \, d\Phi_K \quad (4.31)$$

Die Lösung

$$T_{RLZ1} = \sqrt{2\Phi_F} \quad (4.32)$$

$$T_{RLZ2} = 0 \text{ V}^{-\frac{1}{2}} \quad (4.33)$$

$$T_{RLZ3} = 0 \text{ V}^{\frac{3}{2}} \quad (4.34)$$

erlaubt eine Verwendung von Gleichung 4.28 zur Bestimmung der Sättigungsspannung.

In Bild 4.5 ist eine gute Übereinstimmung von Modell und Device-Simulation ersichtlich.

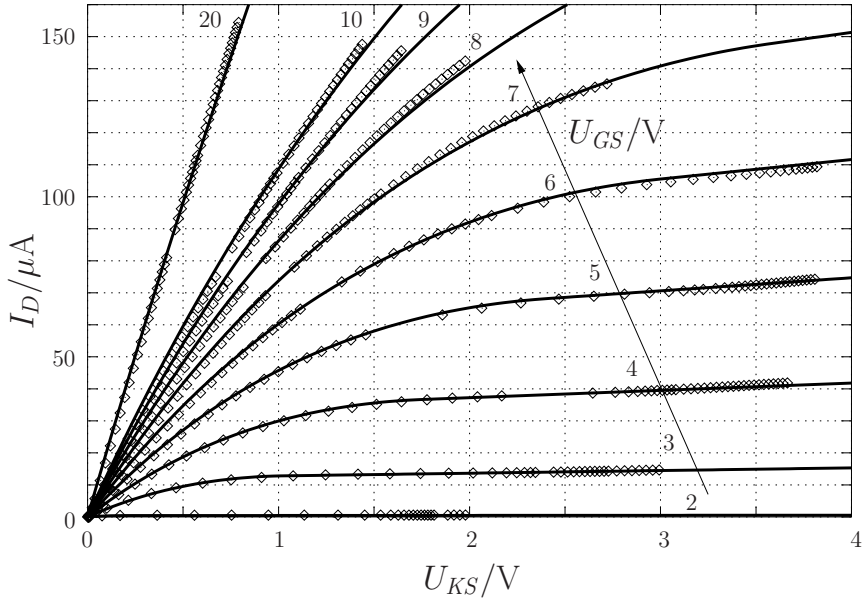


Bild 4.5: Ausgangskennlinie des internen MOS-FET: — Shichman-Hodges-Modell, \diamond Device-Simulation

4.1.1.3 Modell mit exaktem Oberflächenpotential

Ausgehend vom Shichman-Hodges-Modell wird in T_{RLZ} das Oberflächenpotential nun nicht mehr als konstant angesehen ([43] S. 118).

$$T_{RLZ} \approx \int_{0V}^{U_{KS}} \sqrt{2\Phi_F + \Phi_K} \, d\Phi_K \quad (4.35)$$

Für die Lösung

$$T_{RLZ1} = 0 \, \text{V}^{\frac{1}{2}} \quad (4.36)$$

$$T_{RLZ2} = 0 \, \text{V}^{-\frac{1}{2}} \quad (4.37)$$

$$T_{RLZ3} = \frac{2}{3} \left((2\Phi_F + U_{KS})^{\frac{3}{2}} - (2\Phi_F)^{\frac{3}{2}} \right) \quad (4.38)$$

ist eine Sättigungsspannung nach Gleichung 4.27 nicht mehr explizit angebar – auch dann nicht, wenn $\mu_{n,eff}$ als von U_{KS} unabhängig betrachtet würde.

4.1.1.4 Modell mit genähertem Oberflächenpotential

Um die Sättigungsspannung berechenbar zu machen, wird die Wurzel aus dem Oberflächenpotential des letzten Modells an der Stelle $x = 0$ m linearisiert ([43] S. 123–130).

$$T_{RLZ} \approx \int_{0V}^{U_{KS}} \sqrt{2\Phi_F} + \frac{\Phi_K}{2\sqrt{2\Phi_F}} d\Phi_K \quad (4.39)$$

Dadurch wird die Sättigungsspannung wieder explizit bestimmbar.

$$T_{RLZ1} = \sqrt{2\Phi_F} \quad (4.40)$$

$$T_{RLZ2} = \frac{1}{4\sqrt{2\Phi_F}} \quad (4.41)$$

$$T_{RLZ3} = 0 \text{ V}^{\frac{3}{2}} \quad (4.42)$$

4.1.1.5 η -Modell

In [14] und [39][38] S. 98 wird ein einfach diffundiertes Profil mit einer Exponentialfunktion

$$N_A \approx N_A(x_0)e^{-\eta \frac{x}{l}} \quad (4.43)$$

angenähert.⁴ Abweichend von der Literatur wird hier die Source-Body Spannung U_{SB} gleich 0 V gesetzt.

Der Raumladungszonenterm ergibt sich zu

$$T_{RLZ} \approx \int_{0V}^{U_{KS}} \sqrt{e^{-\eta \frac{x}{l}}} \left(\sqrt{2\Phi_F} + \frac{\Phi_K}{2\sqrt{2\Phi_F}} \right) d\Phi_K \quad (4.44)$$

$$x \approx l \frac{\Phi_K}{U_{KS}} \quad (4.45)$$

⁴Auf der Suche nach integrierbaren Funktionen, welche diffundierte Profile annähern, stößt man auf die Form $x^a \exp\left(-\left(\frac{x}{l}\right)^b\right)$ mit $\frac{a+1}{b} \in \{1, 2, 3, \dots\}$. Da ein Term mit $a = 0$ kaum umgehbar ist, verwenden fast alle analytischen Modelle Exponentialfunktionen mit $b = 1$.

mit einem für den Dotierungsterm als linear angenommenen Verlauf des Potentials über dem Ort x .

$$T_{RLZ1} = \sqrt{2\Phi_F} \frac{2}{\eta} \left(1 - e^{-\frac{\eta}{2}}\right) \quad (4.46)$$

$$T_{RLZ2} = \frac{1}{2\sqrt{2\Phi_F}} \left(\left(\frac{2}{\eta}\right)^2 \left(1 - e^{-\frac{\eta}{2}}\right) - \frac{2}{\eta} e^{-\frac{\eta}{2}} \right) \quad (4.47)$$

$$T_{RLZ3} = 0 \text{ V}^{\frac{3}{2}} \quad (4.48)$$

Die Sättigungsspannung wurde hier nicht wie in [38] angegeben bestimmt, sondern nach Gleichung 4.28, wodurch die Modellgenauigkeit im verwendeten Beispiel steigt.

Für $\eta = 0$ entspricht dieses Modell demjenigen des letzten Abschnitts.

4.1.1.6 Modell mit doppeltem Exponentialprofil

Das folgende Modell wurde im Rahmen dieser Arbeit entwickelt.

Die Gaußprofile der n^+ -Source- und der p -Body-Dotierung werden durch Exponentialfunktionen mit jeweils gleichem Betrag und Steigung an der Stelle der größten Nettodotierung x_0 genähert.

$$N_A \approx N_{Be} e^{-\frac{x}{l_{Be}}} - N_{Se} e^{-\frac{x}{l_{Se}}} - N_E \quad (4.49)$$

Die Wurzel aus dem sich ergebenden Exponentialprofil wird an der gleichen Stelle x_0 linearisiert.

$$T_{RLZ} \approx \int_{0\text{V}}^{U_{KS}} \frac{1}{2} \left(1 + \frac{N_A(x)}{N_A(x_0)}\right) \left(\sqrt{2\Phi_F} + \frac{\Phi_K}{2\sqrt{2\Phi_F}}\right) d\Phi_K \quad (4.50)$$

$$x \approx l \frac{\Phi_K}{U_{KS}} \quad (4.51)$$

Für diesen Ausdruck wird das Kanalpotential als linear über dem Ort angenommen.

$$T_{RLZ1} = \frac{\sqrt{2\Phi_F}}{2} \left(1 - \frac{N_E}{N_A(x_0)} + \frac{N_{Be} l_{Be}}{N_A(x_0) l} \left(1 - e^{-\frac{l}{l_{Be}}}\right) - \frac{N_{Se} l_{Se}}{N_A(x_0) l} \left(1 - e^{-\frac{l}{l_{Se}}}\right)\right) \quad (4.52)$$

$$\begin{aligned}
T_{RLZ2} &= \frac{1}{4\sqrt{2}\Phi_F} \left(\frac{1}{2} \left(1 - \frac{N_E}{N_A(x_0)} \right) \right. \\
&\quad + \frac{N_{Be}l_{Be}}{N_A(x_0)l} \left(\left(1 - e^{-\frac{l}{l_{Be}}} \right) \left(1 + \frac{l_{Be}}{l} \right) - 1 \right) \\
&\quad \left. - \frac{N_{Se}l_{Se}}{N_A(x_0)l} \left(\left(1 - e^{-\frac{l}{l_{Se}}} \right) \left(1 + \frac{l_{Se}}{l} \right) - 1 \right) \right) \quad (4.53)
\end{aligned}$$

$$T_{RLZ3} = 0 \text{ V}^{\frac{3}{2}} \quad (4.54)$$

Wie Bild 4.6 zeigt, kann das Modell den Widerstandsbereich gut nachbilden, zeigt jedoch beim Übergang in den Sättigungsbereich Schwächen.

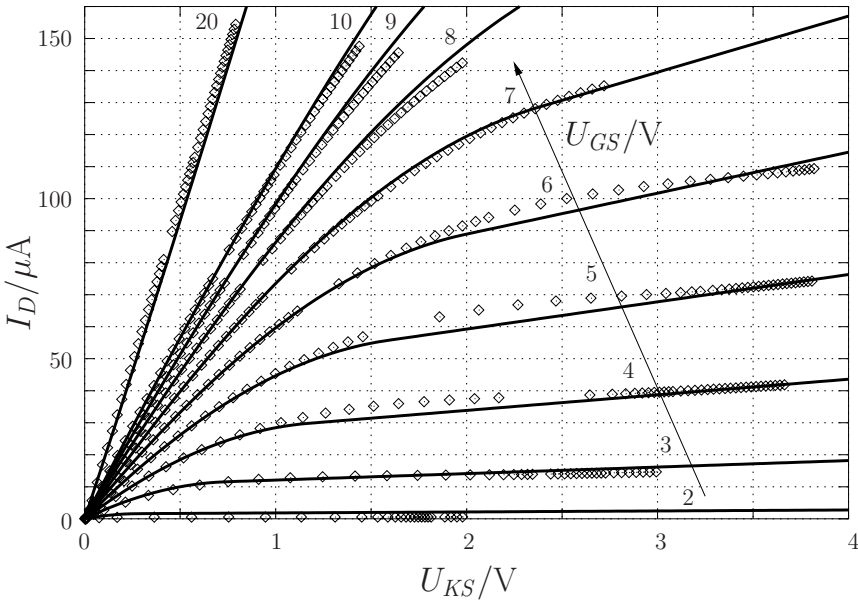


Bild 4.6: Ausgangskennlinie des internen MOS-FET: — Modell mit doppelem Exponentialprofil, \diamond Device-Simulation

4.1.1.7 Modellvergleich

Die in den letzten Abschnitten vorgestellten Modelle werden nun auf ihre Nachbildungsgüte bezüglich des DMOS untersucht. Das Modell aus Abschnitt 4.1.1.3 scheidet vorzeitig aus, da dessen Sättigungsspannung nicht

explizit bestimmbar ist. Versuche, die Sättigungsspannung mit Heuristiken nachzubilden, führten zu mangelhaften Ergebnissen.

Zuerst wird jedes Modell mit den Parametern vorbelegt, welche aus der Device-Simulation ablesbar sind. Wegen der vielen Näherungen (keines der Modelle beinhaltet z. B. ein gaußförmiges Dotierungsprofil), welche zur Modellherleitung gemacht wurden, weichen die Ergebnisse der Modelle dann von denen der Device-Simulation im Bereich von etwa 20% ab.

Deshalb werden nach der Parametervorbelegung die effektiven und gemittelten Größen der Modelle in kleinen Schritten solange verändert, bis sich eine möglichst optimale Übereinstimmung ergibt. Der Marquardt-Levenberg-Algorithmus in gnuplot konvergierte bei allen Modellen sicher nach jeweils 7 bis 21 Iterationsschritten.

In Tabelle 4.1 sind die angepaßten, physikalischen Größen der Modelle denen der Device-Simulation gegenübergestellt. Bei der Device-Simulation ist für Flachbandspannung und Beweglichkeit ein Bereich angegeben, da sie dotierungsabhängig sind.

Für das η -Modell wurde η als zusätzlicher Fit-Parameter deklariert, da in der Literatur keine geeignete Methode angegeben ist, wie das Exponentialprofil an das Gaußprofil angenähert werden soll (Resultat: $\eta = 8,508868$, siehe Bild 4.2).

Modell	$U_{FB,B}/V$	$\mu_{nB0} / \frac{\text{cm}^2}{\text{V}\cdot\text{s}}$	$v_{\text{sat}} / (10^7 \frac{\text{cm}}{\text{s}})$
Device Simulator: Medici	-0,831 ... -0,430	330 ... 1020	1,03
Abschnitt 4.1.1.2: Shichman-Hodges	-1,299387	437,659	1,17777
Abschnitt 4.1.1.4: genähertes Ober- flächenpotential	-1,793220	348,845	2,48849
Abschnitt 4.1.1.5: η -Modell	-0,926333	349,902	1,54227
Abschnitt 4.1.1.6: doppeltes Exponentialprofil	-1,126064	349,333	1,78228

Tabelle 4.1: mit Ausgleichsrechnung angepaßte, physikalische Parameter

In Tabelle 4.2 sind die restlichen Fit-Parameter aufgeführt.

Modell	$\Theta_B / \frac{1}{\nabla}$	$\lambda / \frac{1}{\nabla}$	Summe der Differenzenquadrate
Device Simulator: Medici	—	—	0
Abschnitt 4.1.1.2: Shichman-Hodges	0,0619328	0,0698299	32,7228
Abschnitt 4.1.1.4: genähertes Oberflächenpotential	0,0586997	0,248541	254,885
Abschnitt 4.1.1.5: η -Modell	0,0524794	0,187676	91,9950
Abschnitt 4.1.1.6: doppeltes Exponentialprofil	0,0543368	0,201980	135,587

Table 4.2: Fit-Parameter und Konvergenzgüte

Die Summe der Differenzenquadrate gibt Auskunft über die Nachbildungsgüte der einzelnen Modelle. Auffällig ist, daß das einfachste Modell dreimal besser an die Device-Simulation anpaßbar ist, als alle anderen, mit scheinbar mehr Präzision hergeleiteten Modelle. Im weiteren Verlauf der Arbeit wird deshalb das Shichman-Hodges-Modell verwendet.

Letztlich sei angemerkt, daß bei der Modellierung des DMOS das Zusammenspiel der Modellteile lateraler MOS-FET und Epi-Gebiet wichtig ist. Während der laterale MOS-FET, wie gezeigt, schon gut modellierbar ist, birgt die Modellierung der auch zweidimensionalen Effekte im Epi-Gebiet noch größere Probleme.

4.1.1.8 Ladungsmodell

Für $U_{GS} > U_{tn}$ und $U_{KS} \leq U_{KS,sat,kon}$ herrscht im gesamten Kanalgebiet starke Inversion. Das Ladungsmodell im Widerstandsbereich kann äquivalent zu [15] für das Shichman-Hodges-Modell hergeleitet werden. Dabei wird der Diffusionsterm in Gleichung 4.6 vernachlässigt.

$$Q_G = C_{GB,Ox} \left(F_I + \frac{U_{KS,beg,kon}^2}{12F_I} + \gamma\sqrt{2\Phi_F} \right) : U_{GS} > U_{tn} \quad (4.55)$$

$$Q_B = C_{GB,Ox} \left(\frac{U_{KS,beg,kon}^2}{12F_I} - \gamma\sqrt{2\Phi_F} \right) : U_{GS} > U_{tn} \quad (4.56)$$

$$F_I = U_{GS} - U_{tn} - \frac{U_{KS,beg,kon}}{2} \quad (4.57)$$

Q_G bezeichnet die Ladung auf dem Poly-Gate, während Q_B die Ladung der Raumladungszone im Body beschreibt. Die Oxidkapazität $C_{GB,Ox}$ wird in Abschnitt 4.1.8 angegeben.

Im Sättigungsbereich hat der Kanalknoten nahezu keinen Einfluß auf die Ladungen. Die Kanal-Source-Spannung wird in den Formeln des Widerstandsbereichs daher nach oben auf die Sättigungsspannung begrenzt.

$$U_{KS,beg,kon} = \begin{cases} U_{KS} & : U_{KS} \leq U_{KS,sat,kon} \\ U_{KS,sat,kon} & : U_{KS} > U_{KS,sat,kon} \end{cases} \quad (4.58)$$

$$U_{KS,sat,kon} = U_{GS} - U_{tn} \quad (4.59)$$

Die Geschwindigkeitssättigung in Gleichung 4.24 senkt die Sättigungsspannung des Kanalstromes (Gleichung 4.28) über das Kriterium von Gleichung 4.27 etwas ab, hat jedoch keine direkte Auswirkung auf die Ladungen. Deshalb wird die konventionelle Sättigungsspannung $U_{KS,sat,kon}$ zur Ladungsberechnung benutzt.

Bei Verarmung wird angenommen, daß keine Elektronen an der Oberfläche existieren. Oxid- und Raumladungszonenkapazität bilden einen kapazitiven Spannungsteiler zwischen Gate und Body. Die Ladung der Raumladungszone ergibt sich zu

$$Q_B = -C_{GB,Ox} \gamma \sqrt{\Phi_{SV}} \quad : U_{tn} \geq U_{GS} > U_{FB,B} \quad (4.60)$$

$$\Phi_{SV} = \left(\sqrt{U_{GS} - U_{FB,B} + \frac{\gamma^2}{4}} - \frac{\gamma}{2} \right)^2 \quad (4.61)$$

mit dem Oberflächenpotential bei Verarmung Φ_{SV} .

Herrscht an der Oberfläche Akkumulation, so befindet sich nur noch die Oxidkapazität zwischen Gate und Body.

$$Q_B = -C_{GB,Ox}(U_{GS} - U_{FB,B}) \quad : U_{FB,B} \geq U_{GS} \quad (4.62)$$

Bei Verarmung und Akkumulation sitzt die Gegenladung zur Ladung der Raumladungszone auf dem Gate.

$$Q_G = -Q_B \quad : U_{tn} \geq U_{GS} \quad (4.63)$$

Source- und Kanalladung sind die Gegenladungen der Ladungen auf dem Gate und in der Raumladungszone. Sie werden zu gleichen Teilen dem

Source- und Kanalknoten zugeschlagen. Source und Body sind kurzgeschlossen, so daß die Body-Ladung, d. h. die Ladung der Raumladungszone voll zur Source-Ladung zählt.

$$Q_S = \frac{-Q_G + Q_B}{2} \quad (4.64)$$

$$Q_K = \frac{-Q_G - Q_B}{2} \quad (4.65)$$

4.1.1.9 Gesamtmodell

Bei einer negativen Kanal-Source-Spannung unter $-0,7\text{ V}$ wird der Strom der Rückwärtsdiode dominierend. Deshalb ist die exakte Nachbildung des internen MOS-FET in diesem Betriebsbereich nicht so wichtig und die Änderungen der Größen Substratsteuereffekt und Einsatzspannung⁵ sowie die entstehende Body-Vorspannung können vernachlässigt werden. Der interne MOS-FET wird – abgesehen vom Source-Body Kurzschluß – als symmetrisch angenommen und in den obigen Gleichungen werden anstatt von U_{KS} und U_{GS} die effektiven Größen

$$U_{KS,eff} = \begin{cases} U_{KS} & : U_{KS} \geq 0\text{ V} \\ -U_{KS} & : U_{KS} < 0\text{ V} \end{cases} \quad (4.66)$$

$$U_{GS,eff} = \begin{cases} U_{GS} & : U_{KS} \geq 0\text{ V} \\ U_{GS} - U_{KS} & : U_{KS} < 0\text{ V} \end{cases} \quad (4.67)$$

benutzt. Die Polarität des Kanalstromes

$$I_{K,eff} = \begin{cases} -I_{K,mod} & : U_{KS} \geq 0\text{ V} \\ I_{K,mod} & : U_{KS} < 0\text{ V} \end{cases} \quad (4.68)$$

wird der Polarität der Kanal-Source-Spannung angepaßt.

Die Ströme des Ersatzschaltbildes in Bild 4.7 ergeben sich schließlich zu

$$I_{KS} = I_{K,eff} - \frac{1}{2} \frac{dQ_B}{dt} \quad (4.69)$$

$$I_{GK} = \frac{1}{2} \frac{dQ_G}{dt} \quad (4.70)$$

$$I_{GS} = \frac{1}{2} \frac{dQ_G}{dt} \quad (4.71)$$

⁵Durch die Umpolung von U_{KS} findet der pinch-off source-seitig bei einer höheren Dotierung und die Inversionsschichtunterbrechung durch Unterlaufen der Einsatzspannung an dem praktisch intrinsischen Kanalende statt.

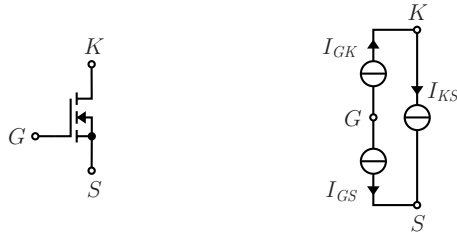


Bild 4.7: interner, lateraler MOS-FET und dessen Ersatzschaltbild

4.1.2 Akkumulationsregion

4.1.2.1 Grundmodell

Als Akkumulationsregion A wird der oberflächennahe Bereich des Epi-Gebietes in Bild 4.8 bezeichnet.

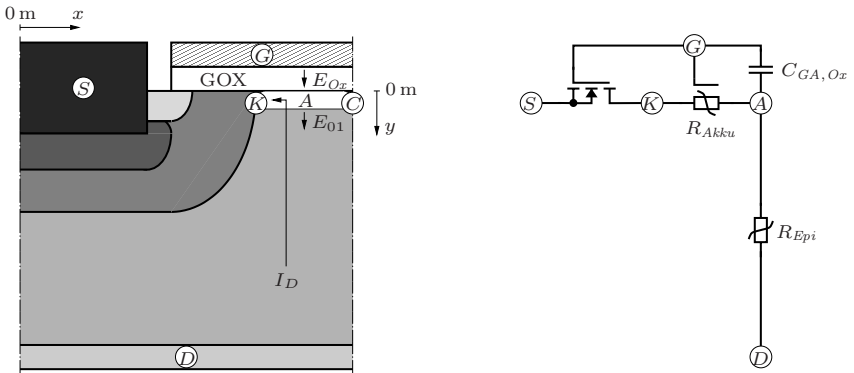


Bild 4.8: Lage der Akkumulationsregion A und Modellvorstellung

Während alle anderen Modellteile nur eine Gleichung im System darstellen und somit nur eine Unbekannte festlegen, soll das Modell der Akkumulationsregion aus den Eingangsgrößen Drain-Strom und Gate- sowie Drain-Kanal Spannung die Ausgangsgrößen elektrisches Feld unterhalb der Akkumulationsschicht E_{O1} und mittleres Potential der Akkumulationsschicht bezüglich Kanalknoten U_{AK} liefern.

Werden beide Ausgangsgrößen über die Fläche oberhalb des Epi-Gebietes

gemittelt, so können alle anderen Modellteile als quasia-dimensional betrachtet werden.⁶

Ein weiterer Vorteil der Mittelung ist, daß die Gate-Oxidkapazität $C_{GA,Ox}$ einfach zwischen den Gate-Knoten und dem mit diesem mittleren Potential beaufschlagten Akkumulationsschichtknoten A gelegt werden kann (vgl. Bild 4.8), da der Verschiebungsstrom das Integral der Verschiebungsstromdichte über die Fläche ist.

Existiert im Gate-Oxid oberhalb des n^- -Epi-Gebietes ein nach unten gerichtetes, elektrisches Feld $E_{Ox} > 0 \frac{V}{m}$ ⁷ mit

$$E_{Ox} = \frac{U_{GD} - \Phi_A - U_{FB,E}}{d_{GOX}}, \quad (4.72)$$

so sammeln sich an der Halbleiteroberfläche so viele Elektronen in einer dünnen Schicht an, bis unterhalb dieser Ladungsschicht kein nennenswertes, vertikales Feld mehr vorhanden ist.

$$E_{01} = 0 \frac{V}{m} : U_{GA} \geq U_{FB,E} \quad (4.73)$$

$\Phi_A(x)$ ist dabei das Oberflächenpotential im Epi-Gebiet. Das mittlere Oberflächenpotential

$$U_{AD} = \frac{1}{A_1} \int_{A_1} \Phi_A \, dA \quad (4.74)$$

bezieht sich auf Drain-Potential. Mit der Oberflächenbeweglichkeit

$$\mu_{SE} = \frac{\mu_{nE0}}{1 + \Theta_E(U_{GD} - \Phi_A - U_{FB,E})} \quad (4.75)$$

und der Flachbandspannung

$$U_{FB,E} = \frac{kT}{q} \ln \frac{N_{Epi}}{N_{D,Poly}} \quad (4.76)$$

⁶Unter den Annahmen, daß der Widerstand des Epi-Gebietes in horizontaler Richtung homogen sowie groß gegenüber dem der Akkumulationsschicht ist, wird in Abschnitt 4.2.2 für einen äquivalenten Fall gezeigt, daß das verteilte System bestehend aus Akkumulationsschicht und Epi-Gebiet durch zwei diskrete Widerstände modelliert werden kann. Der Spannungsabfall über dem diskreten Widerstand des Epi-Gebietes entspricht dem Flächenmittelwert des Oberflächenpotentials. Die Annahmen sind bei starker Akkumulation gut erfüllt. Die Verwendung des mittleren Oberflächenpotentials erlaubt dann eine Trennung des Systems in die Modellteile Akkumulationswiderstand und Epi-Widerstand.

⁷dies ist der Fall im Widerstands- und im Quasisättigungsbereich

läßt sich der spezifische Schichtwiderstand der Akkumulationsschicht

$$R_{\square Akku} = \frac{1}{\mu_{SE} C''_{Ox} (U_{GD} - \Phi_A - U_{FB,E})} \quad (4.77)$$

berechnen. Das restliche, unterhalb der Akkumulationsschicht befindliche, verteilte System wird nun als linearer, homogener, flächenbezogener Leitwert

$$G''_{Epi} = \frac{I_D}{U_{DA} w l_{Epi}} \quad (4.78)$$

betrachtet, in dem keine horizontalen Stromkomponenten existieren.

Da der in der Akkumulationsschicht fließende Strom einen horizontalen Spannungsabfall bewirkt, ist dessen spannungsabhängiger Schichtwiderstand nicht örtlich konstant. Die Stromdichte im darunterliegenden, verteilten System ist aufgrund des Spannungsabfalls ebenfalls nicht konstant.

Für die Differentialgleichung des beschriebenen Systems gibt es keine analytische Lösung, weshalb nun der Schichtwiderstand als örtlich konstant angenommen wird.

Die Lösung für eine lineare Zelle ist aus der Leitungstheorie her bekannt und der Akkumulationswiderstand

$$R_{Akku} = \frac{U_{AK}}{I_D} \quad (4.79)$$

berechnet sich zu

$$R_{Akku} \approx \sqrt{\frac{R_{\square Akku}}{G''_{Epi} w^2}} \frac{1}{\tanh \sqrt{R_{\square Akku} G''_{Epi} l_{Epi}^2}} - \frac{1}{G''_{Epi} w l_{Epi}} \quad (4.80)$$

Die Lösung für eine quadratische Zelle kann äquivalent zu Abschnitt 3.2.2 hergeleitet werden.

Obige Annahme eines konstanten Schichtwiderstandes ist bei kleinen Strömen oder hohen Spannungen über dem Oxid erfüllt. Bei hohen Gate-Source Spannungen ist der Widerstand des restlichen Systems groß gegenüber dem Akkumulationswiderstand und die Stromdichte annähernd homogen. Wird eine konstante Stromdichte im Epi-Gebiet angenommen, so vereinfacht sich der Ausdruck zu⁸

$$\begin{aligned} R_{Akku} &\approx \frac{1}{3} R_{\square Akku} \frac{l_{Epi}}{w} \\ &= \frac{l_{Epi}}{3 \mu_{nE0} C''_{Ox} w} \left(\frac{1}{U_{GK} - U_{AK} - U_{FB,E}} + \Theta_E \right) \quad 9. \quad (4.81) \end{aligned}$$

⁸ $\lim_{G''_{Epi} \rightarrow 0} \frac{S}{m^2}$ angewandt auf Gleichung 4.80

In Bild 4.9 ist diese Funktion mit den Fit-Parametern $\mu_{nE0} = 242,04 \frac{\text{cm}^2}{\text{V}\cdot\text{s}}$ und $\Theta_E = 0,0964962 \frac{1}{\text{V}}$ dem Ergebnis aus der Device-Simulation gegenübergestellt.

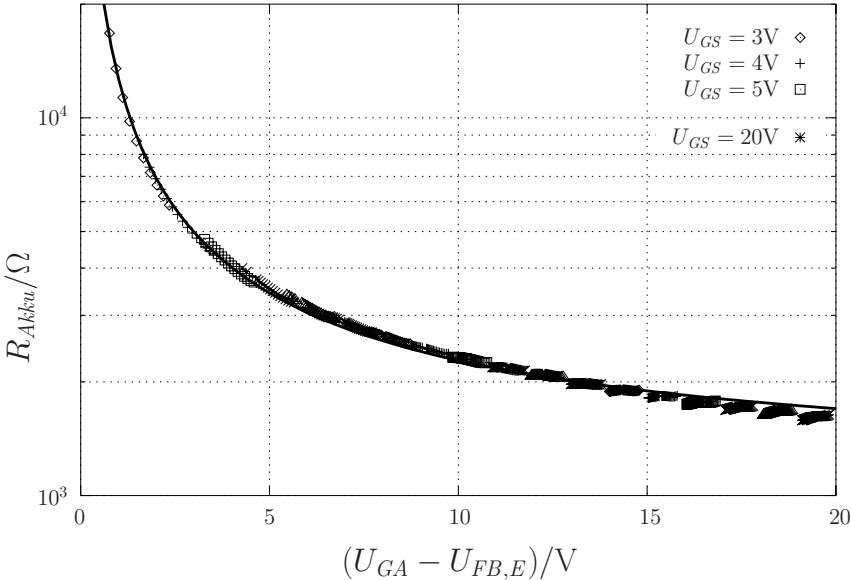


Bild 4.9: Akkumulationswiderstand in Abhängigkeit von der über dem Oxid anliegenden Spannung, — Gleichung 4.81, Device Simulation: verschiedene Symbole für unterschiedliche Gate-Source Spannungen und unter der Bedingung, daß die Gate-Drain-Spannung größer als die Flachbandspannung ist

Die Lösung für eine quadratische Zelle kann äquivalent zu Abschnitt 4.2.2 hergeleitet werden.

Der Akkumulationswiderstand des untersuchten DMOS liegt bei $R_{Akku}(U_{GS} = 4,5 \text{ V}) = 2,9 \text{ m}\Omega$ bzw. $R_{Akku}(U_{GS} = 14 \text{ V}) = 1,4 \text{ m}\Omega$.

Ist das elektrische Feld im Gate-Oxid negativ, so existiert keine Akkumulationsschicht.¹⁰ Das Feld aus Gleichung 4.72 findet an der Halbleiteroberfläche keine Ladungen vor und wird erst im Epi-Gebiet abgebaut. Das elektrische

⁹Um die Konvergenzeigenschaften des Gesamtmodells zu verbessern, kann der Schichtwiderstand anstatt vom mittleren Akkumulationsschichtpotential auch als nur von den Spannungsverhältnissen am Kanalknoten K abhängig genähert werden.

¹⁰im Sättigungsbereich und im Blockierbereich

Feld an der Halbleiteroberfläche unterhalb der Akkumulationsschicht (siehe Bild 4.8) ist daher

$$E_{01} = \frac{\varepsilon_{r,Ox}}{\varepsilon_{r,Si}} \frac{U_{GA} - U_{FB,E}}{d_{Ox}} : U_{GA} \leq U_{FB,E} . \quad (4.82)$$

Im Gesamtmodell wird für den Sättigungsbereich eine Widerstandsbeziehung zwischen U_{AK} und I_D angenommen.

4.1.2.2 Weitere Beobachtungen und Modellansätze

Die exakte Problemstellung in diesem Fall ist die Berechnung des mittleren Akkumulationsschichtpotentials. Dieses ergibt sich aus einer Integration des Oberflächenpotentials über die Epi-Halbleiteroberfläche. Das Oberflächenpotential ergibt sich seinerseits aus einer Integration des horizontalen elektrischen Feldes. Aus Symmetriegründen muß das horizontale, elektrische Feld am Zellenrand verschwinden. Weitere Aussagen können nur nach der Lösung der zweidimensionalen Poisson-Gleichung getroffen werden.

Das Problem verkompliziert sich beim Übergang von Akkumulation zu Verarmung, wenn vom Kanalende K eine in x -Richtung immer hochohmiger werdene Akkumulationsschicht existiert, welche noch vor dem Zellenrand C verschwindet (vgl. Bild 3.13). Solche Mischformen zwischen Akkumulation und Verarmung müssen in einem physikalischen Modell mit erfasst werden, um den Übergang zwischen Sättigungs- und Quasisättigungsbereich zu beschreiben. Dieser Effekt kann durch die Verwendung von Gleichung 4.80 oder der Berechnung der Dämpfungslänge einer entsprechenden Übertragungsleitung berücksichtigt werden (vgl. [16][17]).

Bild 4.10 zeigt, daß sich der ortsabhängige Spannungsabfall an der Epi-Oberfläche aus einem näherungsweise parabelförmigen und einem konstanten Abschnitt zusammensetzt. Ein parabolischer Spannungsabfall läßt auf ein lineares, horizontales Feld schließen. Der für das horizontale Feld aufgewendete Ladungsanteil der Raumladungszone ist damit bis zum Scheitelpunkt konstant. Es kann sich aber nicht um die gesamte Ladungsdichte handeln, da der horizontale Spannungsabfall dafür zu klein ist.

Am Scheitelpunkt verschwindet das horizontale Feld. Deshalb wird ab dort nur noch das vertikale Feld durch die Raumladungszone abgebaut und es existiert im stromlosen Fall ein kapazitiver Spannungsteiler, welcher äquivalent zu Gleichung 4.61 beschreibbar ist.

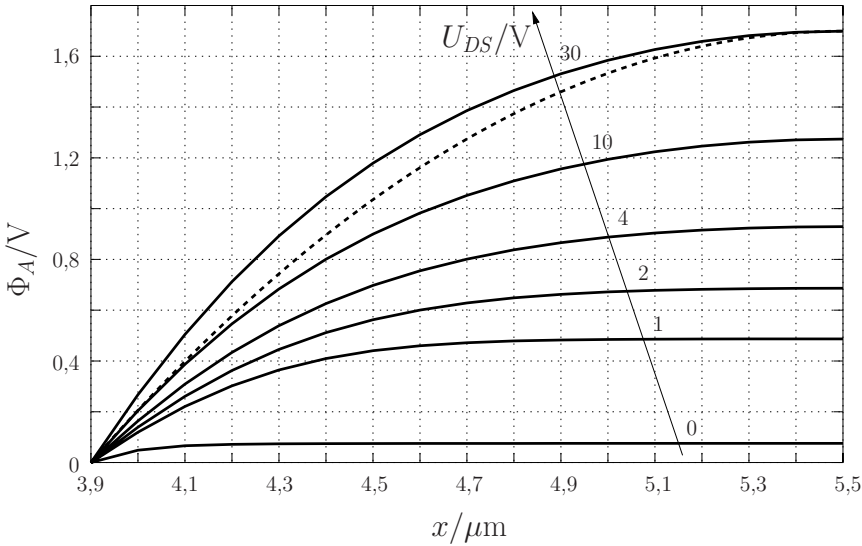


Bild 4.10: Spannungsabfall an der Oberfläche zwischen dem Ort x und dem Kanalende K bei $U_{GS} = 0\text{V}$, — Device-Simulation, - - - Parabel

Für steigende Drain-Source-Spannungen wandert der Scheitelpunkt in Richtung Zellgrenze C . Ein Vergleich der Spannungen und der zugehörigen Orte mit denen in Bild 4.11 zeigt, daß der Scheitelpunkt in etwa der Ausdehnung der Drain-Source-Raumladungszone entspricht. Diese erreicht bei 10 V die Zellgrenze. Ab dieser Spannung ändert sich die Parabelform nicht mehr, der Spannungsabfall wächst jedoch weiter. Deshalb muß der für das horizontale Feld aufgewandte Ladungsanteil der Raumladungszone mit steigender Drain-Source Spannung ebenfalls anwachsen.

Die Device-Simulation in Bild 4.12 zeigt das Verhältnis von mittlerem Spannungsabfall U_{AK} zu gesamten Spannungsabfall U_{CK} vom Kanalende bis zur Zellgrenze.

Im Sättigungsbereich geht das Verhältnis für Drain-Source Spannungen über 10 V gegen $0,712 \cdot \frac{2}{3}$ wäre der erwartete Wert für eine Parabel mit Scheitelpunkt an der Zellgrenze.

Existiert eine niederohmige Akkumulationsschicht im Widerstands- oder Quasisättigungsbereich, so beträgt das Verhältnis erwartungsgemäß 0,666.

Das Verhältnis scheint – abgesehen von den Bereichsgrenzen und einer leicht-

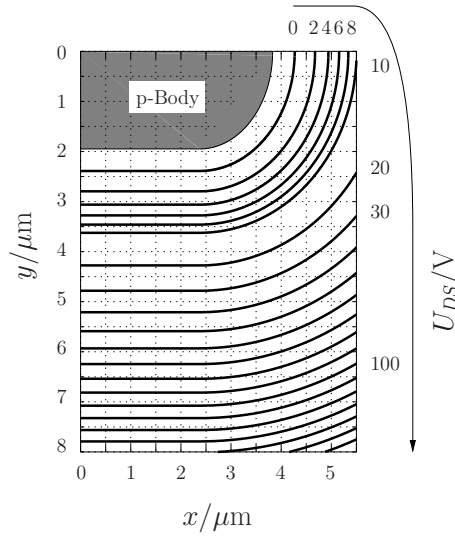


Bild 4.11: Ausdehnung der Raumladungszone im Epi-Gebiet ohne Gate-Einfluß nach Gleichung 4.103

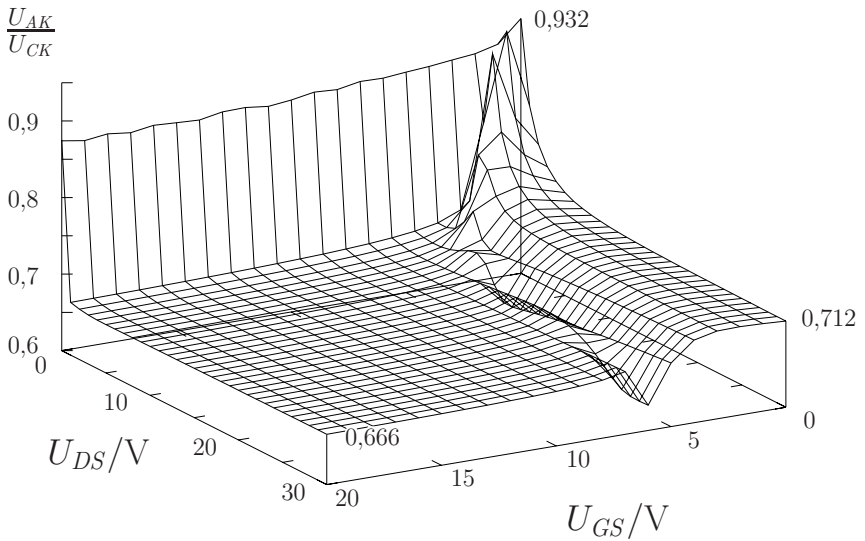


Bild 4.12: Verhältnis von mittlerem Spannungsabfall zu gesamten Spannungsabfall

ten Stromabhängigkeit – unabhängig von der Gate-Source Spannung zu sein.

4.1.3 Epi-Gebiet

Der stromdurchflossene Bereich des Epi-Gebietes unterhalb der Akkumulationsregion wird durch die Raumladungszone zum Body begrenzt. Dessen Weite wird abhängig von den Spannungsverhältnissen moduliert. Dies wird JFET-Effekt genannt.

Die Bilder 4.13, 4.14 und 4.15 zeigen eine Aufteilung des Epi-Gebietes in zwei bis drei Teile: einem mit konstanter Querschnittsfläche, einem mit sich unter konstantem Winkel aufweitenden Fläche und dem neutralen Gebiet darunter. Die Tiefe y_c des Knickpunktes wird meist mit der Tiefe des Body-Gebietes gleichgesetzt, ist jedoch physikalisch nicht festgelegt und somit ein Fit-Parameter.

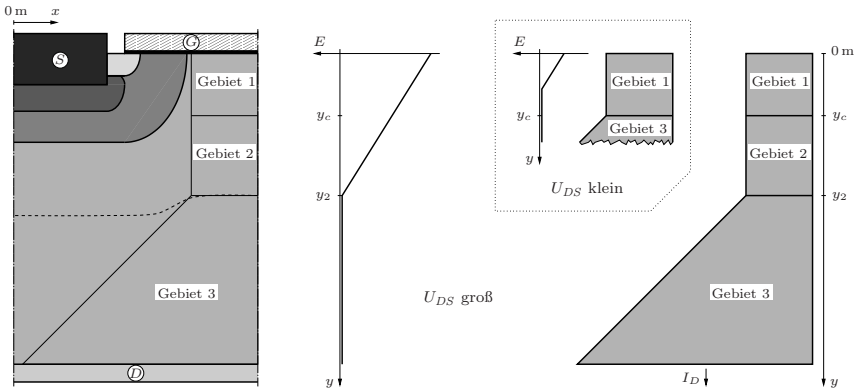


Bild 4.13: Sättigungs-, Unterschwellstrom- und Blockierbereich: Aufteilung des stromdurchflossenen Epi-Gebietes in zwei bis drei Teile, - - - Raumladungszonengrenze

Im Quasisättigungsbereich steigt der Strom über den Sättigungsstrom, welcher sich aus den mit Sättigungsgeschwindigkeit fortbewegenden Elektronen der Dotierungskonzentration bei einer konstanten Fläche A_1 des Gebietes 1 ergibt (Gleichung 3.9).

Dieser Strom kann nur überschritten werden, wenn im Gebiet 1 die Elektronendichte steigt. Da im Quasisättigungsbereich kein Feld unterhalb der Akkumulationsregion existiert, findet das von den zusätzlichen Elektronen

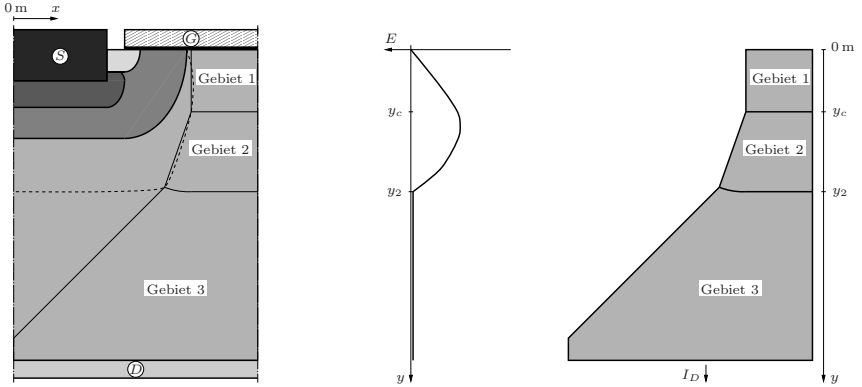


Bild 4.14: Quasisättigungsbereich: Aufteilung des stromdurchflossenen Epi-Gebietes in drei Teile, - - - Raumladungszonengrenze

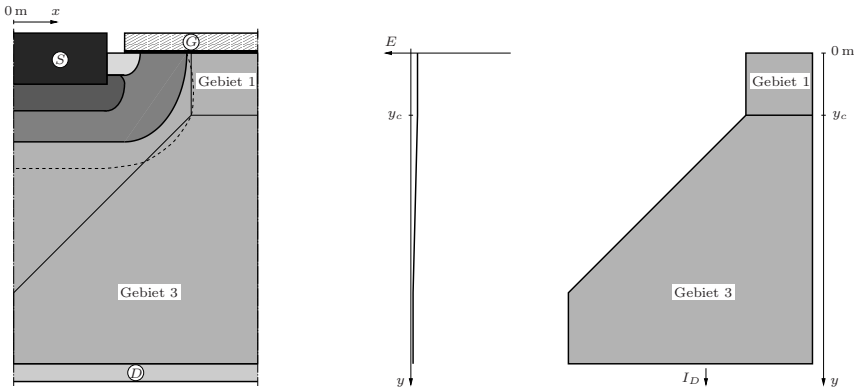


Bild 4.15: Widerstandsbereich: Aufteilung des stromdurchflossenen Epi-Gebietes in zwei Teile, - - - Raumladungszonengrenze

ausgehende Feld seine Gegenladung im Gebiet 2, wo sich die Fläche vergrößert und dadurch trotz Stromkontinuität die Elektronendichte unterhalb die Dotierungsdichte sinken kann. In der Literatur wurde die Quasisättigung schon in [4][23][24][26][40][42][44] modelliert. Dabei wurde der Aufweitungswinkel konstant gehalten, d. h. auf 45° festgelegt oder als Fit-Parameter betrachtet.

Im Quasisättigungsbereich ist die Stromdichte über den Querschnitt homogen verteilt. Dies gilt auch im Übergangsbereich zur Sättigung, sobald der

Strom sich dem Sättigungsstrom nähert – wie Bild 3.14 beweist – ebenso wie für verschiedene Spannungen und Tiefen y . Im Sättigungsbereich wird der Strom ebenfalls als homogen angesehen, da er vom Kanalende schräg nach unten zur Zellgrenze verläuft. Dadurch kann das Epi-Gebiet als quasieindimensional modelliert werden.

Durch Kombination der Quellengleichung für das elektrische Feld

$$\rho_E = \varepsilon_0 \varepsilon_{r,Si} \frac{dE}{dy} , \quad (4.83)$$

der Ladungsdichte

$$\rho_E = q(N_E - n) , \quad (4.84)$$

der feldstärkeabhängigen Beweglichkeit

$$\mu_{nE} = \frac{1}{\frac{1}{\mu_{nE0}} + \frac{E}{v_{sat}}} \quad (4.85)$$

sowie dem Strom unter Vernachlässigung von Diffusion

$$I_D = q\mu_{nE}EnA \quad (4.86)$$

mit der Querschnittsfläche A wird die Differentialgleichung für das elektrische Feld erhalten.

$$\frac{dE}{dy} = \frac{qN_E}{\varepsilon_0 \varepsilon_{r,Si}} - \frac{I_D}{\varepsilon_0 \varepsilon_{r,Si} A} \left(\frac{1}{\mu_{nE0} E} + \frac{1}{v_{sat}} \right) \quad (4.87)$$

4.1.3.1 Gebiet mit konstanter Querschnittsfläche

Für das Gebiet 1 ergibt sich die Lösung für einen konstanten Querschnitt A_1 nach Trennung der Variablen und Integration von Gleichung 4.87.

$$y = \frac{1}{u_1} \left(E - E_{01} - u_2 \ln \left| \frac{E + u_2}{E_{01} + u_2} \right| \right) \quad (4.88)$$

$$u_1 = \frac{qN_E}{\varepsilon_0 \varepsilon_{r,Si}} - \frac{I_D}{\varepsilon_0 \varepsilon_{r,Si} A_1 v_{sat}} \quad (4.89)$$

$$u_2 = -\frac{I_D}{\varepsilon_0 \varepsilon_{r,Si} A_1 \mu_{nE0} u_1} \quad (4.90)$$

E_{01} wird durch das Modell der Akkumulationsregion festgelegt. y_1 sei der Ort, an dem die Feldstärke nach Gleichung 4.88 null wird.

$$y_1 = \frac{1}{u_1} \left(-E_{01} - u_2 \ln \left| \frac{u_2}{E_{01} + u_2} \right| \right) \quad (4.91)$$

durch jedoch unstetig.

$$y_1 \approx -\frac{E_{01}}{u_1} \quad (4.95)$$

$$E_{12} \approx \begin{cases} 0 \frac{V}{m} & : y_1 \in [0 \text{ m}, y_c] \\ u_1 y_c + E_{01} & : y_1 \notin [0 \text{ m}, y_c] \end{cases} \quad (4.96)$$

$$U_{r1} \approx \begin{cases} -\frac{u_1}{2} y_1^2 - E_{01} y_1 & : y_1 \in [0 \text{ m}, y_c] \\ -\frac{u_1}{2} y_c^2 - E_{01} y_c & : y_1 \notin [0 \text{ m}, y_c] \end{cases} \quad (4.97)$$

4.1.3.2 Gebiet mit variabler Querschnittsfläche

Gebiet 2 existiert nur, wenn der Halbleiter unterhalb von y_c noch nicht neutral ist. Dies ist im Quasisättigungs- und bei größerer Drain-Source-Spannung im Sättigungs-, Unterschwellstrom- und Blockierbereich der Fall.

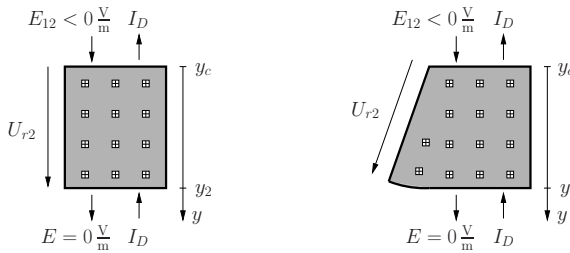


Bild 4.17: Gebiet 2, \boxplus ionisiertes Donatoratom, Elektronen sind nicht dargestellt, (links) bei kleiner Drain-Source-Spannung im Sättigungs-, Unterschwellstrom- und Blockierbereich, (rechts) im Quasisättigungsbereich

In Gebiet 2 ist die stromdurchflossene Querschnittsfläche

$$A_2 = A_1 + (y - y_c) \underbrace{w \frac{\arccos \frac{w_{DS,RLZ} + d_B - y_c}{y_2 - y_c}}{\text{rad}}}_{A_y} \quad (4.98)$$

abhängig von der Tiefe y und setzt sich aus einem Kreissegment und einer Strecke sowie der Weite w zusammen. Gleichung 4.103 liefert die Weite der Body-Drain Raumladungszone $w_{DS,RLZ}$ (siehe Bild 4.18).

Der Aufweitungswinkel von Gebiet 2 ist nun durch den Schnittpunkt der Kreissegmente mit der Raumladungszonengrenze der Rückwärtsdiode festgelegt und variiert mit der strom- und spannungsabhängigen Tiefe y_2 . Der

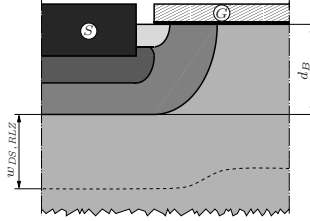


Bild 4.18: Tiefe des p-Body d_B und Weite der Body-Drain Raumladungszone $w_{DS,RLZ}$, - - Raumladungszonengrenze

Aufweitungswinkel wird im Sättigungs-, Unterschwellstrom- und Blockierbereich auf null begrenzt.

In der Raumladungszone von Gebiet 2 wird Sättigungsgeschwindigkeit angenommen. Der Feldverlauf nach Gleichung 4.87 ist

$$E = \frac{qN_E(y - y_c) - \frac{I_D}{v_{sat}A_y} \ln\left(1 + \frac{A_y}{A_1}(y - y_c)\right)}{\varepsilon_0\varepsilon_{r,Si}} + E_{12} \quad (4.99)$$

Das Ende der Raumladungszone y_2 ist iterativ mit

$$0 \frac{V}{m} = \frac{qN_E(y_2 - y_c) - \frac{I_D}{v_{sat}A_y} \ln\left(1 + \frac{A_y}{A_1}(y_2 - y_c)\right)}{\varepsilon_0\varepsilon_{r,Si}} + E_{12} \quad (4.100)$$

bestimmbar. Integrieren von Gleichung 4.99 liefert den Spannungsabfall über die Raumladungszone.

$$U_{r2} = \frac{1}{\varepsilon_0\varepsilon_{r,Si}} \left(\frac{I_D}{v_{sat}A_y} \left(\left(\frac{A_1}{A_y} + y_2 - y_c \right) \left(\ln \left(1 + \frac{A_y}{A_1}(y_2 - y_c) \right) \right) - y_2 + y_c \right) - \frac{qN_E}{2}(y_2 - y_c)^2 \right) - E_{12}(y_2 - y_c) \quad (4.101)$$

4.1.3.3 Neutrales Restgebiet

Das neutrale Restgebiet besteht aus dem oben schon berechneten Teilgebiet – so vorhanden – und dem Gebiet 3. Dort wird eine Strompfadaufweitung unter 45° angenommen, bis die gesamte Zellfläche gleichmäßig Strom führt. Der entsprechende Widerstand wird mit R_{n3} bezeichnet.

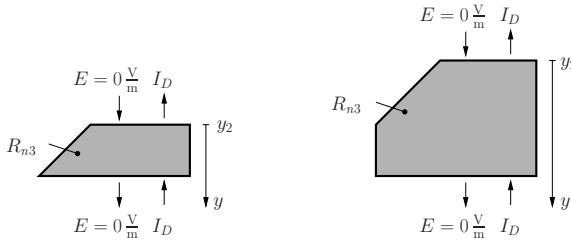


Bild 4.19: Gebiet 3

Der Epi-Widerstand ergibt sich letztlich zu

$$R_{Epi} = \frac{U_{r1} + U_{r2}}{I_D} + R_{n1} + R_{n3} \quad . \quad (4.102)$$

Für ein neutrales Epi-Gebiet wird er minimal und beträgt beim untersuchten DMOS 9,6 m Ω .

4.1.3.4 Ladungsmodell

Die Ladungen auf dem Gate sowie deren Gegenladung in der Akkumulationsschicht und dem Epi-Gebiet sind durch die Oxidkapazität zwischen Gate und Knoten *A* korrekt beschrieben.

Bei Stromfluß existieren in der Raumladungszone des Epi-Gebietes sich mit Sättigungsgeschwindigkeit bewegende Elektronen. Diese sind entweder schon in der Gegenladung zur Gate-Ladung enthalten (Sättigungsbereich) oder gehören zu einer nur zwischen Source und Drain liegenden Ladungsverteilung (Quasisättigungsbereich). Im Quasisättigungsbereich ist der DMOS derart niederohmig, daß der entsprechende Kapazitätsbeitrag zwischen Drain und Source vernachlässigt werden kann.

Interaktionen zwischen der vom Gate herrührenden Raumladungszone und derjenigen vom Body oder vom Kanalende *K* wurden bislang nicht berücksichtigt.

4.1.4 Epi-Body Raumladungszone

Die Body-Drain-Diode wird als einseitig abrupter Übergang angesehen. Mit der Weite der Raumladungszone

$$w_{DS,RLZ} = \sqrt{\frac{2\varepsilon_0\varepsilon_r S_i}{qN_E} \left(U_{DS} + \frac{kT}{q} \ln \frac{N_B N_E}{n_i^2} \right)} \quad , \quad (4.103)$$

der Fläche

$$A_{DS,RLZ} \approx (w_B^2 - (4 - \pi)(l + l_S)^2) (n_{Zellen} + n_{Dummies}) \quad (4.104)$$

– angenähert durch die Projektion in der Draufsicht – und der Epi-Dotierung N_E ergibt sich die Ladung der Raumladungszone zu

$$Q_{DS,RLZ} = qN_E A_{DS,RLZ} w_{DS,RLZ} \quad . \quad (4.105)$$

Der in das Modell eingehende Verschiebungsstrom ist

$$I_{DS,RLZ} = \frac{dQ_{DS,RLZ}}{dt} \quad . \quad (4.106)$$

Die exakte Wahl der Fläche ist wegen der volumenmäßigen Überschneidung mit der Raumladungszone unterhalb des Gate-Oxids bzw. mit den stromführenden Gebieten im Epi-Gebiet schwierig.

Der Rückwärtsdiodenstrom wird in dieser Arbeit nicht modelliert.

4.1.5 Epi-Substrat Übergangsgebiet

Der während des Aufwachsens der Epi-Schicht durch Autodoping und der folgenden thermischen Prozeßschritte vom Substrat in das Epi-Gebiet diffundierte Dotierungsanteil kann näherungsweise durch ein Gaußprofil beschrieben werden.

$$N_{Gau\beta} = N_{Sub} e^{-\frac{(d_{Epi} - y)^2}{t_{Gau\beta}^2}} \quad (4.107)$$

Um weitergehende Berechnungen zu ermöglichen, wird das Gaußprofil durch ein abschnittsweise exponentielles Dotierungsprofil angenähert (Bild 4.20). Der Einfluß des Diffusionsprofils auf den Widerstand ist dort am größten,

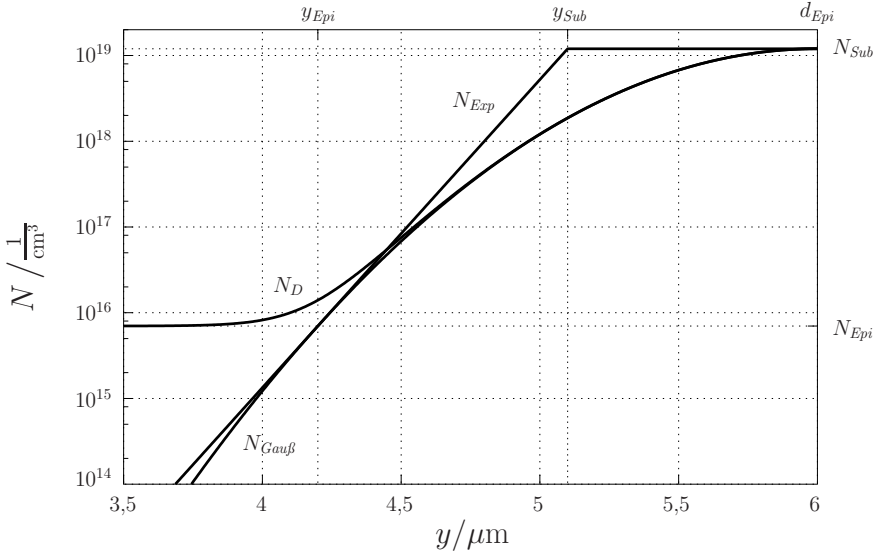


Bild 4.20: Dotierstoffkonzentration im diffundierten Epi-Substrat Übergangsgebiet

wo das Gaußprofil und Epi-Dotierung gleich groß sind. Wird die Näherung an diesem Ort durchgeführt, so sind Abweichungen auch an von dort entfernten Orten am geringsten (geringe, zur Epi-Dotierung additive Komponente in Richtung Oberfläche und geringer Widerstandsbeitrag in Richtung Substrat wegen der hohen, zusätzlichen Dotierung). Werte und Ableitungen von Gaußprofil und exponentiellem Profil werden deshalb am Ort $N_{Gauß}(y_{Epi}) = N_{Epi}$ gleichgesetzt.

$$N_D(y) \approx N_{Epi} + N_{Exp}(y) \quad (4.108)$$

$$N_{Exp} = \begin{cases} N_{Sub} e^{-2\sqrt{\ln \frac{N_{Sub}}{N_{Epi}}} \frac{y_{Sub}-y}{l_{Gauß}}} & : y \leq y_{Sub} \\ N_{Sub} & : y \geq y_{Sub} \end{cases} \quad (4.109)$$

$$y_{Sub} = d_{Epi} - \frac{l_{Gauß}}{2} \sqrt{\ln \frac{N_{Sub}}{N_{Epi}}} \quad (4.110)$$

Zuerst wird der Widerstand berechnet, um den sich der Epi-Widerstand zwischen Oberfläche und dem Ort der Näherung y_{Epi} durch die Ausdiffusion verringert. Da die charakteristische Länge des Exponentialprofils klein ge-

genüber den geometrischen Grenzen der Epi-Struktur ist¹¹, kann die untere Integrationsgrenze näherungsweise auf $-\infty$ gesetzt werden. Es ergibt sich

$$R_{\ddot{U}1} \approx \int_{-\infty}^{y_{Epi}} \frac{1}{q\mu_n A} \left(\frac{1}{N_D(y)} - \frac{1}{N_{Epi}} \right) dy = \frac{l_{Gau\beta} \ln 2}{2q\mu_n A N_{Epi} \sqrt{\ln \frac{N_{Sub}}{N_{Epi}}}} \quad (4.111)$$

$$y_{Epi} = d_{Epi} - l_{Gau\beta} \sqrt{\ln \frac{N_{Sub}}{N_{Epi}}} \quad . \quad (4.112)$$

Als nächstes wird der Widerstand zwischen y_{Epi} und dem oberen Knickpunkt des abschnittsweise exponentiellen Profils berechnet. Mit $N_{Sub} \gg N_{Epi}$ ergibt sich

$$R_{\ddot{U}2} = \int_{y_{Epi}}^{y_{Sub}} \frac{1}{q\mu_n A N_D(y)} dy \approx \frac{l_{Gau\beta} \ln 2}{2q\mu_n A N_{Epi} \sqrt{\ln \frac{N_{Sub}}{N_{Epi}}}} \quad . \quad (4.113)$$

Die Widerstandsanteile $R_{\ddot{U}1}$ und $R_{\ddot{U}2}$ kompensieren sich gegenseitig.

Der verbleibende Widerstandsanteil zwischen oberem Knickpunkt y_{Sub} und der Epi-Schichtgrenze d_{Epi}

$$R_{\ddot{U}3} = \frac{d_{Epi} - y_{Sub}}{q\mu_n A N_{Sub}} = \frac{l_{Gau\beta} \sqrt{\ln \frac{N_{Sub}}{N_{Epi}}}}{2q\mu_n A N_{Sub}} \quad (4.114)$$

ist wegen der hohen Substratdotierung vernachlässigbar klein.

Beim untersuchten DMOS sind $R_{\ddot{U}1} = R_{\ddot{U}2} = 0,139 \text{ m}\Omega$. Der durch die letzten drei Näherungen entstandene Gesamtfehler beträgt $-0,8 \text{ }\mu\Omega$. Der Fehler durch die Näherung mit dem Exponentialprofil kann mittels numerischer Integration zu $-23,8 \text{ }\mu\Omega$ bestimmt werden.

Ergebnis dieser Untersuchung ist weniger die Berechnung eines vernachlässigbaren Widerstandsanteils, als vielmehr der Nachweis, daß bei der Modellierung mit großer Genauigkeit ersatzweise eine abrupte Dotierungsstufe im Abstand

$$d_{\text{Übergang}} = l_{Gau\beta} \sqrt{\ln \frac{N_{Sub}}{N_{Epi}}} \quad (4.115)$$

von der Epi-Substrat-Grenze d. h. im Schnittpunkt des Gaußprofils mit der konstanten Epi-Dotierung angenommen werden kann.¹²

¹¹ $y_{RLZ,max} \gg \frac{l_{Gau\beta}}{2\sqrt{\ln \frac{N_{Sub}}{N_{Epi}}}}$

¹²Dieses Ergebnis wird nochmals in Abschnitt 4.1.7.2 benutzt werden.

4.1.6 Substrat

Wegen der hohen Dotierung hat der Substratwiderstand

$$R_{Sub} = \frac{d_{Sub}}{q\mu_n A N_{Sub}} \quad (4.116)$$

beim untersuchten DMOS nur $R_{Sub} = 0,21 \text{ m}\Omega$.

4.1.7 Source-Bahnwiderstände

Die Dotierung des n^+ -Source-Gebietes kann näherungsweise durch ein in horizontaler Richtung homogen dotiertes Gebiet unterhalb des BPSG und ein horizontal gaußförmig ausdiffundiertes Profil unterhalb des Poly-Gate beschrieben werden.

$$N_S = N_{S0} e^{-\frac{x_{S,Gau\beta}^2 + (\vartheta y)^2}{l_{S,Gau\beta}^2}} \quad (4.117)$$

$$x_{S,Gau\beta} = \begin{cases} x - \frac{w_{\text{Öffnung}}}{2} & : x \geq \frac{w_{\text{Öffnung}}}{2} \\ 0 \text{ m} & : x \leq \frac{w_{\text{Öffnung}}}{2} \end{cases} \quad (4.118)$$

$$\vartheta = \frac{l_S}{d_S} \quad (4.119)$$

ϑ repräsentiert die in horizontaler und vertikaler Richtung unterschiedlich große Ausdiffusion.

4.1.7.1 Gebiet mit homogener Dotierung

Zur Berechnung der Bahngebietsweite werden äquivalent zu Bild 4.4 Strecken und Kreissegmente verwendet. Der Bahnwiderstand ergibt sich durch Integrieren des Widerstandsbelages

$$R_{S,homogen} = \frac{1}{2\pi q\mu_n N_{S0}'' n_{Zellen}} \ln \left(\frac{\pi}{4} \left(\frac{w_{\text{Öffnung}}}{w_{\text{Kontakt}}} - 1 \right) + 1 \right) \quad (4.120)$$

$$\begin{aligned} N_{S0}'' &= \int_{0 \text{ m}}^{d_S - y_{S,RLZ}} N_S(y) dy \\ &\approx \frac{\sqrt{\pi} l_{S,Gau\beta}}{2\vartheta} N_{S0} \quad , \end{aligned} \quad (4.121)$$

wobei $N''_{S0} = 1,28 \cdot 10^{15} \frac{1}{\text{cm}^2}$ etwa der Source-Implantationsdosis entspricht. Das Integral über die Gaußfunktion wird nicht nur bis zur Raumladungszone, sondern vereinfachend bis ins Unendliche durchgeführt.

Für den untersuchten DMOS ergibt sich $R_{S, \text{homogen}} = 2,4 \mu\Omega$.

4.1.7.2 Gebiet mit Dotierungsgradient

In der Literatur wurde der Widerstand dieses Gebietes schon unterschiedlich betrachtet. Der Ansatz in [30] benutzt ein Modell mit Stromeinschnürung unter konstantem Winkel, um den Widerstand des n^+ -Gebietes zu beschreiben. In [13] liegt parallel dazu die Leitfähigkeit der Akkumulationsschicht. Ein anderes Konzept verfolgt [18], in dem die Kanallänge durch die Gate-Source-Spannung verändert wird.

Hier wird ein neues Modell entwickelt, das die Elemente Parallelschaltung und veränderliche Kanallänge mit dem Ergebnis aus Abschnitt 4.1.5 vereint.

In Bild 4.21 ist zu erkennen, daß die Stromflußlinien in horizontaler Richtung etwa dem Dotierverlauf folgen und entsprechend des Widerstandsverhältnisses von Akkumulationsschicht zu dotiertem Gebiet nach und nach in die Akkumulationsschicht einmünden. Dies entspricht einer verteilten Parallelschaltung der Leitfähigkeit des dotierten Gebietes und der Akkumulationsschicht an der Oberfläche.

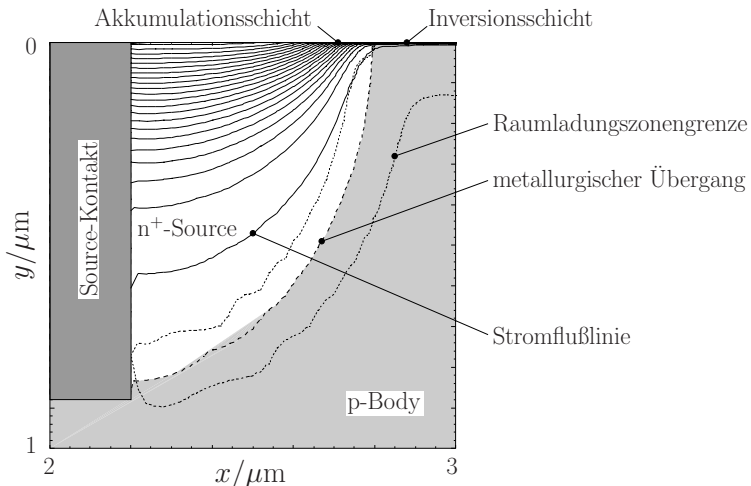


Bild 4.21: Stromverlauf im inhomogen dotierten Source-Gebiet

Bild 4.22 zeigt die zur Leitfähigkeit beitragenden Flächenladungsträgerdichten der Elektronen. Wegen des gaußförmigen Dotierungsprofils fällt die Flachbandspannung

$$U_{FB,S} \approx \frac{kT}{q} \left(-\frac{\left(x - \frac{w_{\text{Öffnung}}}{2}\right)^2}{l_{S,Gauß}^2} + \ln \frac{N_{S0}}{N_{D,Polý}} \right) \quad 13 \quad (4.122)$$

parabelförmig ab und die Ladungsträgerdichte der Akkumulationsschicht

$$n''_{\text{Akku}} = \frac{C''_{Ox}}{q} (U_{GS} - U_{FB,S}) \quad (4.123)$$

steigt entsprechend parabelförmig.

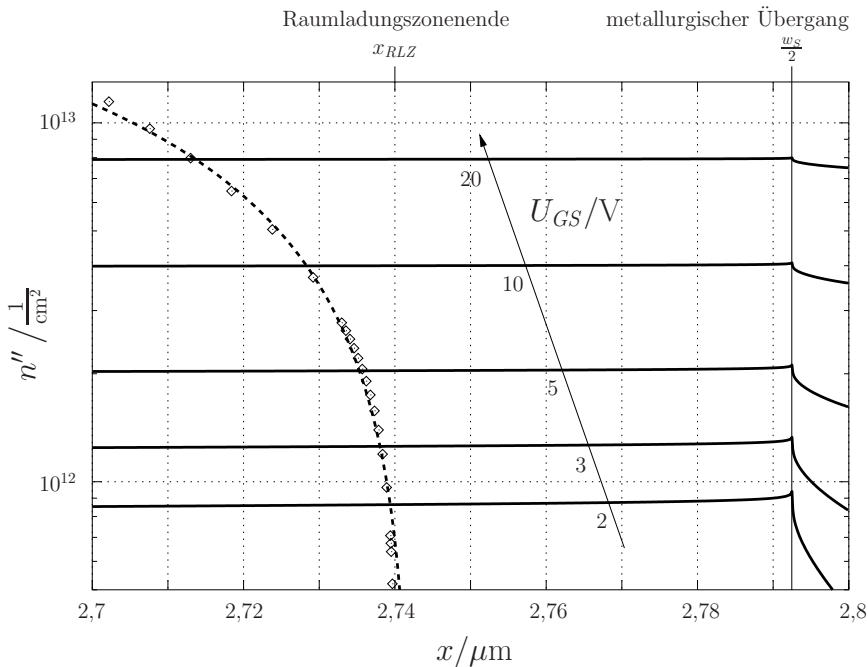


Bild 4.22: Flächenladungsträgerdichten der Elektronen bei $U_{DS} = 0\text{V}$ (vgl. Bild 3.3): — Akkumulationsschicht nach Gleichung 4.123, \diamond Dotierungsprofil numerisch integriert nach Gleichung 4.124, - - - Fit-Funktion nach Gleichung 4.126

¹³Body- und Epi-Dotierung sind gegenüber der Source-Dotierung vernachlässigbar klein.

Die Flächenladungsträgerdichte des Dotierungsprofils

$$N''_S = \int_{0_m}^{d_S - y_S, RLZ} N_S(x, y) dy \quad (4.124)$$

kann leider nicht durch Integrieren der Gaußfunktion von der Oberfläche bis Unendlich

$$N''_S \approx N''_{S0} e^{-\frac{x_S^2, Gauß}{l_{S, Gauß}^2}} \quad (4.125)$$

angenähert werden, da sonst die Ungenauigkeiten im interessierenden Bereich nahe der Raumladungszone zu groß würden. Daher wird die Integration von der Oberfläche bis zur Raumladungszonengrenze numerisch durchgeführt und die Funktion

$$N''_F = N''_f e^{\left(\frac{x-x_f}{l_f}\right)^2} - N''_{f0} \quad (4.126)$$

an das Ergebnis mit einer Ausgleichsrechnung angepaßt.¹⁴

Da im Bereich um den Schnittpunkt beider Flächenladungsträgerdichten

$$x_s \approx x_f + l_f \sqrt{\ln \frac{N''_f}{N''_{f0} + \frac{C''_{Ox}}{q}(U_{GS} - U_{FB,S}(x_{RLZ}))}} \quad {}^{15} \quad (4.127)$$

die der Akkumulationsschicht näherungsweise konstant ist und die der Dotierung mehr als exponentiell abfällt, kann laut Abschnitt 4.1.5 der Widerstand des inhomogen dotierten Gebietes als der Widerstandsanteil der Akkumulationsschicht vom Schnittpunkt bis zum metallurgischen Übergang bestimmt werden.

$$R_{S,inh} = \int_{x_s}^{\frac{w_S}{2}} \frac{1}{\mu_n C''_{Ox}(U_{GS} - U_{FB,S})w} dx \quad (4.128)$$

¹⁴Die Raumladungszonenweite ist beim DMOS näherungsweise konstant, da die Source-Body-Spannung vernachlässigbar ist. Sollte das beschriebene Modell auch für den Fall veränderlicher Raumladungszonenweiten angepaßt werden, so kann in grober Näherung

die Funktion $N''_F \approx N''_{S0} \left(\exp \left(-\frac{\left(x - \frac{w_{\text{Öffnung}}}{2}\right)^2}{l_{S, Gauß}^2} \right) - \exp \left(-\frac{\left(x_{RLZ} - \frac{w_{\text{Öffnung}}}{2}\right)^2}{l_{S, Gauß}^2} \right) \right)$ benutzt werden. Steht im Schaltungssimulator die error-function zur Verfügung, kann auf die Fit-Funktion sogar ganz verzichtet werden, wobei dann der Schnittpunkt x_s iterativ bestimmt werden muß.

¹⁵Zur Berechnung wird die Flachbandspannung als konstant angenähert.

Bei der Integration wird üblicherweise die Beweglichkeit als konstant angesehen und die Abhängigkeit der Oberflächenbeweglichkeit vom vertikalen Feld erst nachträglich durch

$$\mu_{SS} = \frac{\mu_{nS0}}{1 + \Theta_S(U_{GS} - U_{FB,S}(x_{RLZ}))} \quad (4.129)$$

berücksichtigt, wobei μ_{nS0} die über den betrachteten Bereich entsprechend gemittelte Beweglichkeit ist.

Für eine lineare Struktur mit konstanter Weite w ergibt sich

$$R_{S,inh,lin} = \frac{l_{S,Gau\beta}}{\mu_{SS} C''_{Ox} \frac{kT}{q} gw} \left[\frac{\arctan \frac{x - \frac{w_{\text{Öffnung}}}{2}}{l_{S,Gau\beta} g}}{\text{rad}} \right]_{x=x_s}^{x=\frac{w_S}{2}} \quad (4.130)$$

$$g = \sqrt{\frac{q}{kT} U_{GS} - \ln \frac{N_{S0}}{N_{D,Pol\gamma}}} \quad (4.131)$$

In Bild 4.23 ist das Ergebnis für die Fit-Parameter $\Theta_S = 0,0564381 \frac{1}{V}$ und $\mu_{nS0} = 249,337 \frac{\text{cm}^2}{V \cdot \text{s}}$ aufgetragen.

Für die DMOS-Struktur mit zentralem Source-Kontakt, deren Weite sich entsprechend Bild 4.4 ändert, ergibt sich

$$R_{S,inh,quad} = \frac{l_{S,Gau\beta}^2}{\mu_{SS} C''_{Ox} \frac{kT}{q} (h_2^2 - 2\pi h_2 h_1 + 4\pi^2 h_0) n_{Zellen}} \cdot \left[\pi \ln \left| \frac{(2\pi x + h_2)^2}{x^2 + h_1 x + h_0} \right| + 2 \frac{h_2 - \pi h_1}{\sqrt{4h_0 - h_1^2}} \frac{\arctan \frac{2x + h_1}{\sqrt{4h_0 - h_1^2}}}{\text{rad}} \right]_{x=x_s}^{x=\frac{w_S}{2}} \quad (4.132)$$

$$h_0 = \left(\frac{q}{kT} U_{GS} - \ln \frac{N_{S0}}{N_{D,Pol\gamma}} \right)^2 l_{S,Gau\beta}^2 + \frac{w_{\text{Öffnung}}^2}{4} \quad (4.133)$$

$$h_1 = -w_{\text{Öffnung}} \quad (4.134)$$

$$h_2 = (4 - \pi)w_{\text{Kontakt}} \quad (4.135)$$

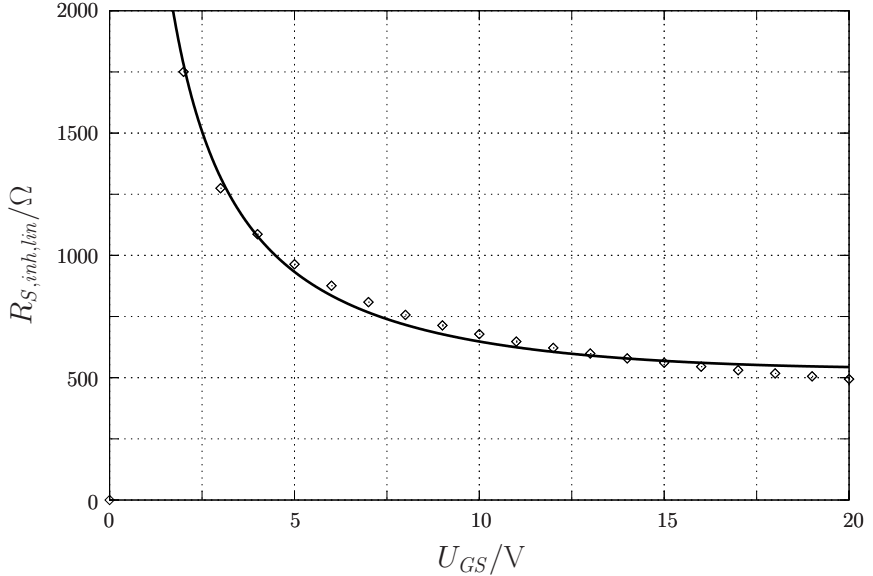


Bild 4.23: Widerstand des inhomogen dotierten Gebietes einer Einzelzelle: — Gleichung 4.130, \diamond Device-Simulation

4.1.8 Oxidkapazitäten im Zellenfeld

Die Flächenanteile der Oxidkapazitäten zwischen Gate-Source, Gate-Body und Gate-Akkumulationsregion können durch einfache geometrische Berechnungen gewonnen werden.

$$C_{GS,area} = n_{Zellen}\varepsilon_0\varepsilon_{r,Ox} \left(\frac{4d_{Poly}w_{Kontakt}}{l_{BPSG}} + \frac{w_{Zelle}^2 - w_{\text{Öffnung}}^2}{d_{TEOS}} + \frac{4l_S w_{\text{Öffnung}} + \pi l_S^2}{d_{GOX}} \right) \quad (4.136)$$

$$C_{GB,Ox} = n_{Zellen}\varepsilon_0\varepsilon_{r,Ox} \frac{4lw_{\text{Öffnung}} + (l + 2l_S)\pi l}{d_{GOX}} \quad (4.137)$$

$$C_{GA,Ox} = n_{Zellen}\varepsilon_0\varepsilon_{r,Ox} \frac{w_{Zelle}^2 - w_B^2 + (4 - \pi)(l + l_S)^2}{d_{GOX}} \quad (4.138)$$

Kapazitätsanteile durch Kantenstrukturen sind erfaßbar, indem die Kantenlänge mit einem längenbezogenen Kapazitätsbelag C'_{fringe} multipliziert

wird. Die Größe des Belags ist abhängig von der Kantengeometrie $\frac{a}{b}$ in Bild 4.24. Um eine Formel für diesen Zusammenhang zu finden, wird für verschiedene Geometrien der Feldverlauf an einem Kantenquerschnitt berechnet.

Da die Kante den Feldverlauf auch in ihrer nächsten Umgebung beeinflusst, wird an die Kanten jeweils ein gerades Stück mit der Länge des dreifachen Plattenabstands angehängt. Für die Berechnung des Feldverlaufs mit bis zu 250000 Knoten kommt das lexikographische Gauß-Seidel-Verfahren [33] zum Einsatz.

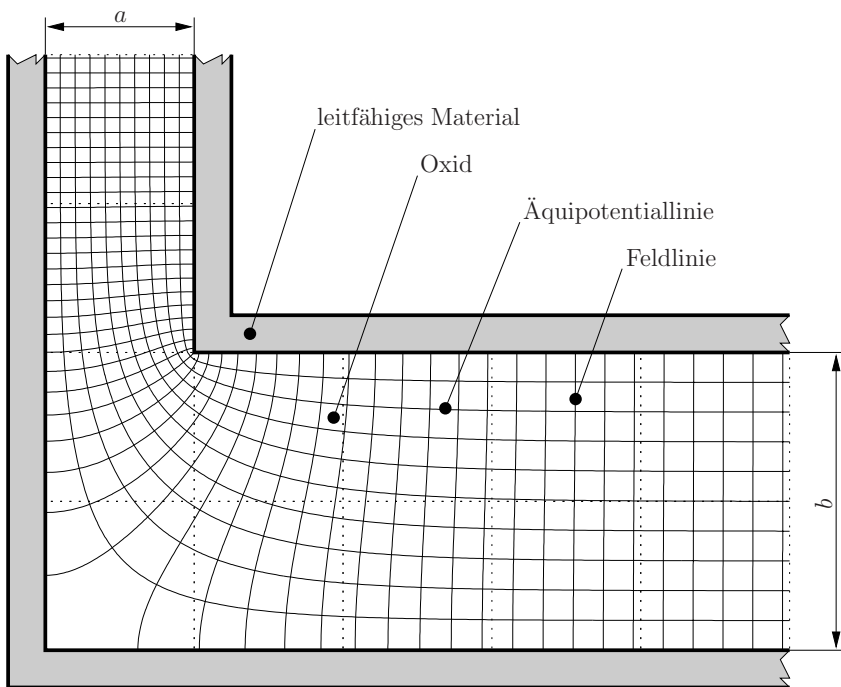


Bild 4.24: Fringing-Kapazität: Feldlinien und Äquipotentiallinien an einer Kantenstruktur

Der gesamte Kapazitätsbelag wird extrahiert und von diesem die Flächenanteile subtrahiert. An die so gewonnenen Daten kann die Funktion

$$C'_{fringe} \approx \varepsilon_0 \varepsilon_{r, Ox} \left(0,566 + 0,1713 \ln^2 \frac{a}{b} - 0,00538 \ln^4 \frac{a}{b} \right) \quad (4.139)$$

angepaßt werden. Das Ergebnis ist in Bild 4.25 gezeigt. Im Bereich $\frac{a}{b} \in [0,07, 14]$ liegt der Gesamtfehler bei etwa 1,4%, hauptsächlich verursacht durch die begrenzte Knotenzahl bei der Berechnung des Feldverlaufes.^{16 17}

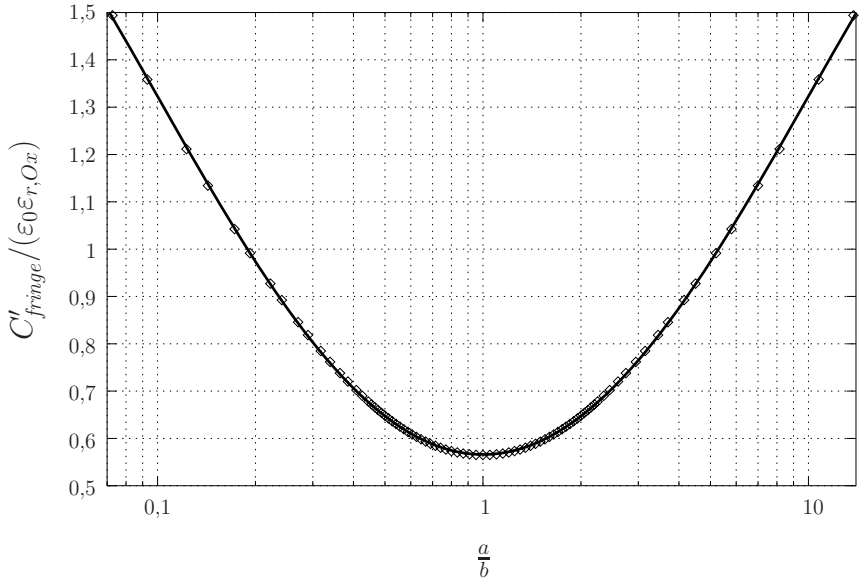


Bild 4.25: Fringing-Kapazitätsbelag: \diamond mit Gauß-Seidel-Verfahren berechnet, — Gleichung 4.139

Bei Verwendung der Formel sollten zwei Kanten mindestens einen Plattenabstand voneinander entfernt sein, damit das Feld zwischen den Kanten einigermaßen homogen wird.

$$\begin{aligned}
 C_{GS,fringe} &= 4n_{Zellen} \left(w_{Kontakt} C'_{fringe} \left(\frac{d_{TEOS}}{l_{BPSG}} \right) \right. \\
 &\quad \left. + w_{Kontakt} C'_{fringe} \left(\frac{d_{GOX}}{l_{BPSG}} \right) \right. \\
 &\quad \left. + d_{Poly} C'_{fringe}(1) \right) \quad (4.140)
 \end{aligned}$$

¹⁶Die Auswirkung der Knotenzahl auf den Gesamtfehler wurde durch Variation der Knotenzahl abgeschätzt.

¹⁷Die Fit-Funktion $C'_{fringe} \approx \epsilon_0 \epsilon_{r, Ox} \left(0,1743 \left| \ln \frac{a}{b} \right|^{1,751} + 0,565 \right)$ erweitert den Gesamtfehler auf etwa 2,4%, ist jedoch außerhalb der genannten Grenzen wesentlich gutmütiger.

Kapazitätsanteile durch Eckstrukturen können vernachlässigt werden.

$$C_{GS,Ox} = C_{GS,area} + C_{GS,fringe} \quad (4.141)$$

Für den untersuchten DMOS ergeben sich mit den Teilkapazitäten $C_{GS,area} = 357$ pF und $C_{GS,fringe} = 40$ pF die Oxidkapazitäten $C_{GS,Ox} = 397$ pF, $C_{GB,Ox} = 623$ pF und $C_{GA,Ox} = 1439$ pF. Die gesamte Gate-Oxidkapazität beträgt 2459 pF.

4.1.9 Gesamtmodell

Das Gesamtmodell einer Einzelzelle ist für den Schaltungssimulator Saber [3] realisiert. Die Parameter des Modells entstammen aus den Eingabedaten für den Device-Simulator sowie den in den vorangegangenen Abschnitten an die Device-Simulation angepaßten Modellteilen.

Das Gesamtmodell hat im Widerstands- und im Sättigungsbereich eine gute Übereinstimmung mit der Device-Simulation, da dort der interne, laterale MOS-FET dominiert und das Shichman-Hodges-Modell, wie in Bild 4.5 zu sehen ist, an die Device-Simulation gut angepaßt ist.

Der Quasisättigungsbereich zeigt ein prinzipiell korrektes Verhalten. Der Fit-Parameter y_c des in diesem Bereich dominanten Epi-Modells ist einfach gleich der Tiefe des Body-Gebietes gesetzt und nicht weiter angepaßt.

Beim Übergang vom Widerstands- in den Quasisättigungsbereich entstehen im Drain-Strom Unstetigkeiten. Ursache hierfür sind die starken, zweidimensionalen Zustandsänderungen an der n^- -Epi-Oberfläche, welche in diesem Bereich durch das in Abschnitt 4.1.2.1 dargestellte, quasiaendimensionale Modell der Akkumulationsregion zu ungenau beschrieben werden. Hinweise zur Modellverbesserung wurden schon in Abschnitt 4.1.2.2 gegeben.

4.2 Zellverband

4.2.1 Poly-Gate-Schicht

In Abschnitt 3.2.1.3 wurde schon eine Beschreibung der Poly-Gate-Schicht mittels Besselscher Funktionen erarbeitet. Die Verwendung dieser Funktionen würde viel Rechenzeit beanspruchen und normalerweise stehen sie in

Schaltungssimulatoren auch nicht zur Verfügung. Deshalb wird das Verhalten durch einen Tiefpaß erster Ordnung angenähert, welcher eine identische -3 dB Grenzfrequenz hat.

Wird die Definition der Grenzfrequenz für die Übertragungsfunktion der Poly-Gate-Schicht

$$\left| \frac{U_{GS,eff}}{U_{GS}}(f_{g,RC}) \right| = \frac{1}{\sqrt{2}} \quad (4.142)$$

eingesetzt in Gleichung 3.69, so ergibt sich

$$\left| -\frac{2}{(k^2 - 1)\xi_g r_P} \frac{J_1(k\xi_g r_P) Y_1(\xi_g r_P) - Y_1(k\xi_g r_P) J_1(\xi_g r_P)}{J_1(k\xi_g r_P) Y_0(\xi_g r_P) - Y_1(k\xi_g r_P) J_0(\xi_g r_P)} \right| = \frac{1}{\sqrt{2}} \quad (4.143)$$

mit der Grenzfrequenz $f_{g,RC}$ in Gleichung 3.67

$$\xi_g = \xi(f_{g,RC}) \quad (4.144)$$

und dem Verhältnis

$$k = \frac{r_C}{r_P} = \sqrt{\frac{x_{Chip} z_{Chip}}{x_{Pad} z_{Pad}}} \quad (4.145)$$

von Chip- zu Pad-Radius.

Der Tiefpaß muß die gleiche Kapazität wie die Poly-Gate-Schicht haben, damit diese im Modell durch die Kapazitäten der Poly-Gate-Schicht gegenüber anderen Strukturen repräsentiert wird. Zu modellieren bleibt dann nur noch ein zum Gate serieller Widerstand $R_{G,Poly}$ übrig, welcher nun berechnet wird.

Mit der Bedingung für die Übertragungsfunktion des RC-Tiefpasses bei der Grenzfrequenz $f_{g,RC}$

$$\left| \frac{1}{1 + j2\pi f_{g,RC} R_{G,Poly} (C_{GG} - C_{Pad})} \right| = \frac{1}{\sqrt{2}} \quad (4.146)$$

ergibt sich

$$\xi_g r_P = \sqrt{-j \frac{1}{k^2 - 1} \frac{2 \text{ rad}}{\delta} \frac{R_{\square,eff}}{R_{G,Poly}}} \quad (4.147)$$

Setzt man Gleichung 4.147 in Gleichung 4.143 ein, so kann der Gate-Widerstand $R_{G,Poly}$ in Abhängigkeit von den Geometrieparametern k , δ

und dem effektiven Schichtwiderstand $R_{\square eff}$ aus Gleichung 3.55 mit einem numerischen Verfahren zur Nullstellensuche berechnet werden.

Die so erhaltenen Werte sind in Bild 4.26 aufgetragen und können durch die Fit-Funktion

$$R_{G, Poly} = \frac{0,8931 \text{ rad}}{\delta} (\ln k)^{1,2544} R_{\square eff} \quad (4.148)$$

im Bereich $k \in [1,4, 100]$ mit einem relativen Fehler von 2,7% beschrieben werden.¹⁸

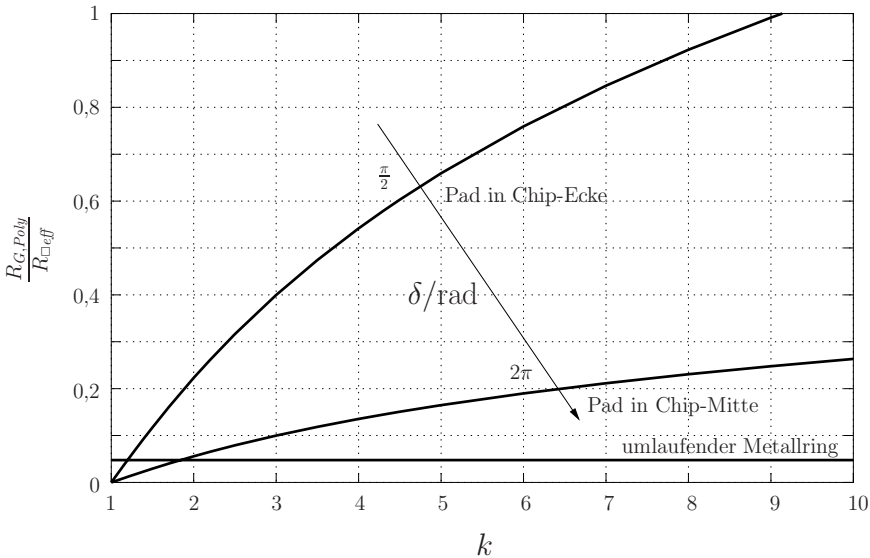


Bild 4.26: Gate-Widerstand

Der untersuchte DMOS hat einen Gate-Widerstand $R_{G, Poly} = 11,4 \Omega$.

Bild 4.27 zeigt, daß die Übertragungsfunktion in der Nähe der Grenzfrequenz ein einem RC-Tiefpaß entsprechendes Abknicken des Betrags hat und erst eine Frequenz-Dekade höher auf etwa 10 dB pro Dekade ausflacht. Fehler durch die Näherung mit einem Tiefpaß sind daher kaum praxisrelevant.

Analog erhält man

$$\left| \frac{2}{\xi_g r_M} \frac{J_1(\xi_g r_M)}{J_0(\xi_g r_M)} \right| = \frac{1}{\sqrt{2}} \quad (4.149)$$

¹⁸Im Bereich $k \in [1,16, 1,4]$ steigt der Fit-Fehler auf 14,6% an. Im Bereich darunter ist die Berechnung der Besselschen Funktionen mit der Implementierung nach Anhang B aufgrund numerischer Schwierigkeiten nicht mehr möglich.

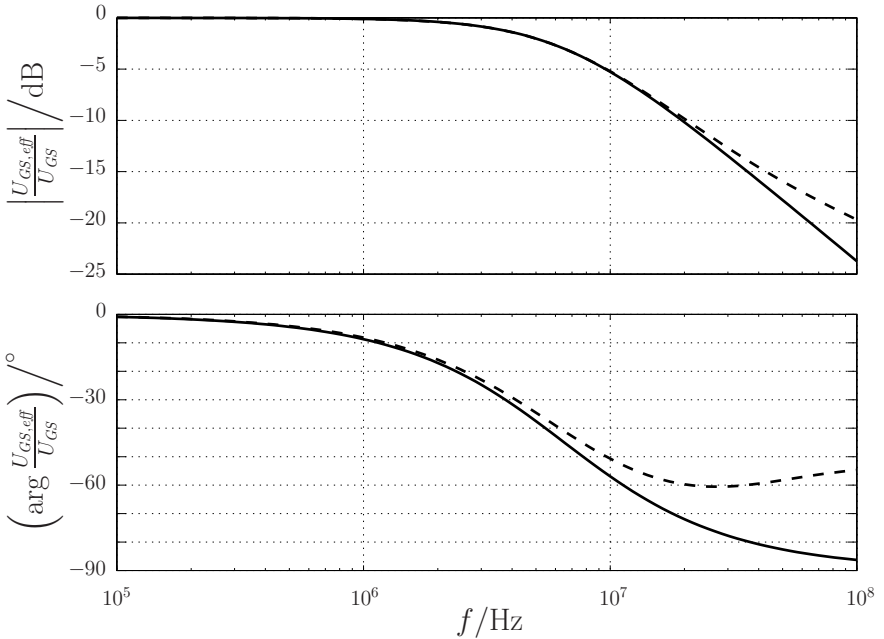


Bild 4.27: Übertragungsfunktion der Poly-Gate-Schicht des untersuchten DMOS, — Modell nach Gleichung 4.148, - - - Gleichung 3.69

$$\xi_g r_M = \sqrt{-j \frac{1}{\pi} \frac{R_{\square, \text{eff}}}{R_{G, \text{Poly}}}} \quad (4.150)$$

für die Anordnung mit umlaufendem Metallring. Die Lösung $R_{G, \text{Poly}} = 0,0476652 R_{\square, \text{eff}}$ ist von dem einzigen Geometrieparameter r_M unabhängig. Da die Übertragungsfunktion sofort nach dem Abknicken mit nur 10 dB pro Dekade abfällt, gibt die Näherung mit dem RC-Tiefpaß die realen Verhältnisse für höhere Frequenzen nur schlecht wieder.

4.2.2 Source-Metallisierung

Auch bei der Modellierung der Source-Metallisierung sind die Besselschen Funktionen aus Abschnitt 3.2.2 störend. Der kleinste, in Realität auftretende Widerstand des restlichen, verteilten Systems $R_{\text{MOS}+\text{Epi}+\text{Substrat}}$ ist etwa 20 mΩ. Betrachtet man Bild 3.51, so kann festgestellt werden, daß dieser Wert immer noch vor dem Knick der Kurve liegt. Deshalb kann dieser Widerstand als dominant angenommen werden und es ergibt sich eine konstante

Stromdichte. Der Strom innerhalb des Radius r ist

$$I(r) = I_S \left(1 - \frac{r^2}{r_M^2} \right) \quad (4.151)$$

Der dicke Bonddraht bewirkt eine niederohmige Bondungsfläche, über die in lateraler Richtung kein nennenswerter Spannungsabfall auftritt. Außerhalb der Bondungsfläche ($r > r_B$) kann der Spannungsabfall auf der AlSi-Metallisierung nun durch einfaches Integrieren der Differentialgleichung $\frac{dU_{MS}}{dr} = -R'I$ mit dem Widerstandsbelag $R' = \frac{R_{\square AlSi}}{2\pi r}$ im Polarkoordinatensystem berechnet werden.

$$\begin{aligned} U_{MS}(r) &= \int_{r_B}^{r_M} -\frac{R_{\square AlSi} I(r)}{2\pi r} dr \\ &= \frac{R_{\square AlSi} I_S}{2\pi} \left(\frac{r^2 - r_B^2}{2r_M^2} - \ln \frac{r}{r_B} \right) \end{aligned} \quad (4.152)$$

Durch die dicke Kupferplatte liegt der Chip drain-seitig homogen auf einem Potential. Die Struktur aus MOS, Epi und Substrat wird nun als in lateraler Richtung homogen und in vertikaler Richtung mit einem flächenbezogenen Leitwert $G'' = \frac{G}{A} = \frac{1}{AR_{MOS+Epi+Substrat}}$ leitendes Material betrachtet und ganz allgemein für sich berechnet (Bild 4.28).

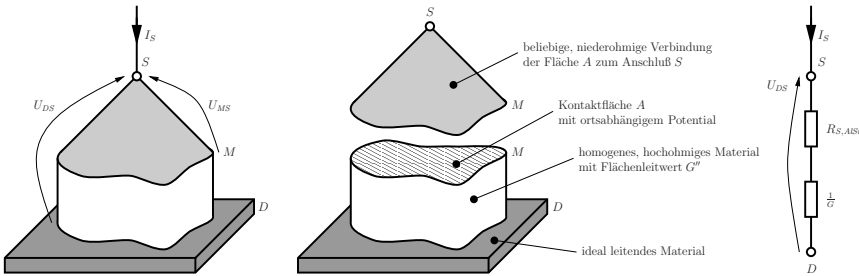


Bild 4.28: verteiltes System und äquivalente, diskrete Ersatzwiderstände

Der Stromanteil dI_S eines Flächenelementes dA ist wegen vernachlässigbarer horizontaler Feldkomponenten (möglich durch die Annahme des dominanten, vertikalen Widerstandes)

$$dI_S = (U_{MS} - U_{DS})G'' dA \quad (4.153)$$

Der Gesamtstrom durch dieses Medium ergibt sich somit zu

$$\begin{aligned} I_S &= \int_A (U_{MS} - U_{DS}) G'' \, dA \\ &= \frac{G}{A} \int_A U_{MS} \, dA - G U_{DS} \quad . \end{aligned} \quad (4.154)$$

Das verteilte System soll nun durch zwei diskrete, in Serie geschaltete Widerstände $R_{S,AlSi}$ der AlSi-Metallisierung und $\frac{1}{G}$ des homogenen Materials beschrieben werden.

$$R_{S,AlSi} + \frac{1}{G} = -\frac{U_{DS}}{I_S} \quad (4.155)$$

Dabei müssen der Leitwert G und der Gesamtwiderstand $-\frac{U_{DS}}{I_S}$ im verteilten System jeweils mit denen im diskreten System übereinstimmen. Umformen von Gleichung 4.154 und Einsetzen in Gleichung 4.155, ergibt den die AlSi-Metallisierung beschreibenden, diskreten Widerstand

$$R_{S,AlSi} = -\frac{1}{AI_S} \int_A U_{MS} \, dA \quad (4.156)$$

als den Flächenmittelwert des Spannungsabfalls auf der Metallisierung pro Gesamtstrom.¹⁹ Für das rotationssymmetrische System erhält man schließlich mit Gleichung 4.152

$$\begin{aligned} R_{S,AlSi} &= -\frac{1}{\pi r_M^2 I_S} \int_{r_B}^{r_M} U_{MS}(r) 2\pi r \, dr \\ &= \frac{R_{\square AlSi}}{\pi} \left(\frac{1}{2} \ln \frac{r_M}{r_B} - \frac{3}{8} + \frac{r_B^2}{2r_M^2} + \frac{r_B^4}{8r_M^4} \right) \quad . \end{aligned} \quad (4.157)$$

Dies ist die Asymptote von Gleichung 3.81 für $\lim_{R_{\square AlSi} G'' \rightarrow 0} \frac{1}{m^2}$ in Bild 3.51.

Bild 4.29 zeigt den Grenzwert in Abhängigkeit vom Radienverhältnis. Zur numerischen Berechnung wurde das lexikographische Gauß-Seidel-Verfahren [33] mit 10000 Knoten benutzt.

Für den untersuchten DMOS ergibt sich $R_{S,AlSi} = 0,725 \, \text{m}\Omega$. Dies sind nur einige Prozent des kleinstmöglichen Drain-Source-Gesamtwiderstandes²⁰, so daß sich Fehler durch die Annahme der Stromhomogenität im gesamten Betriebsbereich kaum auswirken.

¹⁹Diese allgemein gültige Erkenntnis wurde bereits in Abschnitt 4.1.2.1 bei der Berechnung des mittleren Oberflächenpotentials benutzt.

²⁰Der Widerstandsanteil wird durch die Wahl der Metallisierungsschichtdicke stets klein gehalten.

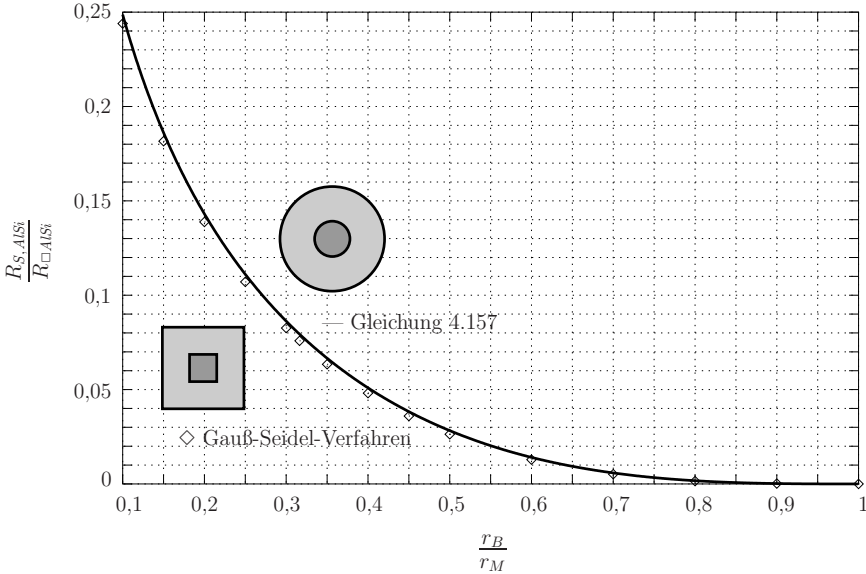


Bild 4.29: Widerstand der AlSi-Metallisierung unter der Bedingung, daß der Widerstand des restlichen, verteilten Systems dominant ist

4.3 Peripherie

4.3.1 Dummies, Zellenfeldrand und Pad

Das Zellenfeld des untersuchten DMOS besteht aus $n_{Zellen} = 37065$ Zellen. Davon sind $n_{Rand} = 777$ Randzellen. Da sich bei diesen Zellen der Stromfluß auf eine größere Fläche ausweiten kann, ist ihr Strombeitrag etwas größer als bei normalen Zellen. Eine Randzelle hat normalerweise nur eine von vier Seiten als Zellenfeldrand, so daß Randeffekte nur etwa $\frac{n_{Rand}}{4n_{Zellen}} = 0,52\%$ des Gesamtstroms beeinflussen und somit vernachlässigbar sind.

Die Raumladungszone zwischen Body und Drain der Dummyzellen wurde schon in Abschnitt 4.1.4 berücksichtigt.

Werden Raumladungszone unterhalb des Gate-Oxids in den $n_{Dummies} = 781$ Dummyzellen vernachlässigt, so hat das Poly-Gate noch eine konstante Kapazität nach Source

$$C_{GS,Dummies} = \frac{n_{Dummies}}{n_{Zellen}}(C_{GS,Ox} + C_{GB,Ox}) \quad (4.158)$$

von 21 pF. Die Oxidkapazität in den Dummies zum Akkumulationsregion

$$C_{GA,Dummies} = \frac{n_{Dummies}}{n_{Zellen}} C_{GA,Ox} \quad (4.159)$$

ist 30 pF.

Die Oxidkapazität unterhalb des Pads

$$C_{GA,Pad} = \frac{\varepsilon_0 \varepsilon_r \cdot x_{Pad} \cdot z_{Pad}}{d_{FOX}} \quad (4.160)$$

ist wegen des dicken Feldoxids nur 18 pF groß.

Der Abstand der letzten Pad-Kontaktreihe bis zur ersten Zellreihe in Bild 3.36 erhöht den Gate-Widerstand um

$$R_{G,Pad} = \frac{d_{Pad,Zellenfeld} R_{G,Poly} + w_{Zelle} R_{\square eff}}{x_{Pad} + z_{Pad}} \quad (4.161)$$

0,84 Ω .

4.3.2 Bonddrähte und Grundplatte

Der Gate-Bonddraht besitzt einen Durchmesser von $d_{G,Bond} = 0,085$ mm und ist $l_{G,Bond} = 4,5$ mm lang. Der Source-Bonddraht hat $d_{S,Bond} = 0,35$ mm und ist $l_{S,Bond} = 4$ mm lang. Beide Bonddrähte verlaufen 1 mm über der Grundplatte und bestehen aus Aluminium.

$$R_{Bond} = \frac{4l_{Bond}\rho_{Al}}{\pi d_{Bond}^2} \quad (4.162)$$

Die Grundplatte aus Kupfer liefert aufgrund ihrer Dicke von 1,3 mm keinen nennenswerten Widerstandsbeitrag. Der untersuchte DMOS hat $R_{G,Bond} = 21,7$ m Ω und $R_{S,Bond} = 1,14$ m Ω .

Die Berechnung der parasitären Induktivitäten im Gehäuse ist wegen der komplexen, geometrischen Verhältnisse (gebogene Bonddrähte und verteilter, inhomogener Stromfluß in der Grundplatte) nur mit Feldsimulatoren möglich. Deshalb wird das Problem hier nur durch eine sich langsam aufweitende, symmetrische Doppelleitung grob abgeschätzt.

$$\begin{aligned}
 L_{Bond} &\approx \int_{0 \text{ m}}^{l_{Bond}} L'(l) dl \\
 &= \frac{\mu_0}{\pi} \left(\frac{d_1 - r}{d_1 - d_0} \left(\left(\ln \frac{d_1 - r}{r} \right) - 1 \right) \right. \\
 &\quad \left. - \frac{d_0 - r}{d_1 - d_0} \left(\left(\ln \frac{d_0 - r}{r} \right) - 1 \right) \right) \quad (4.163)
 \end{aligned}$$

$$L' = \frac{\mu_0}{\pi} \ln \frac{d - r}{r} \quad (4.164)$$

Dabei sind d_0 und d_1 die Abstände der Leiter an ihrem Anfang und Ende und r der mittlere, äquivalente Leiterdurchmesser. Gleichung 4.164 gilt für eine Doppelleitung, bei der magnetische Felder im Leiter vernachlässigt wurden. Für den untersuchten DMOS ergeben sich $L_{GS,Bond} = 6,1 \text{ nH}$ und $L_{DS,Bond} = 2,0 \text{ nH}$.

Die Bonddrähte haben zueinander einen Winkel von 60° . Innerhalb des Gehäuses gibt es zwei Leiterschleifen (Gate-Source, Drain-Source) mit gemeinsamer Projektionsfläche, die eine Koppelinduktivität zur Folge haben. Die Koppelinduktivität wurde numerisch zu $M_{Bond} = 1,9 \text{ nH}$ abgeschätzt.

4.3.3 Pins

Die Widerstandsanteile der Pins

$$R_{Pin} = \frac{l_{Pin} \rho_{Cu}}{A_{Pin}} \quad (4.165)$$

bei einer Anschlußlänge außerhalb des Gehäuses von $l_{Pin} = 5 \text{ mm}$ sind $R_{G,Pin} = R_{S,Pin} = 0,14 \text{ m}\Omega$ und $R_{D,Pin} = 0,22 \text{ m}\Omega$. Bei Vernachlässigung von magnetischen Feldern innerhalb der Leiter ergeben sich die parasitären Induktivitäten

$$L_{GS,Pin} = \frac{\mu_0 l_{Pin}}{\pi} \ln \frac{2d - r}{r} \quad (4.166)$$

$$L_{DS,Pin} = \frac{\mu_0 l_{Pin}}{\pi} \ln \frac{d - r}{r} \quad (4.167)$$

$$M_{Pin} = \frac{\mu_0 l_{Pin}}{2\pi} \ln \frac{2d^2 - 3dr + r^2}{dr + r^2} \quad (4.168)$$

mit dem Leitermittenabstand d und dem äquivalenten Leiterradius r zu $L_{GS,Pin} = 4,6 \text{ nH}$, $L_{DS,Pin} = 3,8 \text{ nH}$ und $M_{Pin} = 2,0 \text{ nH}$.

4.4 Widerstandsanteile

Die Widerstandsanteile des Drain-Source-Pfades sind ihrer Wichtigkeit nach geordnet für $U_{DS} = 0 \text{ V}$ in Tabelle 4.3 zusammengestellt.

interner, lateraler MOS-FET	$R_{MOS}(U_{GS} = 4,5 \text{ V})$	12,5	mΩ
	$R_{MOS}(U_{GS} = 14 \text{ V})$	5,0	mΩ
Epi-Gebiet	R_{Epi}	9,6	mΩ
Akkumulationsschicht	$R_{Akk}(U_{GS} = 4,5 \text{ V})$	2,9	mΩ
	$R_{Akk}(U_{GS} = 14 \text{ V})$	1,4	mΩ
inhomogen dotiertes Source-Gebiet	$R_{S,inh}(U_{GS} = 4,5 \text{ V})$	1,32	mΩ
	$R_{S,inh}(U_{GS} = 14 \text{ V})$	0,74	mΩ
Source-Bonddraht	$R_{S,Bond}$	1,14	mΩ
Source-Metallisierung	$R_{S,AlSi}$	0,725	mΩ
Drain-Pin	$R_{D,Pin}$	0,22	mΩ
Substrat	R_{Sub}	0,21	mΩ
Source-Pin	$R_{S,Pin}$	0,14	mΩ
Epi-Substrat-Übergangsbereich	$R_{\ddot{u}}$	²¹ 0,0246	mΩ
homogen dotiertes Source-Gebiet	$R_{S,homogen}$	0,0024	mΩ
Einschaltwiderstand	$R_{DS,on}(U_{GS} = 4,5 \text{ V})$	28,7328	mΩ
	$R_{DS,on}(U_{GS} = 14 \text{ V})$	19,1528	mΩ

Tabelle 4.3: Widerstandsanteile des Einschaltwiderstandes $R_{DS,on}$ bei $U_{DS} = 0 \text{ V}$

Im Datenblatt wird für den Einschaltwiderstand $R_{DS,on} = 35 \text{ mΩ}$ als typischer Wert bei $U_{GS} = 4,5 \text{ V}$ und $I_D = 20 \text{ A}$ angegeben. U_{DS} ist dabei etwa $0,7 \text{ V}$.

4.5 Ersatzschaltbild

Bild 4.30 zeigt das Ersatzschaltbild des Bauteils mit den Werten des untersuchten DMOS. Dabei wurden einige Elemente zusammengefaßt.

²¹Epi-Gebiet und Substrat sind in dieser Tabelle als homogen dotiert und an der Stelle des Schnittpunktes von Gaußprofil und konstant angenommener Epi-Dotierung als aneinander angrenzend angenommen. Bei dem angegebenen Wert handelt es sich also nicht um den Widerstand zwischen diesem Schnittpunkt und der Grenze zwischen Epi-Schicht und Substrat, welcher bei $0,139 \text{ mΩ}$ liegt und hier dem Epi-Gebiet zugeschlagen ist, sondern um den durch die genannte Vereinfachung entstandenen Fehler. Näheres dazu in Abschnitt 4.1.5.

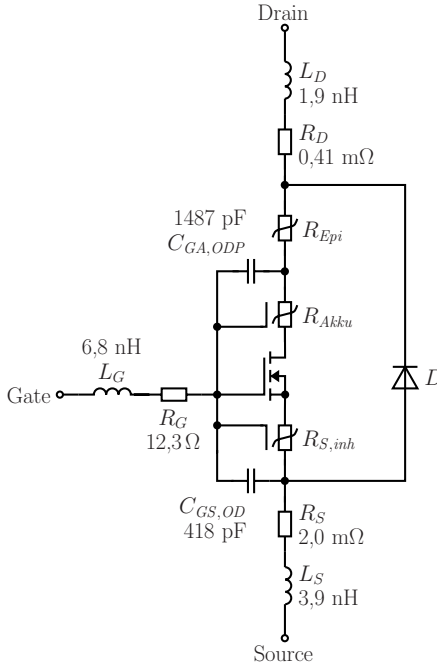


Bild 4.30: Ersatzschaltbild

$$L_D = L_{DS,Bond} + L_{DS,Pin} - L_S \quad (4.169)$$

$$L_G = L_{GS,Bond} + L_{GS,Pin} - L_S \quad (4.170)$$

$$L_S = M_{Bond} + M_{Pin} \quad (4.171)$$

$$R_D = R_{\check{v}} + R_{Sub} + R_{D,Pin} \quad (4.172)$$

$$R_G = R_{G,Poly} + R_{G,Pad} + R_{G,Bond} + R_{G,Pin} \quad (4.173)$$

$$R_S = R_{S,homogen} + R_{S,AlSi} + R_{S,Bond} + R_{S,Pin} \quad (4.174)$$

$$C_{GA,ODP} = C_{GA,Ox} + C_{GA,Dummies} + C_{GA,Pad} \quad (4.175)$$

$$C_{GS,OD} = C_{GS,Ox} + C_{GS,Dummies} \quad (4.176)$$

Die Diode repräsentiert die Raumladungszone zwischen Body und Drain.

Im Symbol des internen MOS-FET ist dessen Ladungsmodell schon enthalten.

Im Ersatzschaltbild ist die Abhängigkeit des Epi-Widerstands vom unter der Akkumulationssschicht vorhandenen elektrischen Feld nicht eingezeichnet.

4.6 Grenzfrequenz

Die Grenzfrequenz des Bauteils wird durch zwei Elemente bestimmt.

Fällt der differentielle Einschaltwiderstand $r_{DS} = \frac{dU_{DS}}{dI_D}$ im Widerstandsbereich aufgrund einer hohen Gate-Source-Spannung unter eine bestimmte Größe, so wird der LR-Tiefpaß im Drain-Source-Pfad dominierend. Der minimale differentielle Einschaltwiderstand entspricht dem absoluten bei $U_{DS} = 0$ V. Die Grenzfrequenz ergibt sich im Kurzschlußfall zu

$$f_{g,LR} = \frac{r_{DS}}{2\pi(L_D + L_S)} \quad (4.177)$$

und liegt laut Tabelle 4.3 beim untersuchten DMOS bei 527 kHz.

Bei niedrigeren Gate-Source-Spannungen oder höheren resistiven Lasten steigt die Grenzfrequenz des LR-Tiefpasses an, bis – wie auch in allen anderen Arbeitsbereichen – die Grenzfrequenz des Poly-Gate RC-Tiefpasses aus Abschnitt 4.2.1 dominiert.

Der untersuchte DMOS hat einschließlich des Pad-Widerstandes $R_{G,Pad}$ einen Gate-Widerstand $R_G = 12,3 \Omega$ und eine arbeitspunktabhängige Eingangskapazität von $C_{GG} \in [0,69 \text{ nF}, 6,44 \text{ nF}]$. Die Grenzfrequenz des RC-Tiefpasses schwankt deshalb im Bereich von 2,01 MHz bis 18,8 MHz.

5 Charakterisierung

Für alle Messungen wird repräsentativ der DMOS BUZ103SL [36] ausgewählt. Einerseits ist sein Drain-Widerstand so groß, daß der Drain-Strom bei allen Messungen unter 320 A bleibt und damit gut beherrschbar ist. Andererseits sind seine Gate-Kapazitäten so groß, daß die Verschiebestrome noch gut meßbar sind.

5.1 Statisch

5.1.1 Kleiner Drain-Strom

Bis zu einem Drain-Strom von 100 mA können die Übertragungs- (Bild 5.1) und Ausgangskennlinien (Bild 5.2) mit dem Präzisions-Halbleiter-Parameter-Analysator HP4156A gemessen werden.

Auffällig ist, daß die in der Simulation (Bild 3.19) im Oberflächengenerationsbereich erkennbare Abhängigkeit des Drain-Stromes von der Drain-Source-Spannung in der Messung (Bild 5.2) am Kennlinienast für $U_{GS} = -1\text{ V}$ nicht beobachtbar ist.

Werden die Kennlinien in einer dreidimensionalen Darstellung in Bild 5.3 zusammengefügt, so sind die einzelnen Betriebsbereiche (Unterschwellstrombereich, Oberflächen- und Volumengenerationsbereich) im Vergleich mit Bild 3.4 deutlich erkennenbar.

Die Ausgangskennlinie der Rückwärtsdiode ist in Bild 5.4 dargestellt.

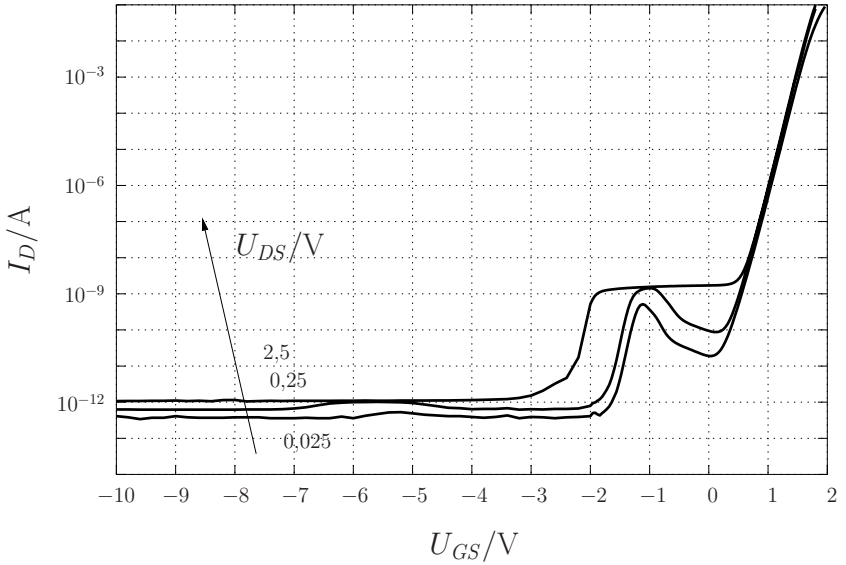


Bild 5.1: Übertragungskennlinie für kleine Drain-Ströme

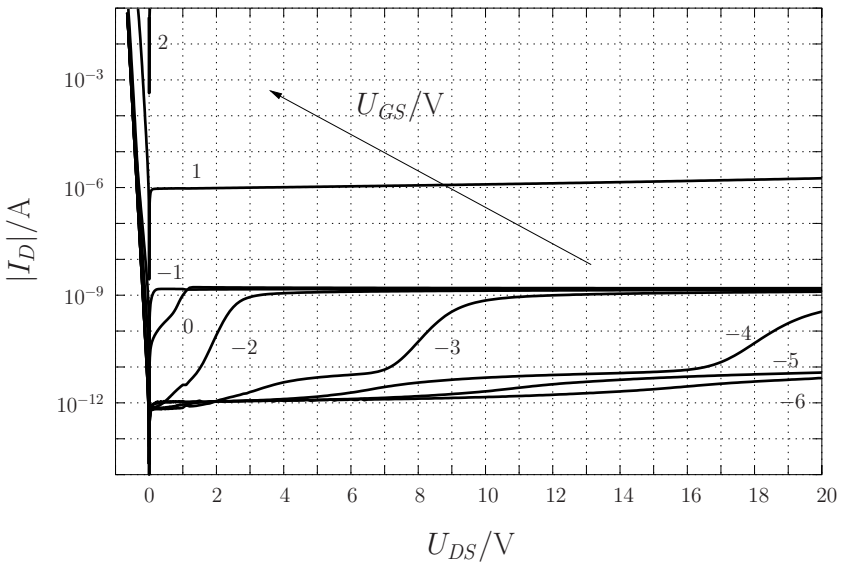


Bild 5.2: Ausgangskennlinie für kleine Drain-Ströme

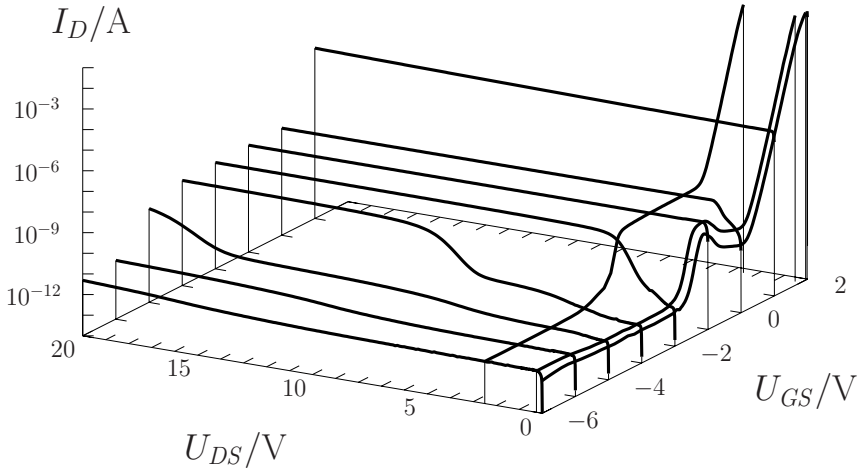


Bild 5.3: Drain-Strom in Abhängigkeit von den Klemmenspannungen

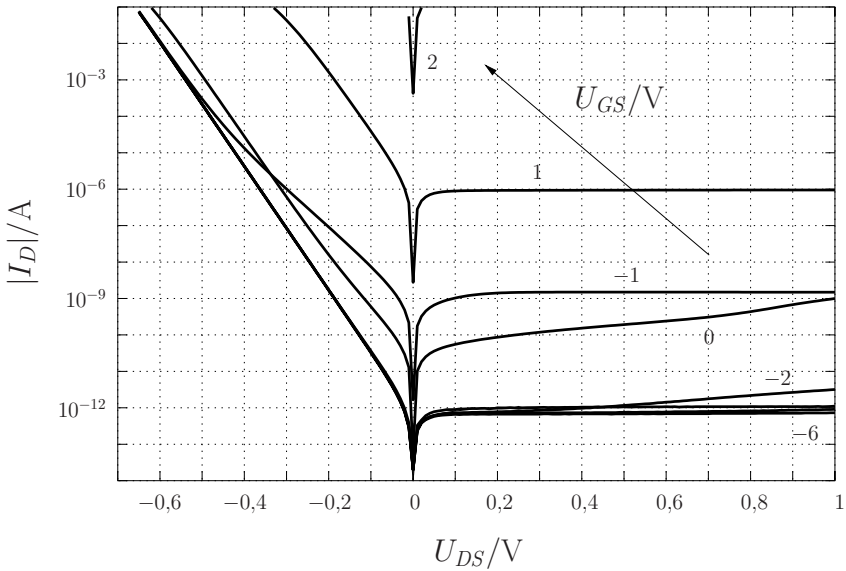


Bild 5.4: Ausgangskennlinie der Rückwärtsdiode für kleine Drain-Ströme

5.1.2 Großer Drain-Strom

Um bei großen Drain-Strömen die Eigenerwärmung gering zu halten, wird der Arbeitspunkt nur kurzzeitig in Form von Pulsen an das Bauelement angelegt. In [23] S. 97 wurden $10\ \mu\text{s}$ lange, rechteckige Pulse gewählt, wobei der Stromwert schon kurz nach dem Einschwingvorgang bestimmt wurde.

Die hier gezeigten Kennlinien sind ein Nebenprodukt der Kapazitätsmessungen der folgenden Abschnitte. Der Meßaufbau hat deshalb eine größere Einschwingzeit und die Stromwerte werden in einem Intervall von $3\ \mu\text{s}$ bis $4\ \mu\text{s}$ (Bild 5.5) bzw. $4\ \mu\text{s}$ bis $5\ \mu\text{s}$ (Bild 5.6) nach Beginn des Drain-Stromflusses aufgenommen. Die Eigenerwärmung ist in beiden Kennlinienfeldern noch sichtbar.

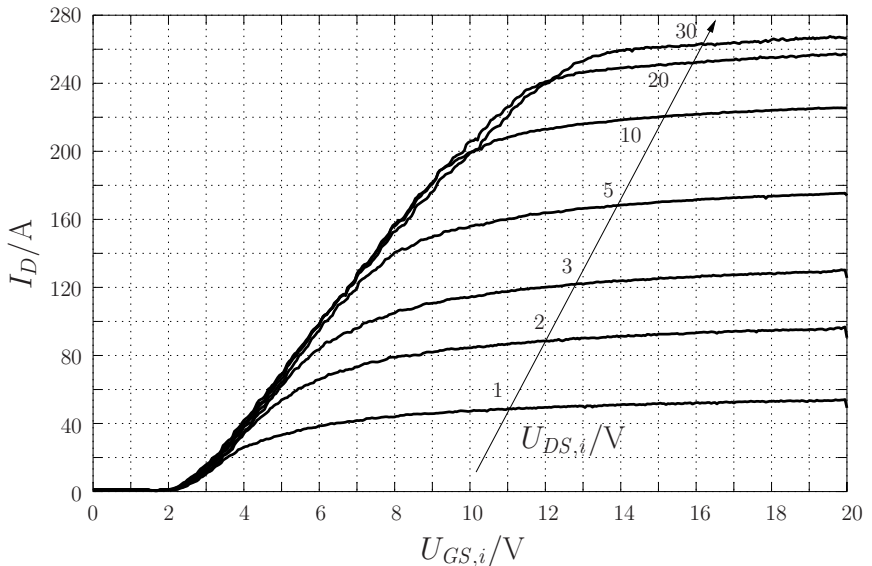


Bild 5.5: Übertragungskennlinie, aufgenommen während der Eingangskapazitätsmessung in Abschnitt 5.2.8, siehe Bild C.4 bezüglich der Definition von $U_{GS,i}$ und $U_{DS,i}$

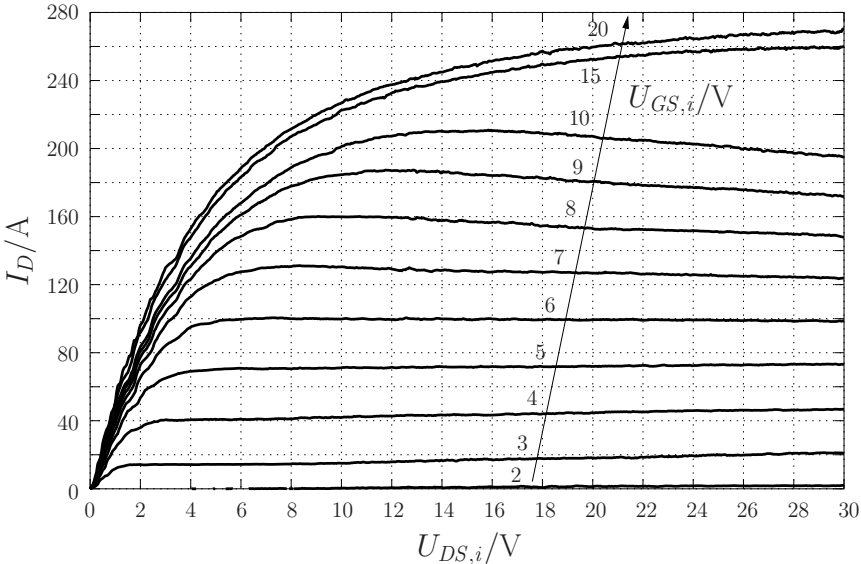


Bild 5.6: Ausgangskennlinie, aufgenommen während der Rückwirkungskapazitätsmessung in Abschnitt 5.2.7, siehe Bild C.4 bezüglich der Definition von $U_{GS,i}$ und $U_{DS,i}$

5.2 Dynamisch

5.2.1 Eingangsimpedanz

Zur Messung der Eingangsimpedanz in Abhängigkeit von der Frequenz wird die in Bild 5.7 gezeigte Schaltung verwendet. Reflexionen und parasitäre Kapazitäten durch Leitungsbeläge werden durch kurze Leitungswege reduziert. Der Widerstand zur Strommessung $R_{21} = 10,2\Omega$ liegt direkt zwischen zwei T-Stücken an den Anschlüssen benachbarter Oszilloskopkanäle¹ und wird in der Größenordnung des zu erwartenden Gate-Widerstandes gewählt. Parasitäre Induktivitäten werden durch eine enge Leitungsführung zwischen Hin- und Rückleiter klein gehalten.

¹Die Stichleitungen zu den Oszilloskopkanälen sind 3,5 cm lang, die Distanz zwischen dem Silizium des M_{DUT} und Kanal 2 beträgt 16 cm, jeweils gemessen bis zur Frontplatte des Oszilloskops. Die gesamte Leitungskapazität dieses Bereiches liegt bei etwa 12 pF, jeder Oszilloskopeingang hat 7 pF. Die parasitären Kapazitäten sind somit um einen Faktor 83 kleiner als die Eingangskapazität von M_{DUT} und ihre Reaktanz ist bei 50 MHz um einen Faktor 10 größer als der Strommeßwiderstand oder der Gate-Widerstand. Der Meßaufbau ist bei 50 MHz gegenüber der Wellenlänge im Koaxialkabel von ca. 4 m klein.

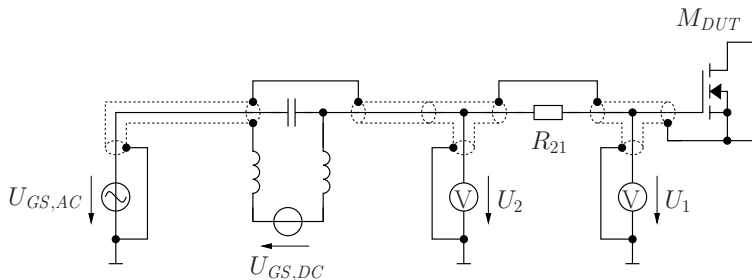


Bild 5.7: Meßaufbau

Durch die numerische Integration über eine ganze Periodendauer T erhält man die effektive Spannung, den effektiven Strom und die Wirkleistung.

$$U_{eff} = \sqrt{\frac{1}{T} \int U_1^2 dt} \quad (5.1)$$

$$I_{eff} = \sqrt{\frac{1}{T} \int \left(\frac{U_2 - U_1}{R_{21}} \right)^2 dt} \quad (5.2)$$

$$P_{wirk} = \frac{1}{T} \int U_1 \frac{U_2 - U_1}{R_{21}} dt \quad (5.3)$$

Unter der Voraussetzung einer sinusförmigen Anregung und linearer Schaltungselemente läßt sich die Eingangsimpedanz berechnen

$$|Z| = \frac{U_{eff}}{I_{eff}} \quad (5.4)$$

$$\arg Z = \begin{cases} \arccos \frac{P_{wirk}}{U_{eff} I_{eff}} \\ 360^\circ - \arccos \frac{P_{wirk}}{U_{eff} I_{eff}} \end{cases}, \quad (5.5)$$

wobei die Unterscheidung in Gleichung 5.5 wegen des eingeschränkten Wertebereichs der arccos-Funktion entweder durch eine manuelle Meßdatenauswertung oder durch die Auswertung der Phasenbeziehung zwischen $U_2 - U_1$ und U_1 gemacht wird.

Bild 5.8 zeigt die Eingangsimpedanz des DMOS zusammen mit den Impedanzen eines Widerstandes, einer Kapazität und einer Leiterschleife. Die letzten drei Elemente wurden im Wert als auch in ihren geometrischen Maßen dem DMOS ähnlich gewählt.

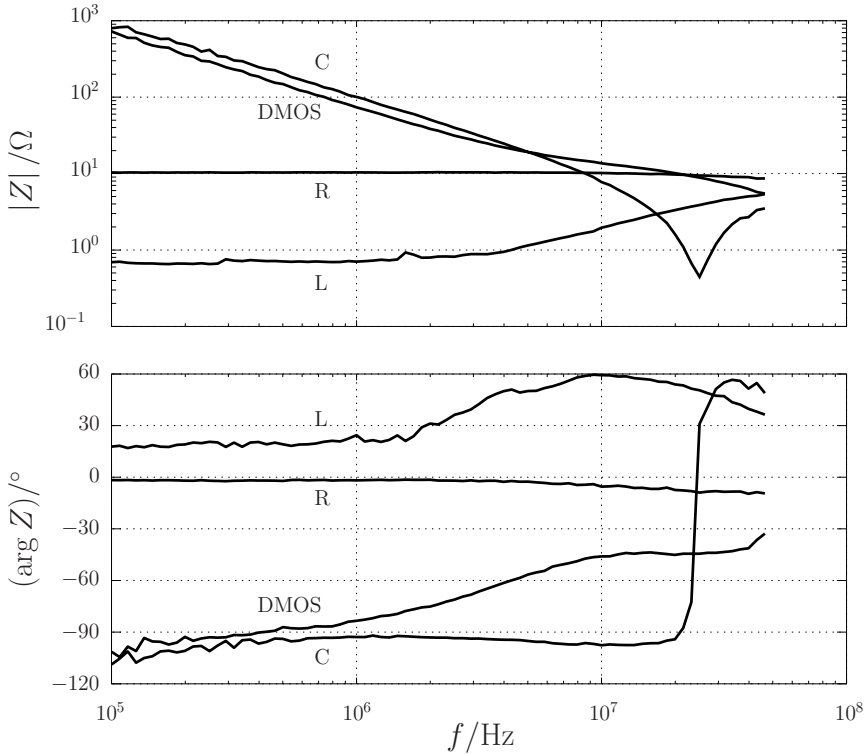


Bild 5.8: Eingangsimpedanz des DMOS bei $U_{GS,DC} = U_{DS} = 0$ V, Verifikation des Meßaufbaus mit einer Leiterschleife $L = 28$ nH ($0,7 \Omega$ parasitärer Serienwiderstand), einem Widerstand $R = 10,4 \Omega$ und einer Kapazität $C = 1,717$ nF

Da der Strommeßwiderstand während der Messung nicht verändert wurde, besteht bei niedrigen Frequenzen durch die geringe Spannungsamplitude über R_{21} eine große Meßunsicherheit. Der geringe Spannungsabfall über der Leiterschleife verursacht große Meßfehler sogar bis zu 1 MHz.

Ab 10 MHz weicht die Impedanzbetragskurve der Kapazität von der Geradenform ab. Wird sie zu großen Frequenzen hin als Gerade verlängert, so schneidet sie sich mit der der Leiterschleife bei 25 MHz. Dort hat die Impedanz der Kapazität eine Nullstelle und die parasitäre Induktivität ihrer Zuleitungen überwiegt ab dieser Frequenz. Der Meßaufbau liefert deshalb bis 10 MHz gute Ergebnisse und wird über 20 MHz bezüglich der Messung des verteilten RC-Systems der Poly-Gate-Schicht unbrauchbar, da die para-

sitären Induktivitäten des halben T-Stückes, der Pins und des Bonddrahtes dominieren.

Für eine Wahl von $U_{GS,DC}$ kleiner -2 V oder größer 2 V wird die Eingangskapazität maximal und die Grenzfrequenz des DMOS stellt sich bei niedrigen Werten ein.²

5.2.2 Übertragungsfunktion der Poly-Gate-Schicht und Gate-Widerstand

Gleichung 3.69 zeigt, daß die Übertragungsfunktion der Poly-Gate-Schicht reziprok proportional zur im letzten Abschnitt gemessenen Eingangsimpedanz ist. Mit $Y_{Pad} = \frac{1}{Z}$, den Gleichungen 3.58 bis 3.60 sowie $C_{Pad} \ll C_{GG}$ ergibt sich die Übertragungsfunktion zu

$$\frac{U_{GS,eff}}{U_{GS}} \approx \frac{1}{j2\pi C_{GG}Z} \quad (5.6)$$

In Bild 5.9 sind die so umgerechneten Meßdaten dem Modell des RC-Tiefpasses, bestehend aus den Gleichungen 4.148 und 4.161 und der gemessenen Eingangskapazität aus Bild 5.10, gegenübergestellt. In das Modell wurde der vom Hersteller genannte, spezifische Poly-Schichtwiderstand eingesetzt.

Die Ergebnisse der Methode der finiten Differenzen sowie von Gleichung 3.69 liegen beide zwischen diesen Kurven (vgl. Bild 3.49). Im Rahmen der Meßgenauigkeit stimmen Modell und Messung überein.

Im Arbeitspunkt $U_{GS,DC} = U_{DS} = 0\text{ V}$ kann von der gemessenen -3 dB Grenzfrequenz $f_{g,RC} = 6,08\text{ MHz}$ über die gemessene Eingangskapazität $C_{GG} = 2,164\text{ nF}$ auf den Gate-Widerstand $R_G = 12,1\ \Omega$ geschlossen werden.

5.2.3 Kapazitäten ohne Stromfluß

Das Kapazitätsmeßgerät HP4280A stellt am DMOS den Arbeitspunkt ein, überlagert eine 1 MHz Sinusspannung und mißt den Wechselstrom und -spannung. Aus deren Quotient wird der Kapazitätswert berechnet.

²Zur besseren Vergleichbarkeit mit Graphen in vorangegangenen Abschnitten wird hier eine Messung mit $U_{GS,DC} = 0\text{ V}$ gezeigt.

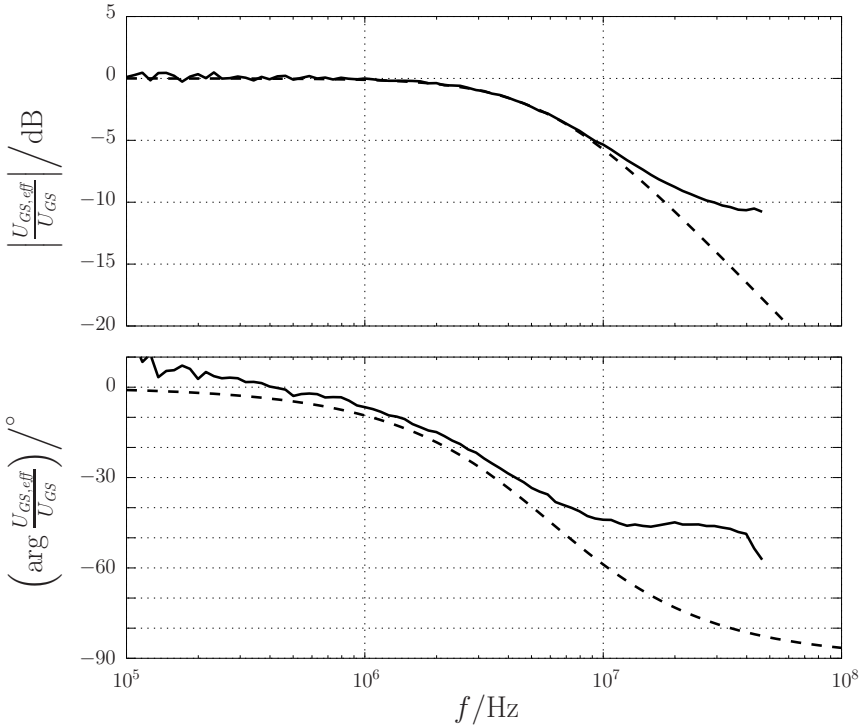


Bild 5.9: Übertragungsfunktion der Poly-Gate-Schicht bei $U_{GS,DC} = U_{DS} = 0\text{ V}$: — Messung, - - - Modell nach den Gleichungen 4.148 und 4.161

Das Gerät liefert unterhalb der Einsatzspannung des DMOS präzise Meßergebnisse. Wird die Einsatzspannung überschritten, so kann der zur Einprägung des Arbeitspunktes notwendige Strom vom Meßgerät nicht aufgebracht werden und die Messung schlägt fehl. Deshalb sind die Kapazitätskennlinien nur für $U_{GS} \leq 1\text{ V}$ angegeben. Eine Ausnahme bildet die Eingangskapazitätsmessung mit $U_{DS} = 0\text{ V}$, bei welcher Source und Drain einfach kurzgeschlossen werden.

Zur Messung der Eingangskapazität in Bild 5.10 befindet sich am Gate des DMOS eine Serienkapazität von 1,717 nF, da der Kapazitätswert sonst außerhalb des Meßbereichs läge. Parallel zur Serienkapazität liegt eine Induktivität von 220 μH , um den Arbeitspunkt am Gate einstellbar zu machen. Der Einfluß dieser zusätzlichen Elemente wird nach der Messung wieder aus den Meßdaten herausgerechnet.

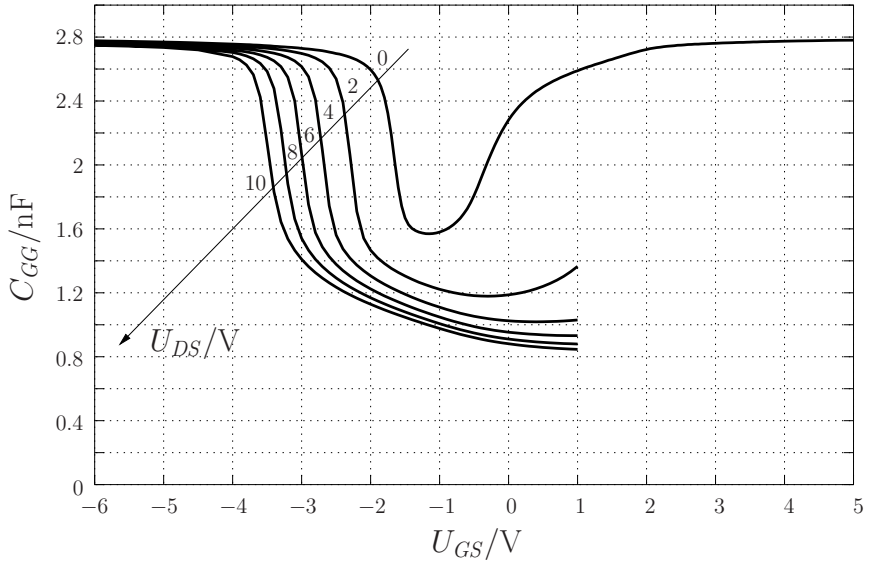


Bild 5.10: Eingangskapazität

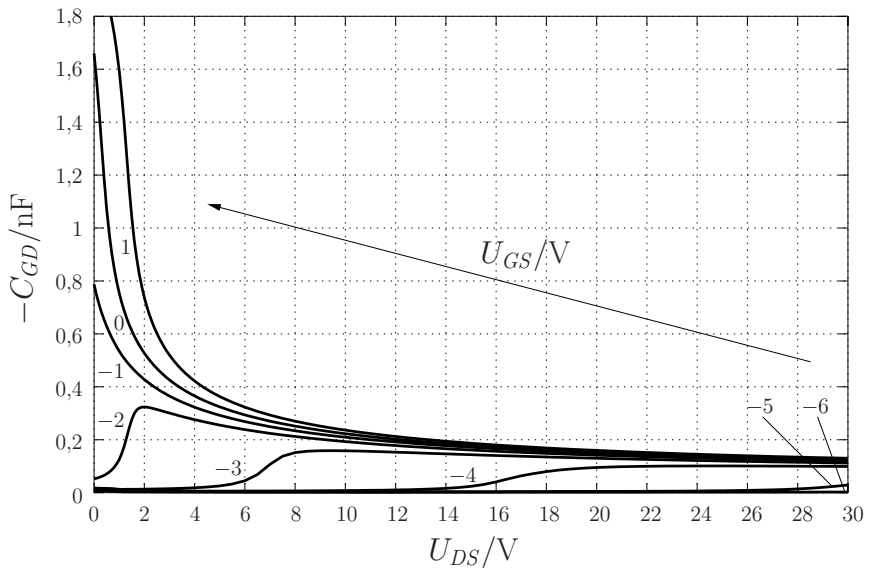


Bild 5.11: Rückwirkungskapazität

Die gemessene Rückwirkungskapazität ist in Bild 5.11 dargestellt.

Bei der Messung der Ausgangskapazität in Bild 5.12 wird für Meßwerte über 1,3 nF ebenfalls die Serienkapazität verwendet. Bemerkenswert ist der Kapazitätsabfall des Kennlinienastes mit $U_{GS} = -2\text{ V}$ bei $U_{DS} = 2\text{ V}$ gegenüber den anderen Kennlinienästen mit $U_{GS} \in \{-10\text{ V}, \dots, -3\text{ V}, -1\text{ V}\}$, welcher in der Device-Simulation nicht nachvollziehbar ist.

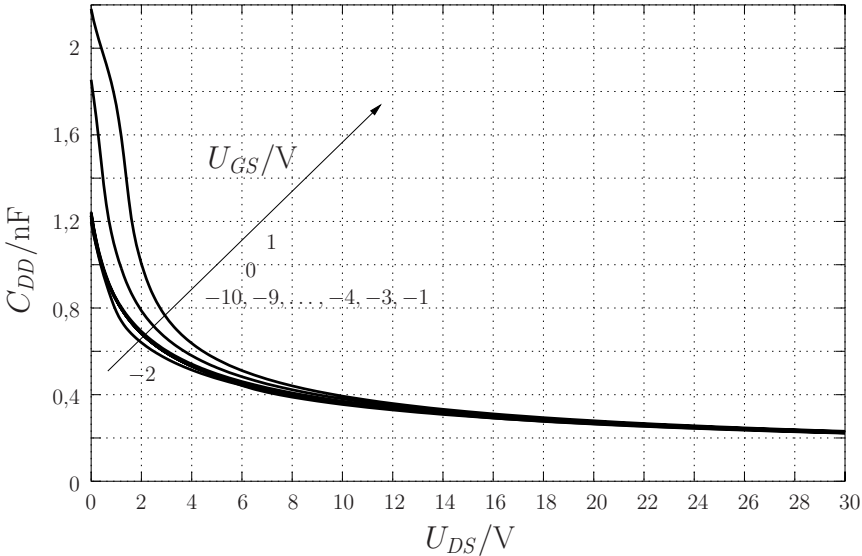


Bild 5.12: Ausgangskapazität

5.2.4 Gate-Ladekurve

In Datenblättern werden zur Charakterisierung des dynamischen Verhaltens bei Stromfluß oft Gate-Ladekurven angegeben. Bild 5.13 zeigt das zur Messung benutzte Schaltungsprinzip. Dem zu testenden DMOS – kurz DUT (device under test) – wird ein weiterer DMOS M_S in Serie geschaltet. Dieser Serientransistor prägt in einer bestimmten Phase der Messung einen fast konstanten Drain-Strom ein, dessen Größe typisch für den untersuchten DMOS ist. Die Gate-Source-Spannung des Serientransistors wird genau wie die maximale Drain-Source-Spannung $U_{DS,max}$ konstant gehalten, während am Gate des DUT ein konstanter Strom eingepreßt wird.

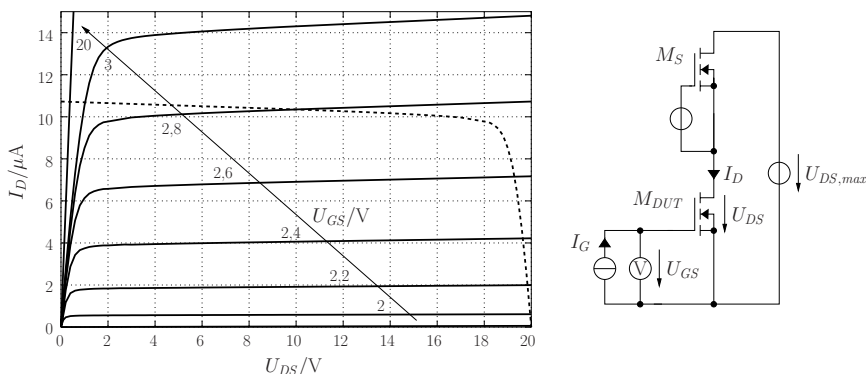


Bild 5.13: (rechts) Meßschaltung zur Aufnahme der Gate-Ladekurve, (links) Daten aus der Device-Simulation, — Ausgangskennlinienfeld des M_{DUT} , - - - Arbeitskurve für $U_{DS,max} = 20\text{ V}$

Für den Fall, daß beide Transistoren gleichen Typs sind, ist in Bild 5.13 eine Arbeitskurve in das Kennlinienfeld des DUT eingezeichnet.

Bild 5.14 zeigt die zugehörige Gate-Ladekurve. Durch den konstanten Gate-Strom wächst die Gate-Ladung linear mit der Zeit

$$Q_G = I_G t + Q_G(0\text{ s}) \quad (5.7)$$

und die Gate-Source-Spannung steigt monoton an. An der Abszisse wird normalerweise gemäß Gleichung 5.7 die Gate-Ladung aufgetragen.

Solange die Gate-Source-Spannung unterhalb der Einsatzspannung von $1,8\text{ V}$ liegt, bleibt der Arbeitspunkt bei $U_{DS} = U_{DS,max}$ und der Verlauf der Gate-Ladekurve entspricht wegen

$$dQ_G = C_{GG} dU_{GS} \quad (5.8)$$

der aufintegrierten Eingangskapazität.

Bei stark negativen Gate-Source-Spannungen existiert eine Inversionsschicht im n^- -Epi-Gebiet und eine Akkumulationsschicht im p -Body. Die Eingangskapazität ist deshalb gleich der Oxidkapazität und die Gate-Ladekurve steigt linear an.

Abhängig von $U_{DS,max}$ biegt die Gate-Ladekurve zwischen -7 V und -3 V ab, da das Epi-Gebiet in Verarmung übergeht und die Eingangskapazität absinkt.

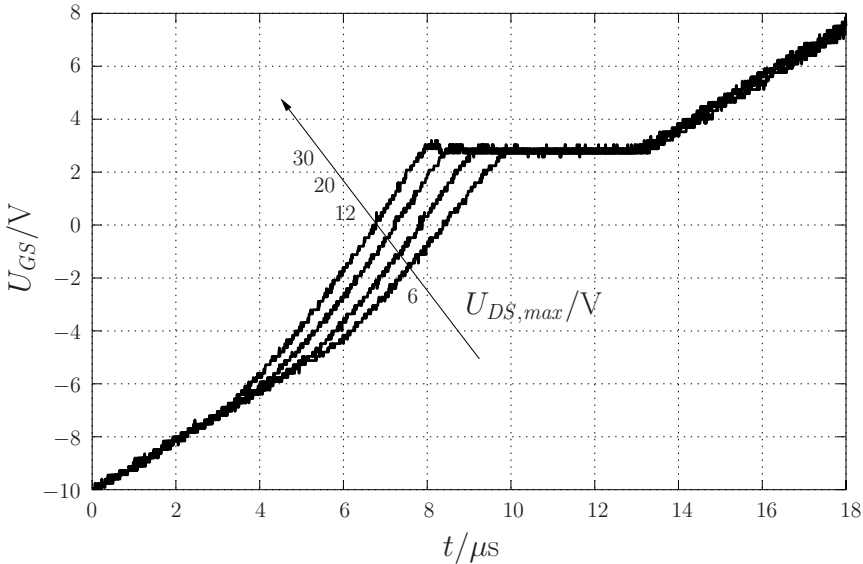


Bild 5.14: Gate-Ladekurve [37]

Ab der Einsatzspannung steigt die Eingangskapazität wieder leicht an und die Drain-Source-Spannung fällt leicht ab. Beide Effekte müßten zum Abflachen der Gate-Ladekurve führen. Wegen der geringen Rückwirkungskapazität und der im Meßaufbau offensichtlich vorhandenen, parasitären Elemente ändert sich der Anstieg jedoch kaum. Stattdessen kommt es in der Folge zu einem leichten Überschwingen.

Die Gate-Source-Spannung erreicht bei ungefähr 2,8V ein Plateau, da der Serientransistor in Sättigung geht und die Arbeitskurve sowie die Kennlinienäste des DUT im Arbeitspunkt kaum ansteigen. Während die Drain-Source-Spannung beinahe auf 0V abfällt, ändert sich die Gate-Source-Spannung wegen der Kanallängenmodulation nur noch im Bereich von 50 mV. Die beim Durchlaufen des Plateaus zugeflossene Gate-Ladung beträgt etwa

$$\Delta Q_G \approx \int_{U_{DS,max}}^{U_{DS,min}} C_{GD} dU_{DS} \quad , \quad (5.9)$$

wobei $U_{DS,min}$ die Restspannung am Ende des Plateaus ist.

Bei $U_{DS} = U_{DS,min}$ erreicht der DMOS den Widerstandsbereich und die

Drain-Source-Spannung sinkt kaum noch ab. Im Epi-Gebiet herrscht Akkumulation und die Eingangskapazität entspricht erneut der Oxidkapazität. Die Gate-Ladekurve hat deshalb ab $13,3 \mu\text{s}$ wieder eine konstante Steigung.

Die einzelnen Äste der Gate-Ladekurve liegen wieder fast übereinander, da das Potential unter dem Gate-Oxid bei großen, negativen sowie positiven Gate-Source-Spannungen von $U_{DS,max}$ nur wenig abhängt. Einerseits ist in Inversion (große, negative Gate-Source-Spannungen) der Substratsteuerfaktor im Epi-Gebiet wegen der geringen Dotierung klein. Andererseits befindet sich bei großen, positiven Gate-Source-Spannungen der Serientransistor in Sättigung und der Drain-Strom ändert sich wegen der Kanallängenmodulation nur geringfügig mit $U_{DS,max}$. Eine kleine Drain-Stromänderung bewirkt im DUT, welcher im Widerstandsbereich betrieben wird, ebenfalls nur eine kleine Potentialänderung unter dem Gate-Oxid.

5.2.5 Rückwirkungskapazität ohne Drain-Source-Spannung

Zur Vervollständigung der Messung in Abschnitt 5.2.7 ist eine separate Messung der Rückwirkungskapazität bei $U_{DS} = 0\text{ V}$ nötig. Steigt dabei U_{GS} über die Einsatzspannung, so können Kapazitätsmeßgeräte wie HP4280A und HP4275A den niederohmigen Einschaltwiderstand des DMOS nicht treiben. Deshalb findet die Meßschaltung in Bild 5.15 Anwendung. Da nur eine kleine Wechselspannung zwischen Source und Drain anliegt, ist die Eigen-erwärmung vernachlässigbar.

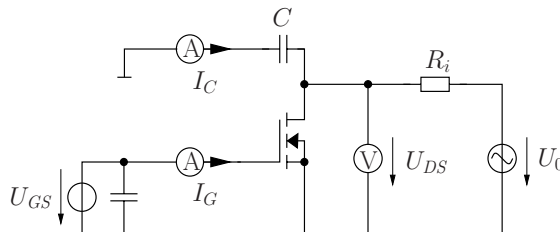


Bild 5.15: Meßschaltung

Die Amplitude U_0 der sinusförmigen Anregung wird bei jedem U_{GS} -Wert so eingestellt, daß U_{DS} eine Amplitude von $3,5 \text{ mV}$ hat. R_i ist der Innenwiderstand des Funktionsgenerators. Die Ströme I_C und I_G werden potentialfrei mit Strommeßsonden und einem Oszilloskop gemessen.

Mit den Stromgleichungen

$$I_C = -C \frac{dU_{DS}}{dt} \quad (5.10)$$

$$I_G = C_{GD} \frac{dU_{DS}}{dt} \quad (5.11)$$

ergibt sich die Rückwirkungskapazität zu

$$C_{GD} = -\frac{I_G}{I_C} C \quad . \quad (5.12)$$

Um den Einfluß von Meßfehlern gering zu halten, werden nur die Meßzeitpunkte einer Sinusschwingung benutzt, deren Betrag von I_C eine bestimmte Grenze nicht unterschreitet. Die Ergebnisse dieser Meßpunkte aus Gleichung 5.12 werden arithmetisch gemittelt.

Bild 5.16 zeigt, daß sich bei dieser Meßmethode über 4 V ein konstanter Wert einstellt. Ähnliches ist bei einem Meßversuch mit dem HP4280A zu beobachten, wobei die Größe des konstanten Wertes vom gewählten Meßmodus abhängig ist. Die Device-Simulation hingegen zeigt in diesem Bereich einen Kapazitätsabfall. Einen solchen Abfall läßt auch der mit einer anderen Methode gemessene Kapazitätsverlauf in Bild 5.20 bei $U_{DS} = 0,5 \text{ V}$ vermuten. Trotz dieser noch ungeklärten Diskrepanz wird das Ergebnis dieser Messung in den folgenden Abschnitten verwendet.

5.2.6 Kapazitätsmessung bei Stromfluß

Das Schaltverhalten des DMOS sowie sein dynamisches Verhalten in analogen Schaltungen wird bei Stromfluß durch die Eingangs- und die Rückwirkungskapazität bestimmt. Diese Kapazitäten sind mit herkömmlichen Meßaufbauten nicht explizit erfaßbar, da diese üblicherweise den Arbeitspunkt einstellen und eine Sinusschwingung mit geringer Amplitude überlagern. Diese Meßmethode ist zwar besonders genau, benötigt jedoch viele Perioden zur Messung. Die während dieser langen Meßzeit T_{mess} anfallende Verlustenergie $U_{DS} I_D T_{mess}$ kann nicht genügend schnell abgeleitet werden und führt zu Eigenerwärmung und in der Folge zur thermischen Überlastung des DMOS.

In Datenblättern werden deshalb Kapazitäten bislang nur wie in Abschnitt 5.2.3 in Betriebsbereichen ohne Stromfluß explizit angegeben. Die üblicherweise mitgelieferte Gate-Ladekurve aus Abschnitt 5.2.4 vermittelt

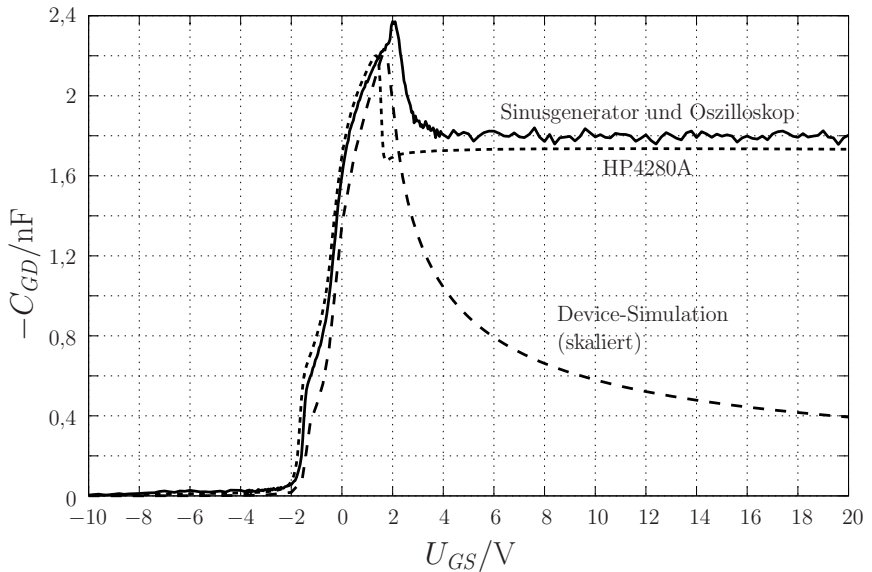


Bild 5.16: Rückwirkungskapazität bei $U_{DS} = 0$ V

lediglich zusätzlich eine Vorstellung über die bei einem bestimmten Schaltvorgang aufzubringende Gate-Ladung.

Im Rahmen dieser Arbeit wurden Schaltungen entwickelt, die es ermöglichen, die relevanten Kapazitäten bei Stromfluß direkt zu messen. Aufgabe der Schaltungen ist, am Drain oder am Gate anstatt der Sinusschwingung eine Spannungsrampe zu erzeugen, während der Verschiebungsstrom am Gate gemessen wird. Die anfallende Verlustenergie wird durch die kurze Meßzeit klein gehalten. Zwischen zwei aufeinanderfolgenden Rampen wird eine bestimmte Abkühlungszeit eingehalten.

Einerseits fällt die Eigenerwärmung umso geringer aus, je kürzer der Meßvorgang ist. Andererseits wird die Rampensteilheit begrenzt durch die dielektrische Relaxationszeit, den Gate-Widerstand und den parasitären Induktivitäten des Meßaufbaus.

Die parasitären Induktivitäten beeinflussen die Stabilität des Regelkreises und begrenzen die Frequenz, bei der die Verstärkung der offenen Regel Schleife 1 wird.

Die dielektrische Relaxationszeit

$$\tau_d = \frac{\varepsilon_0 \varepsilon_r \cdot S_i}{q \mu N} \quad (5.13)$$

im DMOS muß klein gegenüber der Meßzeit sein, da sonst dynamische Zustände im Bauteil auftreten und die Messung einer Kapazität dann keinen Sinn mehr macht. Das n^- -Epi-Gebiet ist mit $5 \cdot 10^{15} \frac{1}{\text{cm}^3}$ am geringsten dotiert und hat eine maximale dielektrische Relaxationszeit von 1,0 ps. Die Device-Simulation in Bild 5.17 zeigt erst bei einer Rampensteilheit von $20 \frac{\text{kV}}{\mu\text{s}}$ Abweichungen.

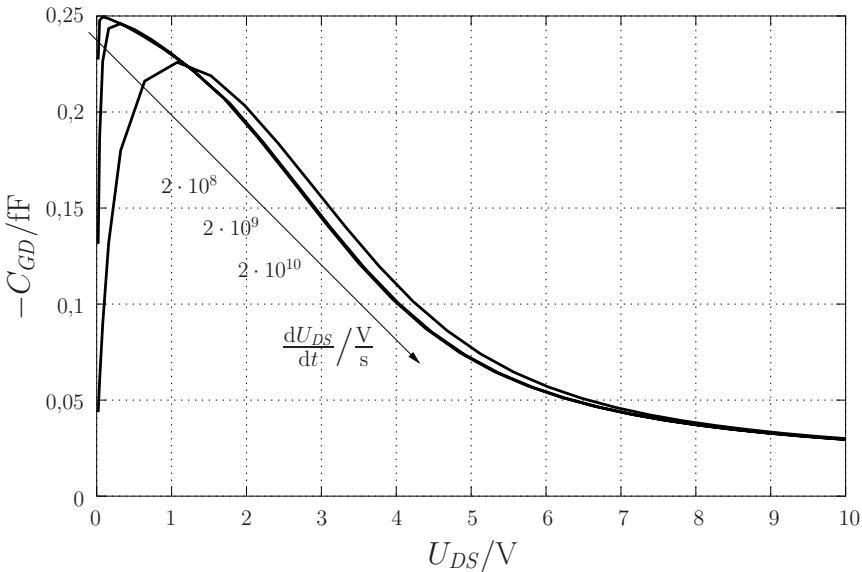


Bild 5.17: Einfluß der Relaxationszeit auf die Rückwirkungskapazitätsmessung mit einfacher U_{DS} -Rampe, $U_{GS} = 20$ V

Das verteilte System aus Poly-Schichtwiderstand und Gate-Kapazität bewirkt bei einer zu großen Rampensteilheit, daß das Poly-Gate nicht auf einem einheitlichen Potential liegt und somit die Einzelzellen unterschiedliche Gate-Source-Spannungen haben. Beim untersuchten DMOS ist der Gate-Widerstand $12,1 \Omega$ und die größte Gate-Kapazität $6,4$ nF. Verwendet man den RC-Tiefpaß als Ersatzschaltbild, so sollte der Spannungsabfall über dem Gate-Widerstand

$$U_R \approx R_G C_{GX} \frac{dU_{XS}}{dt} \quad (5.14)$$

kleiner als die noch aufzulösende Gate-Source-Spannung sein. X ist bei der Eingangskapazitätsmessung G und bei der Rückwirkungskapazitätsmessung

D. Bei der in dieser Arbeit gewählten Rampensteilheit von $\frac{dU_{xs}}{dt} = 2 \frac{V}{\mu s}$ beträgt der Spannungsabfall etwa 0,15 V.

Bild 5.18 zeigt das Ergebnis einer Kapazitätsmessung mittels einer einzelnen Spannungsrampe. Bei dieser Device-Simulation liegt der Meßfehler durch Eigenerwärmung teilweise über 100 %.

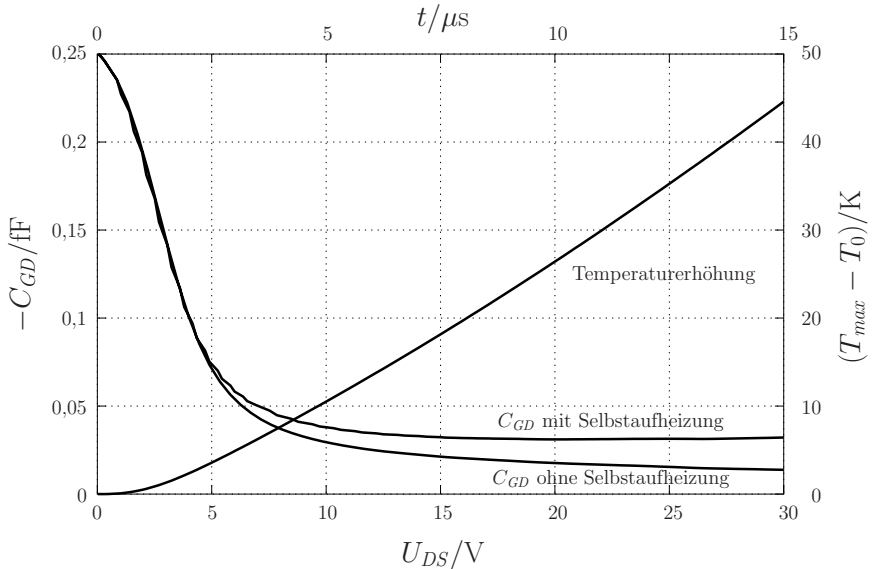


Bild 5.18: Device-Simulation der Selbstaufheizung bei der Rückwirkungs-kapazitätsmessung mit einfacher U_{DS} -Rampe, $U_{GS} = 20\text{ V}$

Deshalb wird, wie in Bild 5.19 dargestellt, die einzelne Rampe durch viele kurze Pulse ersetzt, um die Meßzeit und damit die Eigenerwärmung weiter zu reduzieren. Bei jedem Puls wird zuerst ein Arbeitspunkt so schnell wie möglich eingestellt. Von diesem Arbeitspunkt ausgehend wird die Spannung dann rampenförmig weiter erhöht.

5.2.7 Rückwirkungskapazität bei Stromfluß

Gemessen wird die Kurvenschar der Rückwirkungskapazität

$$C_{GD} = I_G \frac{dt}{dU_{DS}} \Big|_{U_{GS}=\text{const}}, \quad (5.15)$$

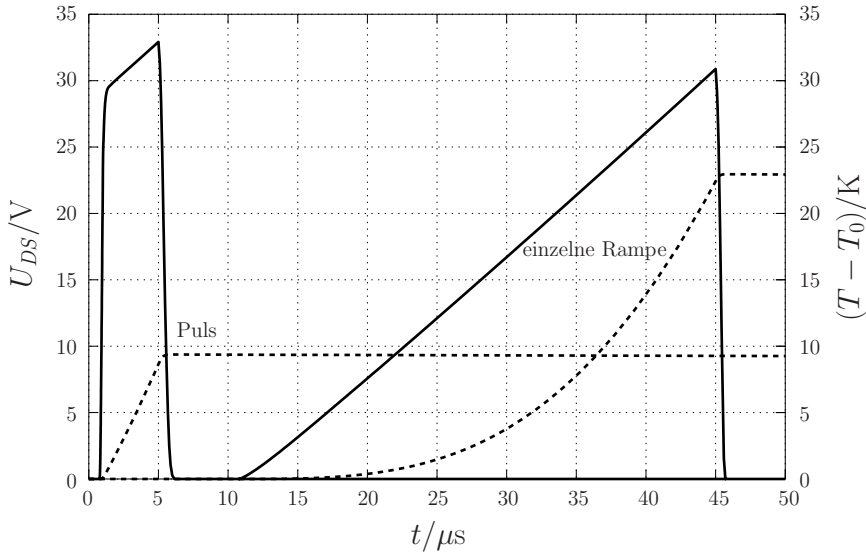


Bild 5.19: Schaltungssimulation der Meßschaltung mit dem DMOS L1175L und einer Rampensteilheit $\frac{dU_{DS}}{dt} = 0,9 \frac{\text{V}}{\mu\text{s}}$: — Spannungsverlauf, - - - Temperaturerhöhung

wobei einzelne Äste der Schar konstante Gate-Source-Spannung haben (Bild 5.20).

Bild 5.21 zeigt die Meßschaltung.

Ihr Prinzip beruht darauf, daß am Gate des DUT der Strom gemessen wird, während am Drain eine Spannungsrampe angelegt wird. Dem DUT ist ein weiterer DMOS M_S in Serie geschaltet, welcher aus einer Kapazität C_0 gespeist wird. M_S muß am Gate nun so angesteuert werden, daß eine Spannungsrampe am Drain des DUT erzeugt wird. Dazu wird U_{DS} durch einen Hochpaß-Filter differenziert. Die Ableitung einer Rampe sollte eine konstante Spannung U_H ergeben. Deshalb wird diese Spannung mit der Sollableitung, welche durch den Pulsgenerator U_E vorgegeben wird, mit einem Subtrahierer verglichen. Die Differenz wird integriert und auf das Gate von M_S gegeben, wodurch sich die Regelschleife schließt und eine lineare Spannungsrampe erzeugt wird.

In der Regelschleife gibt es noch drei weitere Elemente. Der Tiefpaß-Filter erhöht die Stabilität der Regelung. Die Rückkopplungsunterdrückung formt aus der Spannungsrampe einen Puls (vgl. Bild 5.19). Der Treiber liefert

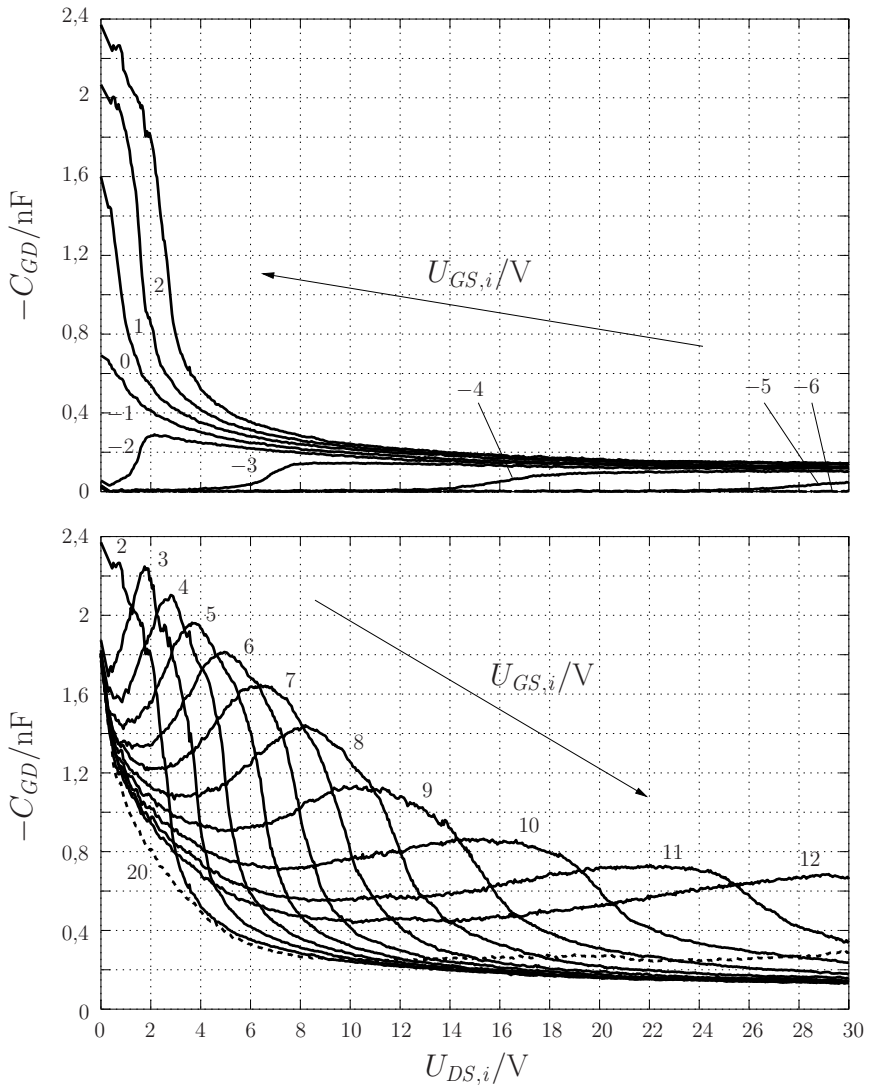


Bild 5.20: Rückwirkungskapazität, siehe Bild C.4 bezüglich der Definition von $U_{GS,i}$ und $U_{DS,i}$

ausreichend Strom, um das Gate von M_S schnell genug laden zu können.

Im folgenden werden die einzelnen Konstruktionselemente nochmals ausführlich erläutert.

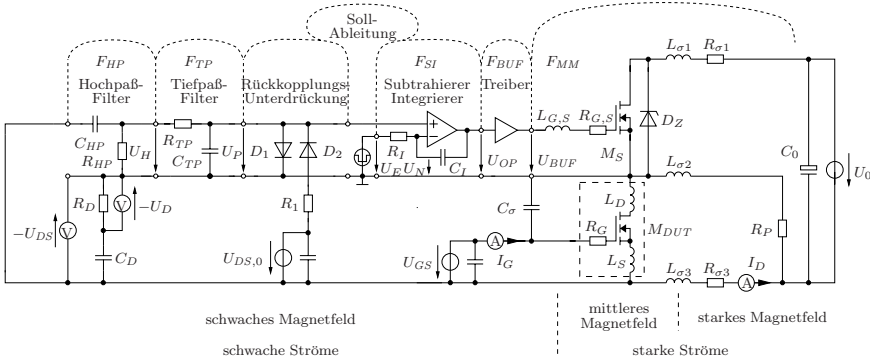


Bild 5.21: Meßschaltung

5.2.7.1 Funktionsweise der Meßschaltung

Jeder Kennlinienast entsteht aus der Messung von 250 einzelnen Pulsen. Zwischen zwei Pulsen wird eine Abkühlungszeit von 0,6s eingehalten. U_{GS} wird während der Messung aller zu einem Kennlinienast gehörigen Pulsen konstant gehalten.

$I_G(t)$ wird potentialfrei mit einer Strommeßsonde gemessen.

Alle Zeitverläufe sollten mit nur einem Oszilloskop aufgenommen werden, damit sie die gleiche Zeitbasis haben und Spannungen von verschiedenen Oszilloskopkanälen zur gleichen Zeit abgetastet werden.

Da ein Puls durch einen Pulsgenerator ausgelöst werden muß, welcher ein gemeinsames Massepotential mit den Oszilloskopkanälen über die Erdung hat, liegt dieses Massepotential zwangsläufig am Drain des DUT. Zwischen zwei Pulsen ist U_E positiv, wodurch die Ausgangsspannung des Operationsverstärkers U_{OP} dessen negative Versorgungsspannung annimmt und den MOS-FET M_S abschaltet.

Als nächstes soll am Drain des DUT ein definierter Spannungspuls mit überlagerter Rampe erzeugt werden. Die dazugehörige Quelle muß den hohen Drain-Strom aufbringen können. Deshalb wird dem DUT ein MOS-FET M_S in Serie geschaltet. Die Serienschaltung wird während des Pulses aus der Kapazität C_0 gespeist, welche den geforderten Drain-Strom I_D aufbringen kann, ohne bei dem großen Stromanstieg $\frac{dI_D}{dt}$ und dem Ladungsverlust

von $\int_0^{T_{mess}} I_D + \frac{U_{DS}}{R_P} dt$ einen zu starken Spannungseinbruch zu haben. Dazu

müssen die parasitären Induktivitäten klein und die Kapazität entsprechend groß sein.

In Abschnitt 5.2.7.2 wird ein Regler konstruiert, welcher den seriellen MOSFET M_S bei negativem U_E so ansteuert, daß der gewünschte Spannungspuls am Drain des DUT entsteht.

Während der Rampe wird mit einem Oszilloskopkanal $-U_{DS}(t)$ erfaßt.

Die momentane Rampensteilheit $\frac{dU_{DS}}{dt}(t)$ kann nicht durch numerische Differentiation von U_{DS} gewonnen werden, da die Auflösung von Oszilloskopen zu gering ist. Ein Hochpaß-Filter

$$U_D \approx \tau_D \frac{dU_{DS}}{dt} \quad (5.16)$$

$$\tau_D = R_D C_D \quad (5.17)$$

realisiert die Ableitung in Hardware, bevor das Signal $U_D(t)$ mit dem Oszilloskop aufgenommen wird.

Die Rückwirkungskapazität wird unter Verwendung der Gleichungen 5.15 bis 5.17 mit

$$C_{GD}(U_{GS}, U_{DS}(t)) \approx \tau_D \left. \frac{I_G(t)}{U_D(t)} \right|_{U_{GS}=\text{const}} \quad (5.18)$$

berechnet.

Mit einem weiteren Kanal und einer Strommeßsonde kann $I_D(t)$ potentialfrei an der Source des DUT gemessen werden. Die nach einer numerischen Aufbereitung in Abschnitt C erhaltene Ausgangskennlinie ist in Bild 5.6 gezeigt. Der leichte Abfall der Kennlinienäste im Sättigungsbereich zeigt, daß die Eigenerwärmung trotz der kurzen Pulse das Meßergebnis immer noch beeinflusst.

Bild 5.22 zeigt die Meßschaltung und Bild 5.23 deren Peripherie. Spannungsquellen, Voltmeter, Pulsgenerator und Oszilloskope sind über den GPIB-Bus mit einem Computer verbunden. Ein C-Programm steuert den Meßaufbau so, daß die Kennlinienaufnahme vollständig automatisiert abläuft.

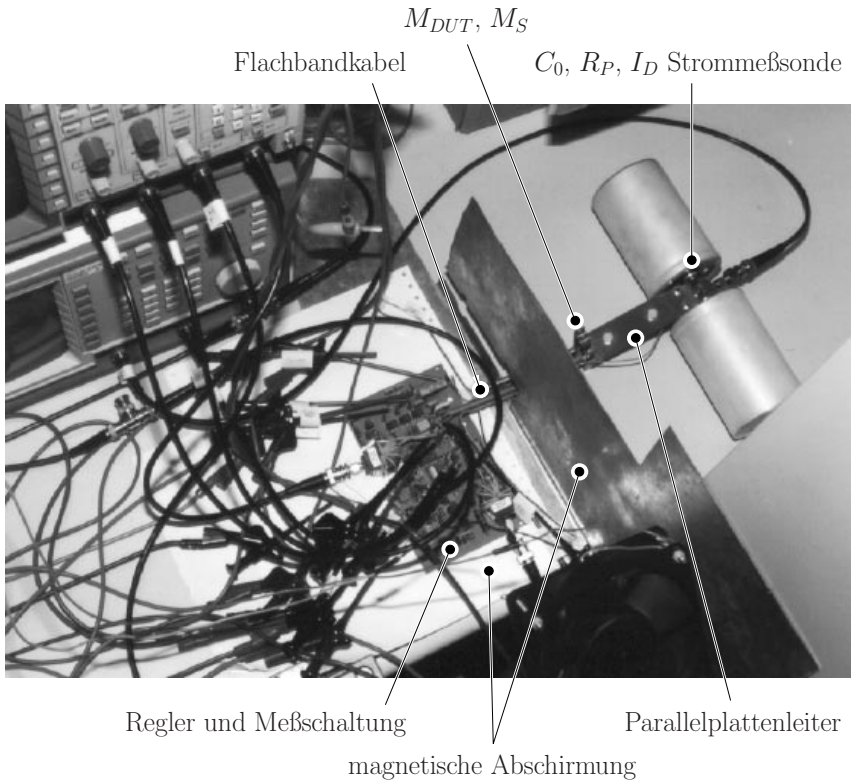


Bild 5.22: Schaltungsaufbau

5.2.7.2 Regler und Regelkreisstabilität

U_{DS} wird negiert an den Eingang des Hochpaß-Filters angelegt (Bild 5.24).

$$U_H = \underbrace{\frac{p\tau_{HP}}{1 + p\tau_{HP}}}_{F_{HP}} (-U_{DS}) \quad (5.19)$$

$$p = j2\pi f \quad (5.20)$$

$$\tau_{HP} = R_{HP}C_{HP} \quad (5.21)$$

Für das Frequenzband unter

$$f_{HP} = \frac{1}{2\pi\tau_{HP}} \quad (5.22)$$



Bild 5.23: Peripherie der Meßschaltung

entspricht das Ausgangssignal des Hochpaß-Filters der Ableitung von $-U_{DS}$.

$$U_H(f < f_{HP}) \approx p\tau_{HP}(-U_{DS}) \quad (5.23)$$

Die Ausgangsspannung des Operationsverstärkers kann wie folgt beschrieben werden.

$$U_{OP} = \frac{U_P - \frac{1}{1+p\tau_I}U_E}{\frac{1}{k} + \frac{p\tau_I}{1+p\tau_I}} \quad (5.24)$$

$$k = \frac{U_{OP}}{U_P - U_N} \quad (5.25)$$

$$\tau_I = R_I C_I \quad (5.26)$$

Das Prinzip des Reglers wird nun unter Vernachlässigung des Tiefpaß-Filters und der Rückkopplungsunterdrückung untersucht, wobei der Hochpaß-Filter direkt an den Subtrahierer/Integrierer angeschlossen wird (d. h. es gilt $U_P = U_H$ in den Gleichungen 5.27 bis 5.29).

$$U_{OP} = \frac{\frac{p\tau_{HP}}{1+p\tau_{HP}}(-U_{DS}) - \frac{1}{1+p\tau_I}U_E}{\frac{1}{k} + \frac{p\tau_I}{1+p\tau_I}} \quad (5.27)$$

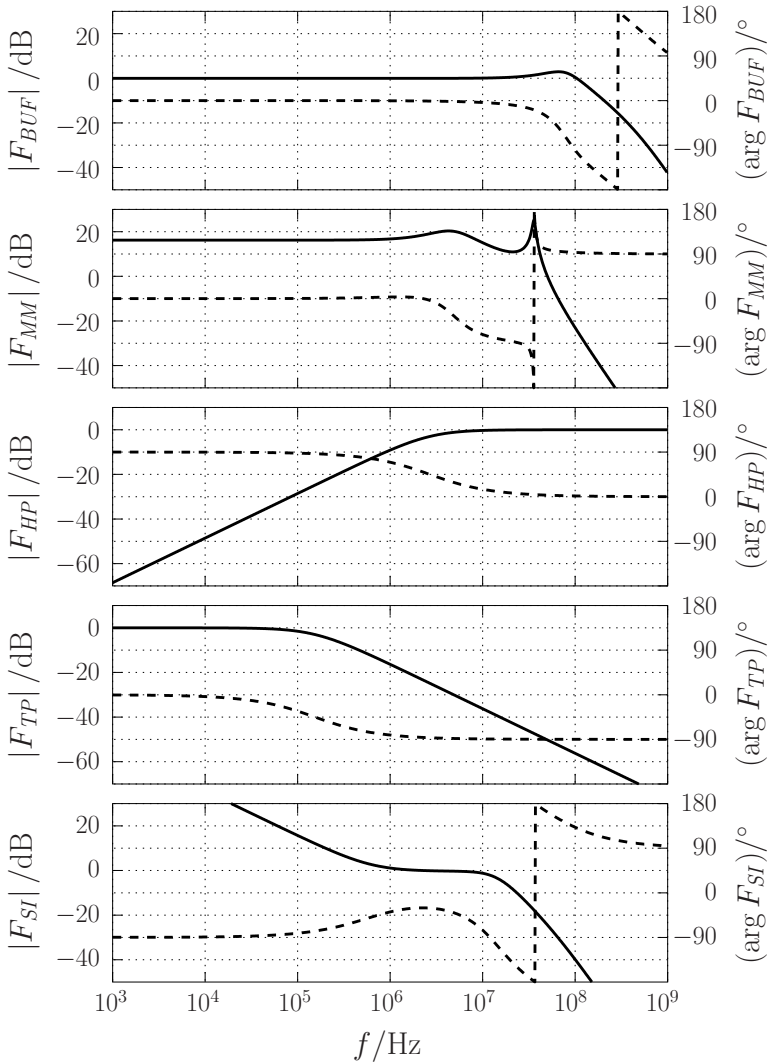


Bild 5.24: Übertragungsfunktionen der einzelnen Regelkreiselemente, — Betrag, - - - Argument

Wird ein idealer Operationsverstärker mit unendlicher Verstärkung angenommen

$$\lim_{k \rightarrow \infty} U_{OP} = \frac{\tau_{HP}(1 + p\tau_I)}{\tau_I(1 + p\tau_{HP})}(-U_{DS}) - \frac{1}{p\tau_I}U_E \quad (5.28)$$

und zusätzlich die gleiche Zeitkonstante τ für τ_{HP} und τ_I gewählt

$$-U_E = p\tau \left(U_{DS} + \lim_{k \rightarrow \infty} U_{OP} \Big|_{\tau_{HP}=\tau_I=\tau} \right), \quad (5.29)$$

so kann gezeigt werden, daß die Differenz zwischen dem realen Spannungsanstieg $\frac{dU_{DS}}{dt}$ und der nominalen Rampensteilheit, welche durch U_E eingestellt wird, integriert und dem Gate des Serien MOS-FET M_S zugeführt wird.

Wenn daher $\frac{dU_{DS}}{dt}$ zu klein wird, steigt die Gate-Source-Spannung von M_S schneller, was dazu führt, daß U_{DS} schneller angehoben wird.

Um die bleibende Regeldifferenz klein zu halten, muß die Verstärkung $F_{MM} = \frac{U_{DS}}{U_{BUF}}$ so groß wie möglich sein.

$$F_{MM} = \frac{g_{m,M_S}(r_{DS} + pL_D)(R_P + pL_{\sigma 2})}{(1 + p\tau_R + p^2\tau_L^2)(r_{DS} + R_P + pL_{\sigma})} \quad (5.30)$$

$$\tau_R = R_{G,S}C_{G,S} \quad (5.31)$$

$$\tau_L^2 = L_{G,S}C_{G,S} \quad (5.32)$$

$$L_{\sigma} = L_D + L_{\sigma 2} + L_{\sigma 3} \quad (5.33)$$

Dabei ist r_{DS} der Kleinsignalausgangswiderstand und g_{m,M_S} die Übertragungsteilheit von M_{DUT} , $R_{G,S}$ der parasitäre Gate-Widerstand und $C_{G,S}$ die Eingangskapazität von M_S .³ Der parallele Widerstand R_P wird benötigt, um die Verstärkung der offenen Regelschleife zu limitieren, falls M_{DUT} sich im Sättigungsbereich befindet. $L_{\sigma 1}$ hat keinen Einfluß, da sich M_S ständig in Sättigung befindet.⁴

Ein Tiefpaß-Filter wird eingesetzt, um den Phasenrand der äußeren Regelschleife zu erhöhen.

$$F_{TP} = \frac{1}{1 + p\tau_{TP}} \quad (5.34)$$

$$\tau_{TP} = R_{TP}C_{TP} \quad (5.35)$$

Zur Stabilitätsuntersuchung des Regelkreises müssen beide Regelschleifen – die am positiven und am negativen Eingang des Operationsverstärkers enden – berücksichtigt werden (Bild 5.25).

$$-F_{o,N} = \frac{p\tau_I}{(1 + p\tau_I) \left(\frac{1}{k} - \frac{U_P}{U_{OP}} \right)} \quad (5.36)$$

³Der Miller-Effekt von M_S wird vernachlässigt. Parasitäre Source-Induktivitäten werden generell vernachlässigt.

⁴Kanallängenmodulation und Rückwirkungskapazität von M_S werden vernachlässigt.

$$-F_{o,P} = - \underbrace{\frac{k(1+p\tau_I)}{1+(1+k)p\tau_I}}_{F_{SI}} \frac{U_P}{U_{OP}} \quad (5.37)$$

$$\frac{U_P}{U_{OP}} = F_{BUF} F_{MM}(-1) F_{HP} F_{TP} \quad (5.38)$$

Den größten Einfluß auf die Regelkreisstabilität haben die parasitären Induktivitäten L_D , $L_{\sigma 2}$ und $L_{\sigma 3}$.

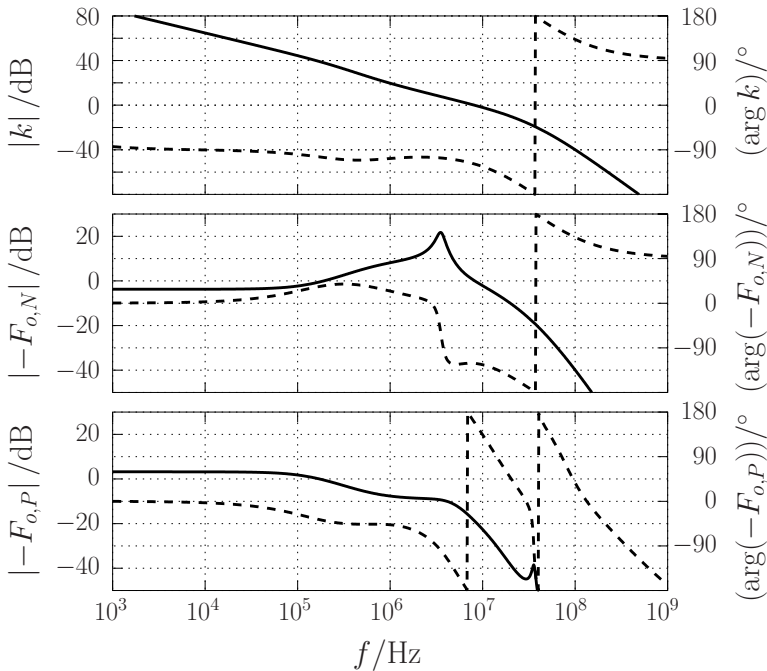


Bild 5.25: Übertragungsfunktionen des Operationsverstärkers und der beiden offenen Regelschleifen, — Betrag, - - - Argument

5.2.7.3 Pulsformung

Der im Abschnitt 5.2.7.2 beschriebene Regelkreis erzeugt einzelne Rampen. Um die gewünschte Pulsform wie in Bild 5.26 zu erreichen, wird die Meßschaltung um den mit Rückkopplungsunterdrückung bezeichneten Schaltungsteil ergänzt. Die Spannungsquelle $U_{DS,0}$ mit der Diode D_2 bewirkt,

daß die Spannung am positiven Eingang des Operationsverstärkers U_P solange positiv ist, wie $U_{DS,0} > U_{DS}$ gilt. Ist die Differenz zwischen der vorgegebenen Spannung $U_{DS,0}$ und dem realen U_{DS} sehr groß, so wird U_P durch die Diode D_1 und den Widerstand R_1 auf etwa 0,7 V begrenzt.

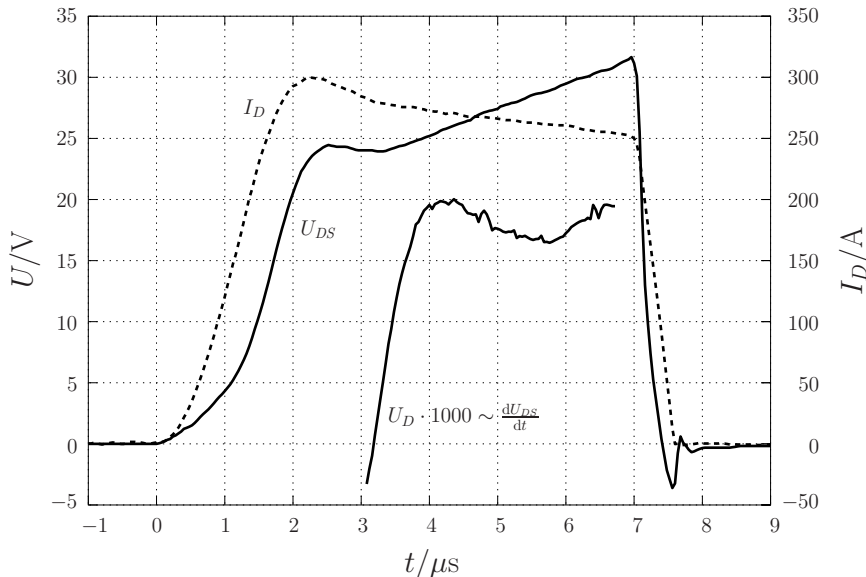


Bild 5.26: Meßpuls für $U_{GS} = 20 \text{ V}$ und $U_{DS,0} = 10,18 \text{ V}$

Da dies zwischen zwei Pulsen ($U_{DS} = 0 \text{ V}$) stets der Fall ist, muß die Spannung des Pulsengenerators zu dieser Zeit größer als 0,7 V sein, damit die Ausgangsspannung des Operationsverstärkers gegen seine negative Spannungsversorgung strebt.

Am Anfang des Pulses wird der Ausgang des Pulsengenerators negativ, wodurch die Differenzspannung am Eingang des Subtrahierers/Integrierers $0,7 \text{ V} - U_E$ wird. Diese Differenzspannung und die Zeitkonstante des Integrierers τ_I bestimmen die Geschwindigkeit, mit der die Gate-Spannung von M_S steigt.

Wächst U_{DS} über die vorgegebene Spannung $U_{DS,0}$ hinaus an, so sperrt D_2 und die Rampensteilheit von U_{DS} wird nach einer gewissen Einschwingzeit nur noch von der Zeitkonstante des Hochpaßes τ_{HP} und der Spannung des Pulsengenerators U_E bestimmt.

$4 \mu\text{s}$ nach Beginn des Stromflusses erreicht U_D seinen Sollwert, so daß die nun folgenden Meßwerte verwendbar sind. In Bild 5.26 ist an der Stromkurve die mit fortschreitender Zeit stärker werdende Eigenerwärmung erkennbar. Deshalb werden nur die Meßwerte zwischen $4 \mu\text{s}$ und $5 \mu\text{s}$ benutzt. In dieser Zeitspanne wird etwa 100 mal der Kapazitätswert mit Gleichung 5.18 bestimmt.

Wird M_S am Ende des Pulses zu schnell abgeschaltet, so kann dessen Drain-Source-Spannung wegen der parasitären Induktivitäten über die maximal zulässige Blockierspannung ansteigen. Dies kann entweder durch Verlangsamung des Abschaltprozesses oder durch eine parallelgeschaltete Z-Diode D_Z (transient absorption zener, TAZ) verhindert werden.

Zwischen jeweils zwei der 250 zu einem Kennlinienast gehörenden Pulse wird die vorgegebene Spannung $U_{DS,0}$ um einen kleinen Betrag erhöht.

5.2.7.4 Parasiten, EMV und Meßaufbau

Der Widerstand der Strommeßsonde am Gate des DUT hat zwei Effekte. Einerseits muß er berücksichtigt werden, in dem er zum Gate-Widerstand des DUT in Gleichung 5.14 addiert wird. Andererseits verursacht er über die Zeit einen Abfall des angezeigten Meßwertes (droop).

Die Zuleitungen zur Meßschaltung haben eine parasitäre Induktivität, weshalb alle zugeführten Gleichspannungen kapazitiv gepuffert werden. Da die Gleichspannungsquellen typischerweise eine Kapazität von 50 nF bis 500 nF nach Masse haben, wird zwischen Spannungsquelle und Pufferkapazität jeweils eine Serienschaltung von Induktivität und Widerstand eingefügt (diese sind in Bild 5.21 nicht eingezeichnet). Der Widerstand muß den aus Induktivität und Kapazität bestehenden Schwingkreis ausreichend dämpfen und die Wiederaufladung der Kapazität während der Pause zwischen zwei Pulsen ermöglichen.

Eine Fehlfunktion führt üblicherweise zur Zerstörung aller Leistungshalbleiterbauelemente. Deshalb werden Widerstände in die Schaltung eingefügt, die auch bei unbeabsichtigter Abtrennung des Pulsgenerators oder einer falschen Reihenfolge des An- und Abschaltens der Spannungsversorgungen einen sicheren Zustand einstellen.

Der Stromanstieg von bis zu $700 \frac{\text{A}}{\mu\text{s}}$ verursacht ein von den Leiterschleifen des Lastkreises ausgehendes Magnetfeld. Um dessen Einfluß auf das Meßergebnis klein zu halten, wird mit einem Parallelplattenleiter ein Abstand

zwischen DUT und den unvermeidbar großen Leiterschleifen nahe der Kapazität C_0 und der Strommeßsonde aufgebaut. Mit einem Flachbandkabel wird ebenfalls zwischen DUT und der Meß- und Regelschaltung ein Abstand geschaffen. Wie Bild 5.27 zeigt, werden sowohl die Meß- und Regelschaltung als auch das Flachbandkabel in einer Ebene zu den Magnetfeldlinien ausgerichtet. Die Meß- und Regelschaltung wird mit zwei Eisenplatten abgeschirmt.

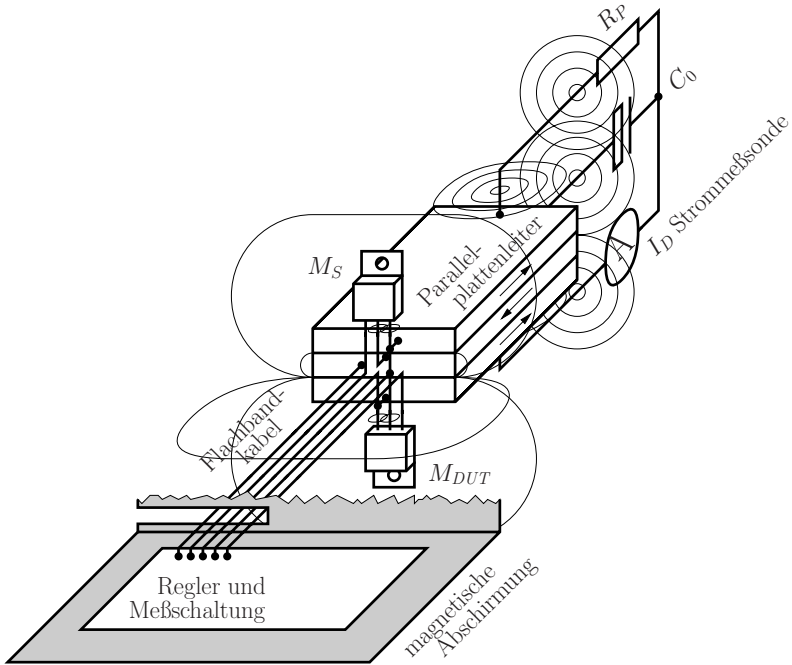


Bild 5.27: magnetische Feldlinien und Stromrichtung im Parallelplattenleiter während der C_{GD} -Messung

Eine Messung der parasitären Elemente des Meßaufbaues ergab $L_{\sigma 1} = 5,7 \text{ nH}$, $R_{\sigma 1} = 5,2 \text{ m}\Omega$, $L_{\sigma 2} = 5,4 \text{ nH}$, $L_{\sigma 3} = 7,0 \text{ nH}$ und $R_{\sigma 3} = 3,6 \text{ m}\Omega$ bei einer Toleranz von etwa $\pm 30 \%$.

5.2.7.5 Kalibrierung

Wie Bild 5.11 zeigt, ist bei Gate-Source-Spannungen unter -6 V die Rückwirkungskapazität gleich 0 F . Dieser Umstand wird ausgenutzt, um den Off-

set der Meßanordnung zu bestimmen. In Bild 5.28 weicht das Meßergebnis für die Kennlinienäste $U_{GS} \in \{-10\text{ V}, -9\text{ V}, \dots, -6\text{ V}\}$ bis zu 70 pF von der Nulllinie ab. Diese 5 Äste werden gemittelt und als Offset $C_{Offset}(U_{DS})$ betrachtet.

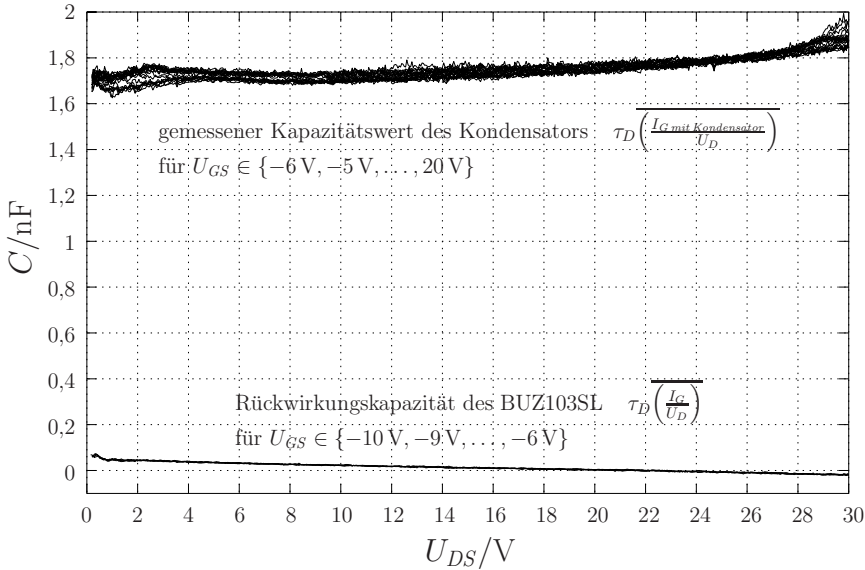


Bild 5.28: Vergleichsmessung zur Kalibrierung

Der Wert eines Keramik Kondensators wird mit dem Kapazitätsmeßgerät HP4280A zu $C_{Kondensator} = 1,717\text{ nF}$ bestimmt. Dieser Kondensator wird in der Meßschaltung zwischen dem Drain des DUT und der Strommeßsonde für $I_G \text{ mit Kondensator}$ geschaltet. Das Gate des DUT wird direkt mit der U_{GS} -Quelle verbunden. Auf diese Weise wird der Kapazitätswert des Kondensators $\tau_D \left(\frac{I_G \text{ mit Kondensator}}{U_D} \right) (U_{GS}, U_{DS})$ mit einem fast unveränderten Meßaufbau bestimmt. Die Kurvenschar ist ebenfalls in Bild 5.28 zu sehen. Sie liegt in einem 380 pF breiten Band und vermittelt eine Vorstellung von der Grundgenauigkeit der Messung.

Die Meßschaltung kann aufgrund der stets vorhandenen Einschwingzeit der Regelschleifen sowie des differenzierenden Hochpaßes aus R_D und C_D keinen Meßwert bei $U_{DS} = 0\text{ V}$ liefern. Deshalb werden die Meßwerte um diejenigen aus Abschnitt 5.2.5 ergänzt.

Die Bilder 5.20 und C.8 zeigen das Ergebnis nach der sich anschließenden

Meßdatenaufbereitung zur Elimination von Offset, Skalierungsungenauigkeit und Spannungseinbrüchen in Abschnitt C.

5.2.8 Eingangskapazität bei Stromfluß

Die einzelnen Äste der Kurvenschar der Eingangskapazität

$$C_{GG} = I_G \frac{dt}{dU_{GS}} \Big|_{U_{DS}=const} \quad (5.39)$$

haben jeweils eine konstante Drain-Source-Spannung (siehe Bild 5.29).

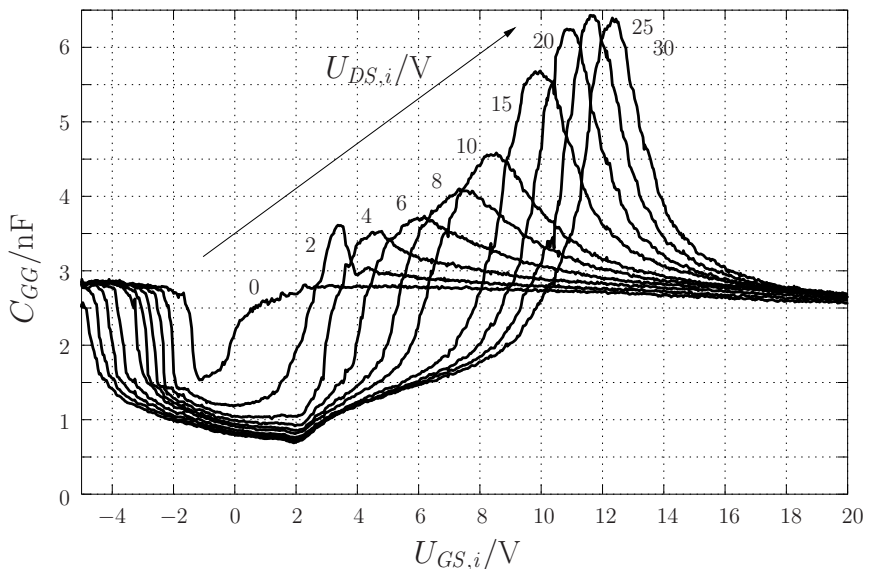


Bild 5.29: Eingangskapazität, siehe Bild C.4 bezüglich der Definition von $U_{GS,i}$ und $U_{DS,i}$

Der Versuch, eine Meßschaltung aufzubauen, welche die Drain-Source-Spannung konstant hält, während ein Gate-Source-Spannungspuls eingeprägt wird, erwies sich wegen der parasitären Elemente, der notwendigen Steuersequenz und der unterschiedlichen Bezugspotentiale der Gate-Spannungsregelungen von DUT und seriellen MOS-FET M_S als aufwendig. Deshalb bleibt im Meßaufbau von Bild 5.30 die Drain-Source-Spannung unregelt.

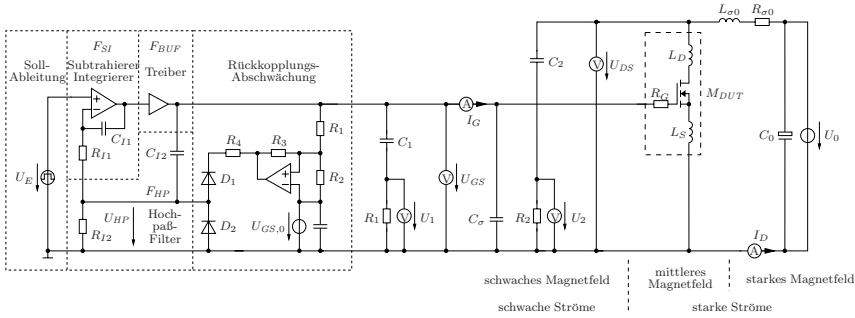


Bild 5.30: Meßschaltung

Beginnt der Drain-Stromfluß, so bricht die Drain-Source-Spannung wegen der parasitären Elemente $L_{\sigma 0}$ und $R_{\sigma 0}$ um bis zu 2,5 V ein (Bild 5.31). Wird der Spannungseinbruch ebenfalls meßtechnisch erfaßt, so kann er nachträglich aus den Meßdaten mit

$$C_{GG}(U_{GS}(t), U_{DS}(t)) \approx \left(I_G(t) - C_{GD} \frac{U_2(t)}{R_2 C_2} \right) \frac{R_1 C_1}{U_1(t)} \quad (5.40)$$

wieder herausgerechnet werden, da aus Abschnitt 5.2.7 mit der Rückwirkungskapazität auch seine Auswirkung auf das Meßergebnis bekannt ist. Hierzu bedarf es einer im Anhang C näher beschriebenen Methode.

Die Rückkopplungsabschwächung besteht aus einem Komparator mit Hysteresis. Ist die Gate-Source-Spannung U_{GS} kleiner als die vorgegebene $U_{GS,0}$, so wird U_{HP} auf etwa $-0,7\text{ V}$ gezwungen.

Zwischen zwei Meßpulsen ist dies stets der Fall, weshalb der Pulsgenerat Ausgang U_E zu diesem Zeitpunkt eine Spannung unter $-0,7\text{ V}$ benötigt, um den Ausgang des Operationsverstärkers gegen seine negative Versorgungsspannung zu treiben.

Ein Meßpuls wird dann durch ein positives U_E ausgelöst. Die Spannung $U_E + 0,7\text{ V}$ und die Zeitkonstante $R_{I1} C_{I1}$ bestimmen den Anstieg von U_{GS} , wie er in Bild 5.32⁵ zu sehen ist.

Erreicht U_{GS} die vorgegebene Gate-Source-Spannung $U_{GS,0}$, so schaltet der Komparator und die Dioden sperren. Nach einer Einschwingzeit nimmt die

⁵Die Spannungen U_1 , U_2 und U_{DS} verlassen in Bild 5.32 teilweise den Meßbereich des Oszilloskops und sind zu diesen Zeiten als glatter, horizontaler Kurvenverlauf dargestellt.

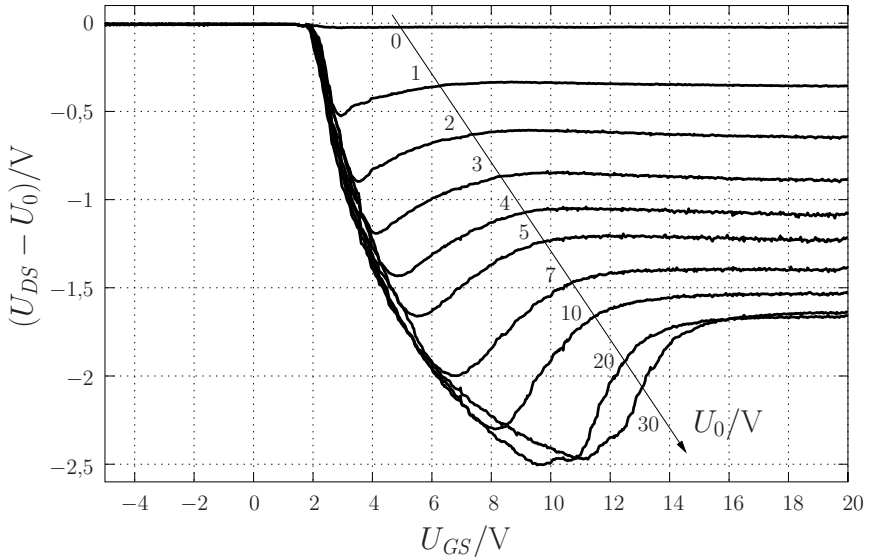


Bild 5.31: U_{DS} -Spannungseinbruch aufgrund der parasitären Elemente $L_{\sigma 0}$ und $R_{\sigma 0}$

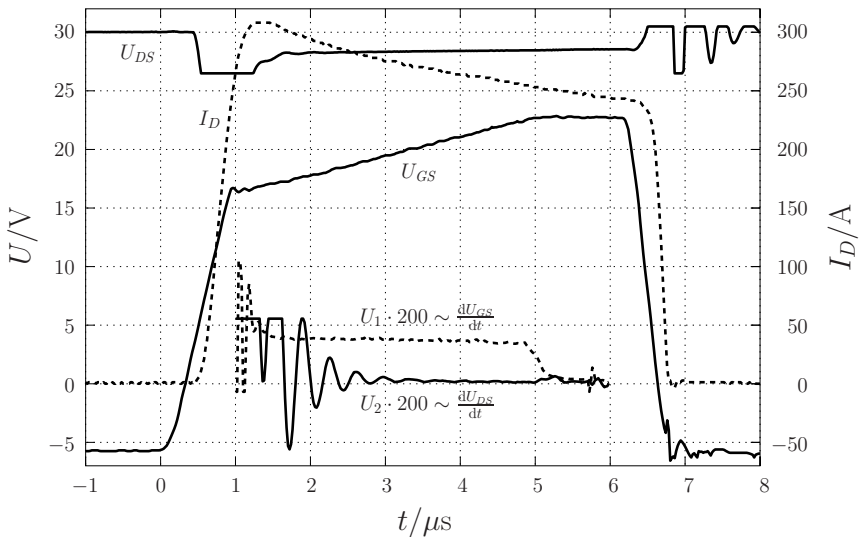


Bild 5.32: Meßpuls für $U_0 = 30\text{ V}$ und $U_{GS,0} = 11,5\text{ V}$

Gate-Source-Spannung die zur Meßwertaufnahme notwendige Rampensteilheit an, welche näherungsweise durch die Zeitkonstante $R_{I1}C_{I1} + R_{I2}C_{I1} + R_{I2}C_{I2}$ und U_E vorgegeben wird.

Während die Ableitung der Gate-Source-Spannung U_1 schon nach $1,5 \mu\text{s}$ stabil ist, benötigt die Ableitung der Drain-Source-Spannung U_2 dazu insgesamt $3 \mu\text{s}$. Wie in Abschnitt 5.2.7 werden im Intervall zwischen $3 \mu\text{s}$ und $4 \mu\text{s}$ etwa 100 Meßwerte nach Gleichung 5.40 bestimmt und gemittelt.

Der Gate-Anschluß des DUT hat über das Flachbandkabel und das Gehäuse der Strommeßsonde eine parasitäre Kapazität C_σ nach Masse. Bei der Eingangskapazitätsmessung muß sie als Offset vom Meßwert wieder abgezogen werden.

Die gemittelten Meßdaten werden vom Offset befreit und mit der Kurvenschar der Vergleichsmessung mit dem $1,717 \text{ nF}$ Kondensator (siehe Bild 5.33) skaliert. Zusätzlich werden vor der Meßreihe die Werte R_1C_1 und R_2C_2 für die Korrektur des Drain-Spannungseinbruchs meßtechnisch bestimmt. Die nach der numerischen Aufbereitung der Meßdaten in Abschnitt C erhaltene Eingangskapazität ist in Bild 5.29 und C.11 dargestellt. Jeder Kennlinienast entsteht aus den Meßwerten von 400 Einzelpulsen.

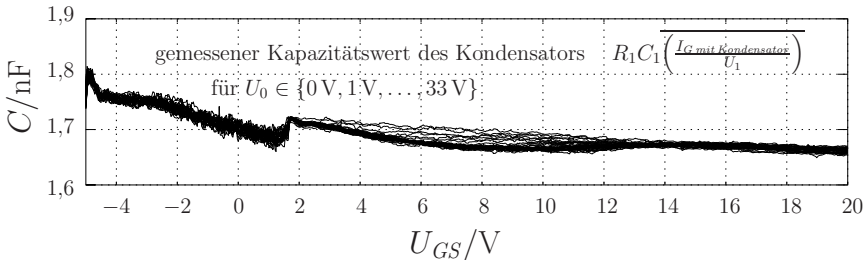


Bild 5.33: Vergleichsmessung zur Kalibrierung

In Bild 5.32 erreicht U_{GS} bei $5 \mu\text{s}$ die positive Versorgungsspannung von Operationsverstärker und Treiber und wird auf $22,8 \text{ V}$ begrenzt.

Ein negatives U_E leitet den Abschaltvorgang ein. Die Steilheit der folgenden U_{GS} -Rampe wird näherungsweise durch die Zeitkonstante $R_{I1}C_{I1} + R_{I2}C_{I1} + R_{I2}C_{I2}$ und U_E beziehungsweise $R_{I1}C_{I1}$ und $U_E - 0,7 \text{ V}$ eingestellt.

Die durch die parasitäre Induktivität $L_{\sigma 0}$ entstehende Überspannung am Drain des DUT kann entweder durch Verlangsamung des Abschaltprozesses verringert werden oder es wird eine Z-Diode als Überspannungsschutz eingesetzt.

5.3 Extraktion des mittleren Oberflächenpotentials

Mit der gemessenen Eingangs- und Rückwirkungskapazität kann das von außen nicht zugängliche, auf die Source bezogene, mittlere Oberflächenpotential U_{AS} berechnet und z. B. zur Parametrierung von Schaltungssimulationsmodellen verwendet werden.

Der Gate-Strom entspricht dem Verschiebungsstrom durch das Oxid.

$$I_G = \int_{A_{Ox}} \frac{\varepsilon_0 \varepsilon_r, Ox}{d_{Ox}} \frac{dU_{Ox}}{dt} dA \quad (5.41)$$

Mit dem Spannungsabfall über dem Oxid oberhalb des Body-Gebietes (vgl. Gleichung 4.10)

$$U_{Ox} = U_{GS} - \Phi_S - U_{FB,B} \quad (5.42)$$

und dem über dem des Epi-Gebietes (vgl. Gleichung 4.72)

$$U_{Ox} = U_{GD} - \Phi_A - U_{FB,E} \quad (5.43)$$

ergibt sich zusammen mit den Werten der abgeleiteten Flachbandspannungen $\frac{dU_{FB,B}}{dt} = \frac{dU_{FB,E}}{dt} = 0 \frac{V}{s}$ der Gate-Strom zu

$$I_G = (C_{GA,Ox} + C_{GB,Ox} + C_{GS,Ox}) \frac{dU_{GS}}{dt} - C_{GA,Ox} \frac{dU_{DS}}{dt} - C_{GA,Ox} \frac{1}{A_1} \int_{A_1} \frac{d\Phi_A}{dt} dA - C_{GB,Ox} \frac{1}{A_{Body}} \int_{A_{Body}} \frac{d\Phi_S}{dt} dA \quad , \quad (5.44)$$

wobei A_{Body} die Oberfläche des Body-Gebietes und A_1 die des Epi-Gebietes ist. Mit der groben Näherung

$$\frac{1}{A_{Body}} \int_{A_{Body}} \Phi_S dA \approx \frac{1}{4} U_{AS} \quad ^6 \quad (5.45)$$

und den Gleichungen 3.38 und 4.74 erhält man nach Kürzen von dt

$$dU_{AS} \approx \frac{C_{GA,Ox} + C_{GB,Ox} + C_{GS,Ox} - C_{GG}}{C_{GA,Ox} + \frac{1}{4} C_{GB,Ox}} dU_{GS} - \frac{C_{GD}}{C_{GA,Ox} + \frac{1}{4} C_{GB,Ox}} dU_{DS} \quad . \quad (5.46)$$

⁶Der Faktor liegt normalerweise zwischen 0 und $\frac{1}{2}$. Wird der Mittelwert $\frac{1}{4}$ verwendet, so liegt der typische, relative Fehler von U_{AS} nach Gleichung 5.46 bei $\frac{\frac{1}{4} C_{GB,Ox}}{C_{GA,Ox} + \frac{1}{4} C_{GB,Ox}} = 9,8\%$.

In Bild 3.4 ist zu erkennen, daß bei $U_{DS} = 0\text{ V}$ die Akkumulation im Epi-Gebiet bei $U_{GS} = -0,1\text{ V}$ beginnt.⁷ Bei beginnender Akkumulation ist das Oberflächenpotential null und wegen Gleichung 4.74 gilt $U_{AS}(U_{GS} = -0,1\text{ V}, U_{DS} = 0\text{ V}) = 0\text{ V}$. Mit dieser Randbedingung kann Gleichung 5.46 integriert werden. Das Resultat ist in Bild 5.34 dargestellt.

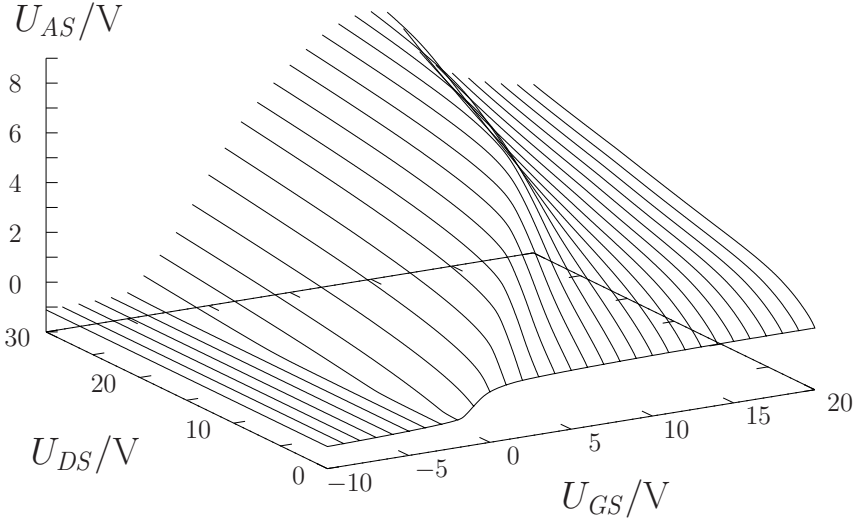


Bild 5.34: auf Source bezogenes, mittleres Oberflächenpotential des Epi-Gebietes

Das mittlere Oberflächenpotential erlaubt eine Aufteilung der DMOS-Ausgangskennlinie (Bild 5.6) in die Ausgangskennlinie der Elektronenschicht an der Halbleiteroberfläche (interner, lateraler MOS-FET und Akkumulati-onsschicht, Bild 5.35) und des Epi-Gebietes (Bild 5.36).

⁷Dies ist abhängig von der Gate- und der Epi-Dotierung.

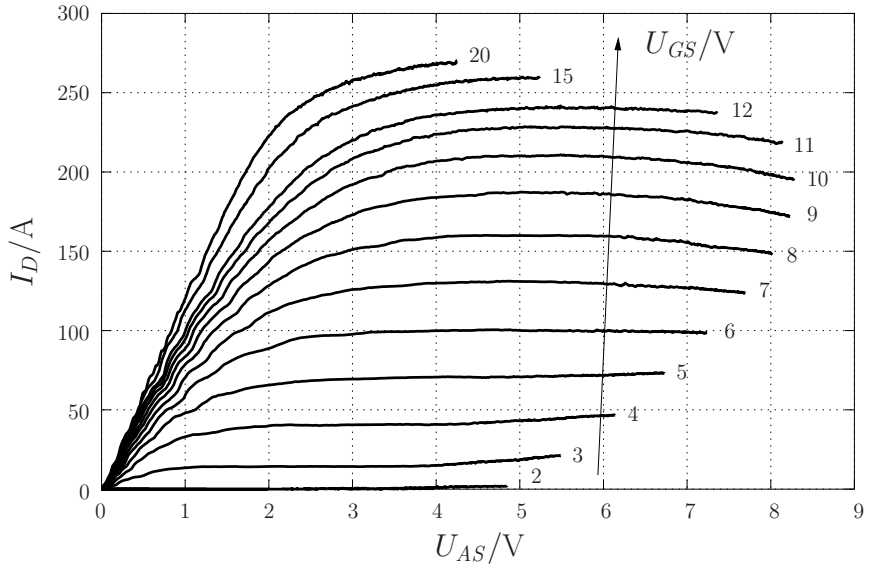


Bild 5.35: Ausgangskennlinie des internen, lateralen MOS-FET mit Akkumulationsregion

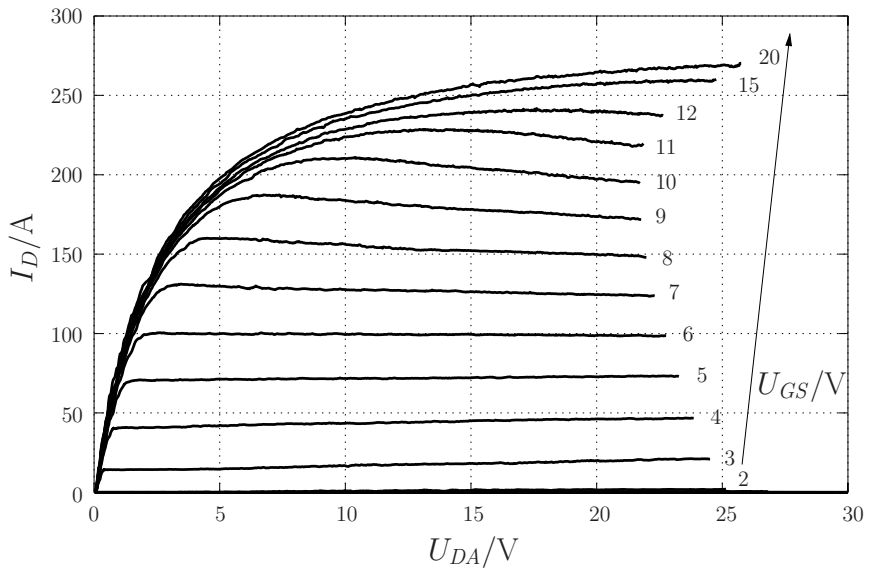


Bild 5.36: Ausgangskennlinie des Epi-Gebietes

6 Zusammenfassung

In dieser Arbeit wird der physikalische Aufbau, das elektrische Verhalten, die Modellierung und die meßtechnische Charakterisierung eines DMOS beschrieben.

Die elektrischen Eigenschaften werden bezüglich des statischen und dynamischen Verhaltens im Zusammenhang mit den dabei intern vorherrschenden Zuständen analysiert. Dazu wird eine Einzelzelle mit dem Device-Simulator Medici [5] und ein verteiltes System von vielen Zellen mit eigenen C-Programmen sowie der Methode der finiten Differenzen untersucht.

Das dynamische Verhalten des DMOS wird mathematisch beschrieben. Dabei wird deutlich, daß ein präzises, statisches Modell die Voraussetzung für ein dynamisches Modell ist, weil das mittlere Oberflächenpotential im Epi-Gebiet einen erheblichen Einfluß auf das dynamische Verhalten hat.

Für die einzelnen Konstruktionselemente des DMOS werden Modelle für die Schaltungssimulation entwickelt, in gnuplot realisiert und mit den Ergebnissen aus der vorangegangenen Untersuchung verglichen. Zusätzlich werden Zahlenbeispiele für ein reales Bauelement angegeben.

Ein Vergleich ergibt, daß eine Modellierung des Dotierungsgradienten im internen, lateralen MOS-FET nicht notwendig ist.

Das dynamische Verhalten des DMOS stellt sich als im wesentlichen abhängig von den parasitären Induktivitäten im Lastkreis, dem verteilten RC-System der Poly-Gate-Schicht und dem mittleren Oberflächenpotential im Epi-Gebiet heraus.

Das in dieser Arbeit entwickelte Modell des Gate-Widerstandes wird an der gemessenen Übertragungskennlinie der Poly-Gate-Schicht evaluiert. Die gute Übereinstimmung ist nicht zuletzt auf die Linearität des modellierten RC-Systems zurückzuführen.

Die Modellteile sind in einem Gesamtmodell für den Schaltungssimulator Saber [3] zusammengefaßt. Wie sich zeigt, ist die Beschreibung der zweidimensionalen Verhältnisse an der n^- -Epi-Oberfläche die größte und hier noch verbliebene Herausforderung der Modellierung.

Ein reales Bauelement wird mit konventionellen Methoden meßtechnisch untersucht. Die dabei gewonnenen Kennlinien belegen, daß das dynamische Verhalten des niederohmigen DMOS bislang nur grob und nur für wenige Spezialfälle mit der Gate-Ladekurve charakterisiert werden kann.

Deshalb wird eine neuartige Meßmethode vorgestellt, die erstmals die Kapazitätskennlinien auch im Bereich über der Einsatzspannung erfassen kann. Die Funktion und Kalibrierung der Meßschaltung, der Aufbau des Regelkreises und die numerische Meßdatenaufbereitung werden ausführlich beschrieben. Letztere basiert auf einer neuen Interpolationsmethode.

Schließlich wird eine Rechenvorschrift hergeleitet, welche es erlaubt, aus den Meßdaten das mittlere Oberflächenpotential im Epi-Gebiet zu ermitteln. Dieses mittlere Oberflächenpotential erlaubt eine getrennte Betrachtung des Verhaltens der Elektronenschicht an der Halbleiteroberfläche (interner, lateraler MOS-FET und Akkumulationsregion) und des Epi-Gebietes. Die Parametrierung von Modellen wird dadurch robuster.

A Kleinsignalparameter

Die in Abschnitt 3.1.7 benutzten Kleinsignalparameter werden hier analytisch beschrieben.

Unter Vernachlässigung des Widerstandes der Akkumulationsschicht und der Kanallängenmodulation erhält man für den internen, lateralen MOS-FET die Kleinsignalparameter nach dem Shichman-Hodges-Modell (vgl. Abschnitt 4.1.1.2).

$$g_{GS} = \begin{cases} \mu_{n,eff} C''_{Ox} \frac{w_{eff}}{l} U_{AS} & : U_{GS} - U_{tn} \geq U_{AS} \\ \mu_{n,eff} C''_{Ox} \frac{w_{eff}}{l} (U_{GS} - U_{tn}) & : U_{GS} - U_{tn} \leq U_{AS} \end{cases} \quad (\text{A.1})$$

$$g_{AS} = \begin{cases} \mu_{n,eff} C''_{Ox} \frac{w_{eff}}{l} (U_{GS} - U_{tn} - U_{AS}) & : U_{GS} - U_{tn} \geq U_{AS} \\ 0 \text{ S} & : U_{GS} - U_{tn} \leq U_{AS} \end{cases} \quad (\text{A.2})$$

Der Drain-Strom durch das Epi-Gebiet im Sättigungsbereich wird mit der Annahme einer Raumladungszone konstanter Breite l_{Epi} bei fehlender Oberflächenladungsschicht beschrieben.

$$I_D = I_{sat1} - m_1 \frac{U_{GA}^2}{U_{DA}} \quad : U_{GA} < 0 \text{ V} \quad (\text{A.3})$$

$$m_1 = \frac{C''_{Ox} v_{sat} w l_{Epi}}{2 \varepsilon_0 \varepsilon_{r,Si}} \quad (\text{A.4})$$

In Quasisättigung findet das Kreuzer-Modell [24][23] S. 61–66

$$I_D = \frac{I_{sat1} U_{DA}}{m_2 (m_3 + m_4 \sqrt{U_{DA}}) + U_{DA}} \quad : U_{GA} \geq 0 \text{ V} \quad (\text{A.5})$$

$$m_2 = \frac{4 v_{sat}}{3 \mu_{nE0}} \quad (\text{A.6})$$

$$m_3 = \frac{l_{Epi}}{2} \quad (\text{A.7})$$

$$m_4 = (1 + \tan \nu) \sqrt{\frac{\varepsilon_0 \varepsilon_r S_i}{2qN_E}} \quad (\text{A.8})$$

Anwendung, wobei ν der konstante Stromaufweitungswinkel im Epi-Gebiet ist. Daraus ergeben sich die Kleinsignalparameter des Epi-Gebietes.

$$g_{GA} = \begin{cases} -2m_1 \frac{U_{GA}}{U_{DA}} & : U_{GA} \leq 0 \text{ V} \\ 0 \text{ S} & : U_{GA} \geq 0 \text{ V} \end{cases} \quad (\text{A.9})$$

$$g_{DA} = \begin{cases} m_1 \frac{U_{GA}^2}{U_{DA}^2} & : U_{GA} < 0 \text{ V} \\ I_{sat1} m_2 \frac{m_3 + 0,5 m_4 \sqrt{U_{DA}}}{(m_2 (m_3 + m_4 \sqrt{U_{DA}}) + U_{DA})^2} & : U_{GA} \geq 0 \text{ V} \end{cases} \quad (\text{A.10})$$

In Bild A.1 sind analytische Lösung und Device-Simulation gegenübergestellt.

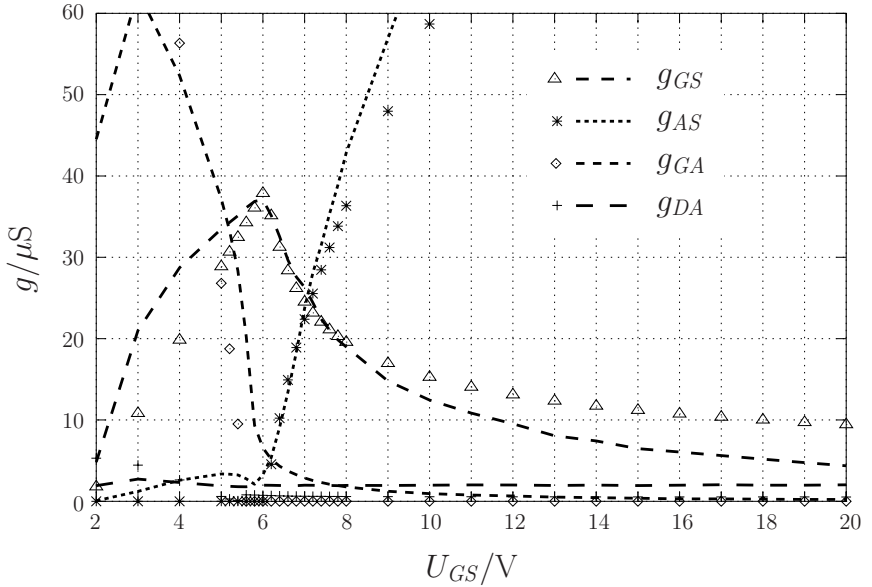


Bild A.1: Kleinsignalparameter des internen, lateralen MOS-FET und des Epi-Gebietes für $U_{DS} = 20 \text{ V}$, Device-Simulation gestrichelt, Gleichungen A.1, A.2, A.9 und A.10 mit Symbolen dargestellt

B Komplexwertige, Besselsche Funktionen

In der Standardsoftware stehen normalerweise nur Besselsche Funktionen mit positiven, reellen Variablen zur Verfügung (Bild B.1).

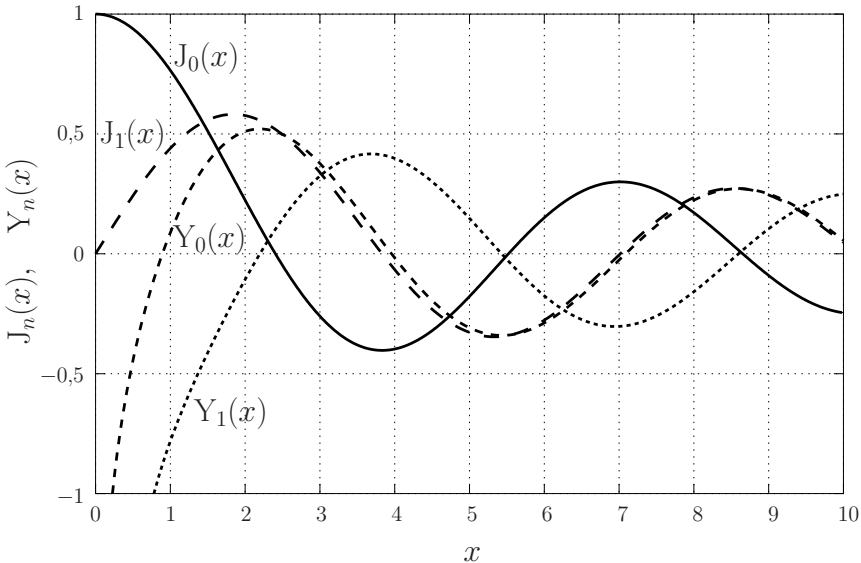


Bild B.1: die Besselschen Funktionen $J_0(z)$, $J_1(z)$, $Y_0(z)$ und $Y_1(x)$ mit positivem, reellem x

Daher wurde für Berechnungen mit Formeln aus Abschnitt 3.2 der Reihenansatz aus [7] S. 441 benutzt und für $n \in \{0, 1, 2, \dots\}$ vereinfacht. Die rekursive Implementierung soll dabei gut portierbar sein.

$$Y_n(z) = Y_{rek2} \left(n, z, 0, a_Y(n, z, 0), -\frac{Y_{rek1}(n, z, 0)}{\pi} \right) \quad (B.1)$$

$$Y_{rek1}(n, z, i) = \begin{cases} 0 & : i = n \\ \frac{(n-i-1)!}{i!} \left(\frac{z}{2}\right)^{n-2i} + Y_{rek1}(n, z, i+1) & : \text{sonst} \end{cases} \quad (B.2)$$

$$Y_{rek2}(n, z, i, a, b) = \begin{cases} a + b & : |a| < |a + b|\varepsilon_{rel} + \varepsilon_{abs} \\ Y_{rek2}(n, z, i+1, a_Y(n, z, i+1), a + b) & : \text{sonst} \end{cases} \quad (B.3)$$

$$a_Y(n, z, i) = \frac{2(C + \ln \frac{z}{2}) - a_{rek}(n+i) - a_{rek}(i)}{\pi} a_J(n, z, i) \quad (B.4)$$

$$a_{rek}(i) = \begin{cases} 0 & : i = 0 \\ \frac{1}{i} + a_{rek}(i-1) & : \text{sonst} \end{cases} \quad (B.5)$$

$$J_n(z) = J_{rek}(n, z, 0, a_J(n, z, 0), 0) \quad (B.6)$$

$$J_{rek}(n, z, i, a, b) = \begin{cases} a + b & : |a| < |a + b|\varepsilon_{rel} + \varepsilon_{abs} \\ J_{rek}(n, z, i+1, a_J(n, z, i+1), a + b) & : \text{sonst} \end{cases} \quad (B.7)$$

$$a_J(n, z, i) = \frac{(-1)^i}{i! (n+i)!} \left(\frac{z}{2}\right)^{n+2i} \quad (B.8)$$

Nach [7] S. 332 ist die Eulersche Konstante

$$C = 0,577215664901532\dots \quad (B.9)$$

Bei Verkürzung der beiden alternierenden¹ Reihen entsteht ein Abbruchfehler. Für große Ergebnisse wurde $\varepsilon_{rel} = 10^{-12}$ als der zulässige, relative Abbruchfehler gewählt. Für kleine Ergebnisse entsprechend der zulässige, absolute Abbruchfehler mit $\varepsilon_{abs} = 10^{-30}$. Die Wahl von ε_{rel} und ε_{abs} hat Einfluß auf die Rechenzeit und darf nicht zum Überschreiten des maximal zulässigen Rekursionslevel führen.

Betrachtet man die Ergebnisse der Methode für positive, reelle Zahlen, so steigt die Zahl der Summenglieder linear und der numerische Fehler exponentiell über die vorgegebenen Grenzen hinaus² mit z an (Bild B.2). Die Implementierung wird deshalb bei Werten $z \geq 38$ vollständig unbrauchbar.

¹Der Begriff "alternierend" gilt hier streng genommen nur für reelle z .

²Die Ursache dieses numerischen Fehlers ist in der begrenzten Stellenanzahl der Mantisse bei der Zahlendarstellung zu suchen.

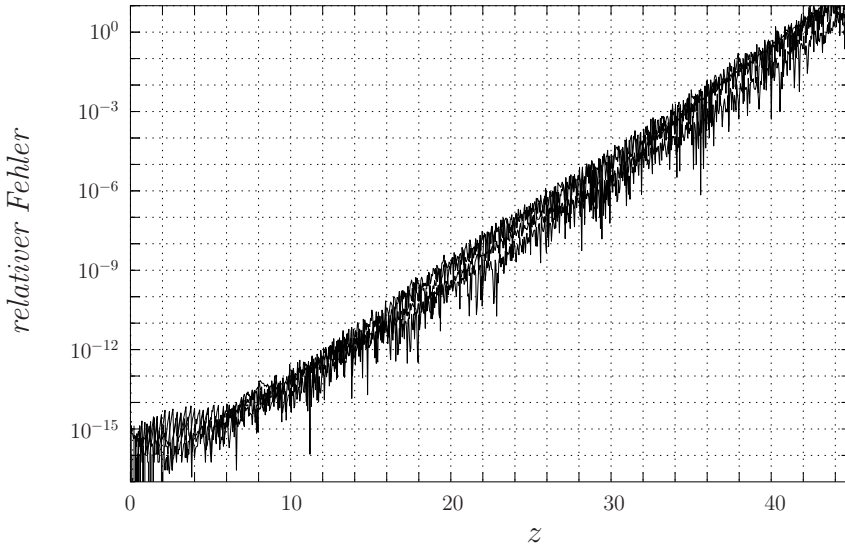


Bild B.2: *relativer, numerischer Fehler bei der Berechnung der Besselschen Funktionen $J_0(z)$, $J_1(z)$, $Y_0(z)$ und $Y_1(z)$ mit der beschriebenen Methode*

Aus den Gleichungen B.1 bis B.8 folgt allgemein

$$J_n(-z) = (-1)^n J_n(z) \quad (\text{B.10})$$

$$Y_n(-z) = (-1)^n (Y_n(z) \pm j2J_n(z)) \quad . \quad (\text{B.11})$$

Wird vom Term $\pm j2J_n(z)$ abgesehen, so bedeutet dies Achsensymmetrie für gerade n und Punktsymmetrie für ungerade n .

In dieser Arbeit werden nur die vier Besselschen Funktionen $J_0(z)$, $J_1(z)$, $Y_0(z)$ und $Y_1(z)$ benötigt. In Abschnitt 3.2.2 ist der Realteil der Variablen stets null (Bild B.3) und in Abschnitt 3.2.1.3 liegen alle Variablen in der komplexen Ebene von z stets auf einer Ursprungsgeraden in Richtung $1 - j$ (Bild B.4).³

Für $|\text{Im}(z)| > 2$ macht sich bemerkbar, daß näherungsweise der Betrag der Besselschen Funktionen exponentiell mit dem Imaginärteil der Variable steigt, während sich das Argument linear zum Realteil verhält.

³Die Bilder B.3 und B.4 zeigen Y_n für den Hauptzweig des \ln in Gleichung B.4.

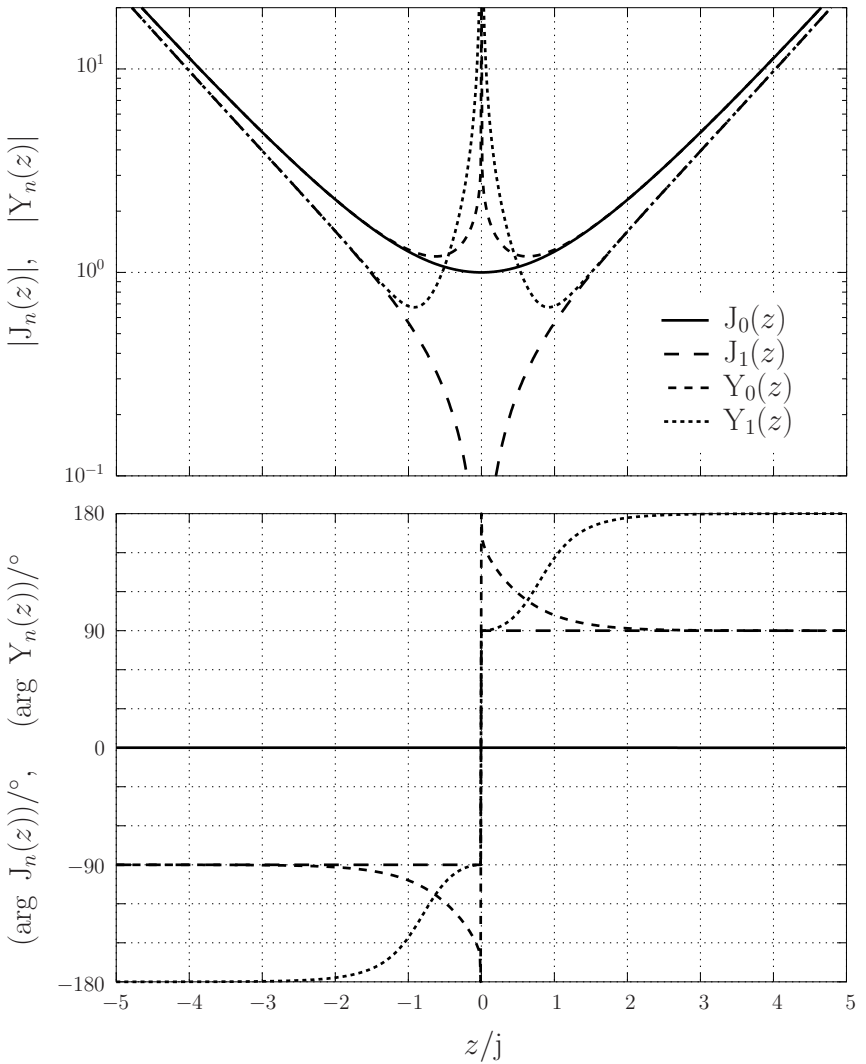


Bild B.3: die Besselschen Funktionen $J_0(z)$, $J_1(z)$, $Y_0(z)$ und $Y_1(z)$ für $z = jx$ mit reellem x

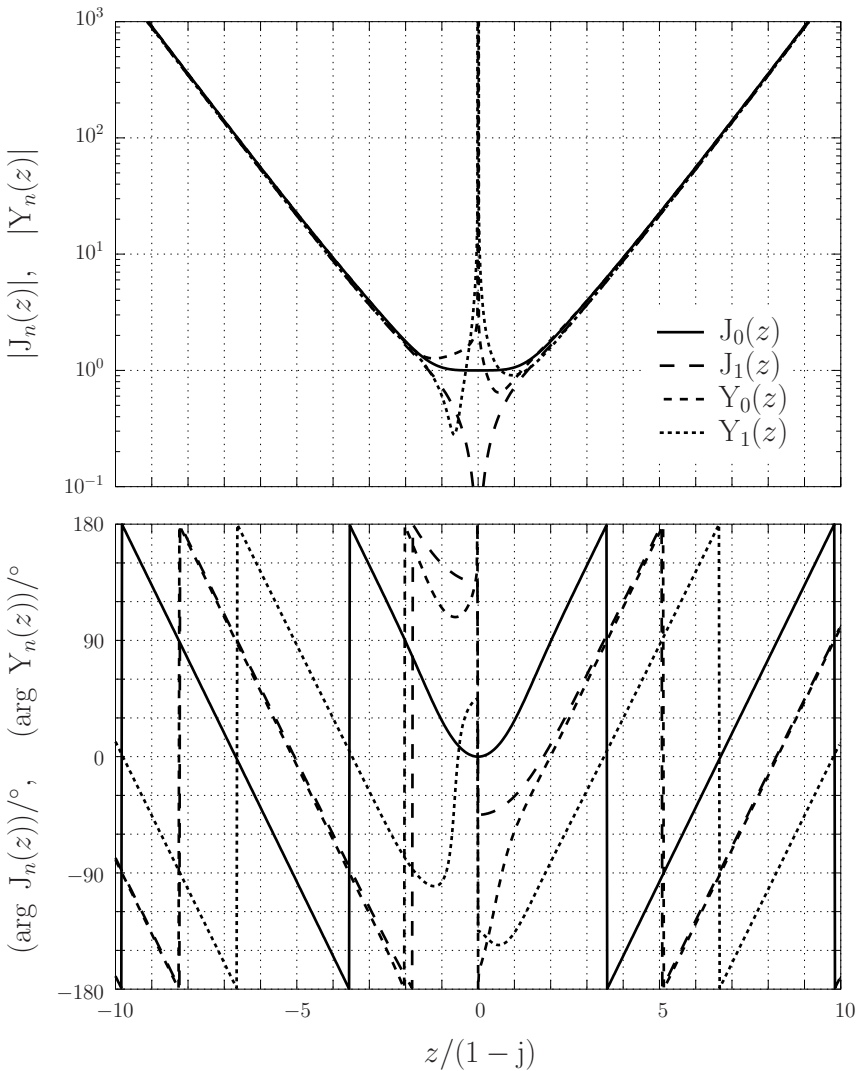


Bild B.4: die Besselschen Funktionen $J_0(z)$, $J_1(z)$, $Y_0(z)$ und $Y_1(z)$ für $z = (1-j)x$ mit reellem x

C Numerische Meßdatenaufbereitung

In diesem Anhang wird die numerische Nachbehandlung der in Abschnitt 5 unter Stromfluß gemessenen Rohdaten der Rückwirkungs- und Eingangskapazität beschrieben.

Zuerst wird in Abschnitt C.1 das dazu notwendige Hilfsmittel – ein Interpolationsverfahren – vorgestellt. In Abschnitt C.2 werden die Meßdaten nochmals aufgelistet und zu Mittelwerten zusammengefaßt. Schließlich werden in Abschnitt C.3 Spannungseinbrüche, Offset und Skalierungsungenauigkeiten aus den Meßwerten herausgerechnet.

C.1 Zweidimensionale Interpolation

C.1.1 Problemstellung

Meßdaten liegen häufig in der Form von Kennlinienscharen vor (siehe z. B. Bild 5.20).¹

In Bild C.1 sind die Koordinaten (x, y) von Meßwerten mit Kreuzen \times markiert. Es gibt eine Koordinate x , welche in größeren Schritten variiert (diskrete Koordinate, Scharparameter). Für einen konstanten Wert $x_A[i]$, welcher mit einer dünnen Linie | dargestellt ist, gibt es eine Menge von Meß-

¹Da die Interpolationsmethode später in unterschiedlichen Fällen angewandt wird, werden die Koordinaten verallgemeinert mit (x, y) und der Funktionswert mit z bezeichnet. Z. B. entspricht bei der gemessenen Kennlinienschar der Rückwirkungskapazität U_{GS} dem Scharparameter x , U_{DS} dem quasikontinuierlichen Parameter y und C_{GD} dem Funktionswert z .

punkten, deren zweite Koordinate y in kleinen Schritten variiert (quasikon-
tinuierliche Koordinate).

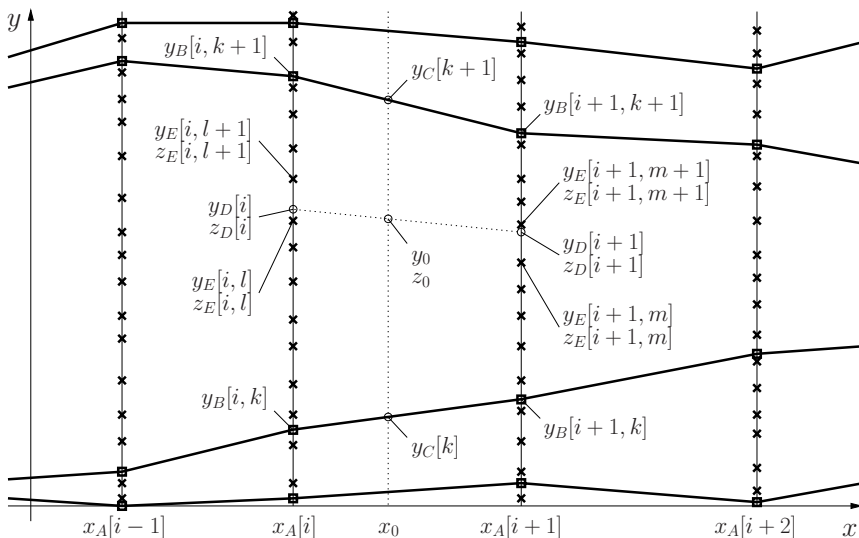


Bild C.1: Interpolation

Wird der Funktionswert z_0 an einer Stelle (x_0, y_0) gesucht, an welcher kein Meßwert aufgenommen wurde, so muß dieser durch Interpolation der vorhandenen Meßwerte gewonnen werden.

Die zugrundeliegende Funktion hat meist eine ausgeprägte Form mit Extrema und Wendepunkten. Es ist anzunehmen, daß diese Form zwischen zwei Kennlinienästen entsprechend weiter existiert. So wird z. B. ein Maximum in Bild 5.20 für steigendes $U_{GS} > 2\text{V}$ kontinuierlich von links nach rechts laufen und abnehmen. Herkömmliche Interpolationsverfahren verschleifen diese Merkmale. Deshalb wurde in dieser Arbeit das folgende Interpolationsverfahren entwickelt.

Die charakteristischen Punkte wie Extrema und Wendepunkte der Kennlinien sind in Bild C.1 als Rechtecke \square eingetragen. Dicke Linien — kennzeichnen den linear angenommenen Verlauf der charakteristischen Punkte zwischen den Kennlinienästen. Da bei Meßdaten die Berechnung einer Ableitung wegen der Meßfehler schwierig ist, werden anstatt der Wendepunkte die Punkte der halben Stufenhöhe zwischen Minimum und Maximum benutzt. Die Interpolation zwischen zwei Kennlinienästen folgt bei dieser Methode dem Verlauf der charakteristischen Punkte.

C.1.2 Algorithmus

Gesucht wird der interpolierte Wert z_0 an der Stelle (x_0, y_0) .

Die Werte des Scharparameters werden im Vektor x_A abgelegt. Der Index i wird mit einer Suche auf dem Vektor x_A so bestimmt, daß x_0 zwischen den beiden benachbarten Kennlinienästen mit $x_A[i]$ und $x_A[i + 1]$ liegt.

$$i \quad : \quad x_A[i] < x_0 \leq x_A[i + 1] \quad (C.1)$$

Im zweidimensionalen Vektor y_B befinden sich die Koordinaten der charakteristischen Punkte. Sie ergeben sich direkt aus den Meßdaten.

Eine Suche auf dem Vektor y_B bestimmt den Index k so, daß die Stelle (x_0, y_0) zwischen den charakteristischen Punkten mit den Indizes k und $k + 1$ liegt, bzw. die Stelle (x_0, y_0) im Viereck mit den Ecken $(x_A[i], y_B[i, k])$, $(x_A[i + 1], y_B[i + 1, k])$, $(x_A[i], y_B[i, k + 1])$ und $(x_A[i + 1], y_B[i + 1, k + 1])$ liegt. $y_C[k]$ und $y_C[k + 1]$ sind dabei nur zwei Zwischenergebnisse.

$$k \quad : \quad y_C[k] < y_0 \leq y_C[k + 1] \quad (C.2)$$

$$y_C[k] = \frac{y_B[i + 1, k] - y_B[i, k]}{x_A[i + 1] - x_A[i]}(x_0 - x_A[i]) + y_B[i, k] \quad (C.3)$$

$$y_C[k + 1] = \frac{y_B[i + 1, k + 1] - y_B[i, k + 1]}{x_A[i + 1] - x_A[i]} \cdot (x_0 - x_A[i]) + y_B[i, k + 1] \quad (C.4)$$

Im nächsten Schritt wird der Verlauf der charakteristischen Punkte zwischen den Kennlinienästen berücksichtigt. $y_D[i]$ und $y_D[i + 1]$ sind die Koordinaten auf den Kennlinienästen i und $i + 1$, welche den gleichen relativen Abstand zu den entsprechenden charakteristischen Punkten haben wie die Stelle (x_0, y_0) zu den Punkten $(x_0, y_C[k])$ und $(x_0, y_C[k + 1])$.

$$y_D[i] = \frac{y_B[i, k + 1] - y_B[i, k]}{y_C[k + 1] - y_C[k]}(y_0 - y_C[k]) + y_B[i, k] \quad (C.5)$$

$$y_D[i + 1] = \frac{y_B[i + 1, k + 1] - y_B[i + 1, k]}{y_C[k + 1] - y_C[k]} \cdot (y_0 - y_C[k]) + y_B[i + 1, k] \quad (C.6)$$

Die quasikontinuierliche Koordinate der Meßpunkte ist im zweidimensionalen Vektor y_E abgelegt. Die Indizes l und m werden jeweils mit einer Suche auf dem Vektor y_E derart ermittelt, daß die Punkte $(x[i], y_D[i])$

und $(x[i+1], y_D[i+1])$ zwischen den Koordinaten $(x_A[i], y_E[i, l])$ und $(x_A[i], y_E[i, l+1])$ bzw. $(x_A[i+1], y_E[i+1, m])$ und $(x_A[i+1], y_E[i+1, m+1])$ benachbarter Meßwerte liegen.

$$l : y_E[i, l] < y_D[i] \leq y_E[i, l+1] \quad (\text{C.7})$$

$$m : y_E[i+1, m] < y_D[i+1] \leq y_E[i+1, m+1] \quad (\text{C.8})$$

Im zweidimensionalen Vektor z_E sind die Meßwerte abgelegt. Auf den Kennlinienästen werden die Meßwerte an den Koordinaten $y_D[i]$ und $y_D[i+1]$ interpoliert.

$$z_D[i] = \frac{z_E[i, l+1] - z_E[i, l]}{y_E[i, l+1] - y_E[i, l]} \cdot (y_D[i] - y_E[i, l]) + z_E[i, l] \quad (\text{C.9})$$

$$z_D[i+1] = \frac{z_E[i+1, m+1] - z_E[i+1, m]}{y_E[i+1, m+1] - y_E[i+1, m]} \cdot (y_D[i+1] - y_E[i+1, m]) + z_E[i+1, m] \quad (\text{C.10})$$

Schließlich werden diese interpolierten Werte zur Interpolation an der Stelle (x_0, y_0) herangezogen.

$$z_0 = \frac{z_D[i+1] - z_D[i]}{x_A[i+1] - x_A[i]} (x_0 - x_A[i]) + z_D[i] \quad (\text{C.11})$$

C.1.3 Eigenschaften

Der interpolierte Wert

$$z_0 = f_{\text{Interpolation}}(Z_E, x_0, y_0) \quad (\text{C.12})$$

ist eine Funktion von der Menge aller Meßdaten

$$Z_E = \{z_E[i, l] \mid x = x_A[i] \wedge y = y_E[i, l]\} \quad (\text{C.13})$$

und der Koordinate (x_0, y_0) , an welcher der Wert interpoliert werden soll.

Die Interpolationsmethode liefert auf den Koordinaten von Meßpunkten den entsprechenden Meßwert. Liegt der gesuchte Wert zwischen zwei Meßpunkten mit gleichem Scharparameter, zieht die Methode nur diese beiden Meßwerte zur Interpolation heran. Zwischen den Kennlinienästen folgt die Methode dem linearisierten Verlauf der charakteristischen Punkte und erhält so die typische Form der zugrundeliegenden Funktion.

Die Koordinaten der Meßwerte müssen in beide Richtungen nicht unbedingt äquidistant sein.

Die Leistungsfähigkeit dieser Interpolationsmethode zeigt das Beispiel in Bild C.2. Extrema entstehen auch an Stellen zwischen den Kennlinienästen. Lokale Charakteristika und Rauschen der Meßwerte bleiben erhalten.

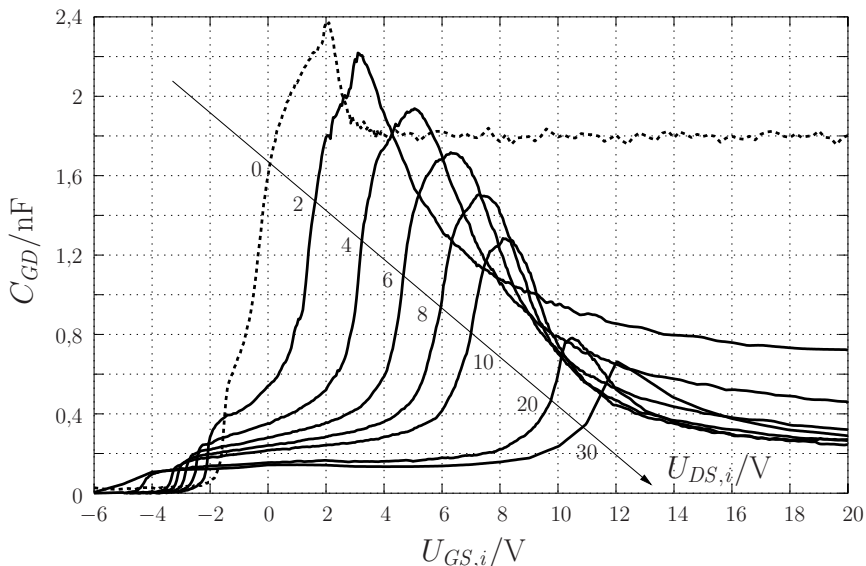


Bild C.2: — Interpolation der Meßdaten aus Bild 5.20 und - - - gemessener Kennlinienast mit $U_{DS,i} = 0$ V aus Bild 5.16

C.2 Meßdaten und Mittelwertbildung

In diesem Abschnitt werden die Meßergebnisse aus Abschnitt 5.2.7 und 5.2.8 nochmals zusammengefaßt. Um einerseits die Datenmenge zu reduzieren und andererseits zufällige Meßfehler abzuschwächen, werden Meßpunkte geeignet zu Mittelwerten verrechnet.

C.2.1 Rückwirkungskapazitätsmessung

Die Messung in Abschnitt 5.2.7 liefert für die 31 Äste der Kennlinienschar pro Ast jeweils zu 25000 Zeitpunkten² einen Satz Meßwerte: U_{DS}, I_G, I_D, U_D . $U_{GS} \in \{-10 \text{ V}, -9 \text{ V}, \dots, 20 \text{ V}\}$ ist der Scharparameter, welcher bei der Messung eines Astes konstant gehalten wird.

Die Meßpunkte werden in U_{DS} -Klassen mit einer Intervallbreite von 0,05 V eingeteilt. Für jeden Kennlinienast werden die arithmetischen Klassenmittelwerte $\overline{U_{DS}}, \left(\frac{I_G}{U_D}\right), \overline{I_D}, \overline{U_D}$ berechnet.³

Mit den Mittelwerten $\overline{I_D}$ und $\overline{U_{DS}}$ zweier benachbarter Klassen k und $k-1$ wird der Ausgangsleitwert berechnet. $\frac{\overline{U_D}}{\tau_D}$ entspricht etwa der Ableitung $\frac{dU_{DS}}{dt}$. Werden beide Terme multipliziert, so ergibt sich näherungsweise die zeitliche Ableitung des Drain-Stromes. Um den Einfluß des Quantisierungsrauschens von I_D abzuschwächen, wird dieser Wert über einen U_{DS} -Bereich von 0,58 V arithmetisch gemittelt.

$$\frac{dI_D}{dt} \approx \frac{\overline{I_D[k]} - \overline{I_D[k-1]}}{\overline{U_{DS}[k]} - \overline{U_{DS}[k-1]}} \cdot \frac{\overline{U_D}}{\tau_D} \quad (\text{C.14})$$

Wie in Abschnitt 5.2.7.5 beschrieben, werden die Kennlinienäste für $U_{GS} \in \{-10 \text{ V}, -9 \text{ V}, \dots, -6 \text{ V}\}$ nochmals arithmetisch gemittelt und als Offset $C_{\text{Offset}}(U_{DS}) = \tau_D \frac{I_G}{U_D}$ bezeichnet.

Die Meßwerte aus der mit der Kapazität $C_{\text{Kondensator}} = 1,717 \text{ nF}$ durchgeführten Rückwirkungskapazitätsmessung werden zu dem arithmetischen Mittel der Klassen der Kennlinienäste $\left(\frac{I_G \text{ mit Kondensator}}{U_D}\right)$ zusammengefaßt.⁴

C.2.2 Eingangskapazitätsmessung

Die Messung in Abschnitt 5.2.8 liefert für die 34 Äste der Kennlinienschar pro Ast jeweils zu 40000 Zeitpunkten⁵ einen Satz Meßwerte:

²250 Pulse pro Ast, 100 Meßzeitpunkte pro Puls

³Die zur Mittelung zusammengestellten Terme sind so gewählt, daß der Erwartungswert des Meßergebnisses auch bei statistischer Abhängigkeit dieser Terme möglichst unverfälscht bleibt.

⁴Daß sich der arithmetische Mittelwert $\overline{U_{DS}}$ der Klassen aus der Messung des DUT von dem Mittelwert der Messung des Kondensators geringfügig unterscheidet, wird vernachlässigt.

⁵400 Pulse pro Ast, 100 Meßzeitpunkte pro Puls

$U_{GS}, U_{DS}, I_G, I_D, U_1, U_2$. $U_0 \in \{0 \text{ V}, 1 \text{ V}, \dots, 33 \text{ V}\}$ ist der Scharparameter, welcher bei der Messung eines Astes konstant gehalten wird.

Die Meßpunkte werden in U_{GS} -Klassen mit einer Intervallbreite von 0,04 V eingeteilt. Für jeden Kennlinienast werden die arithmetischen Klassenmittelwerte $\overline{U_{GS}}, \overline{U_{DS}}, \left(\frac{I_G}{U_1}\right), \overline{I_D}, \overline{U_1}, \left(\frac{U_2}{U_1}\right)$ berechnet.

Mit den Mittelwerten $\overline{I_D}$ und $\overline{U_{GS}}$ zweier benachbarter Klassen k und $k - 1$ wird die Übertragungsteilheit berechnet. $\frac{\overline{U_1}}{R_1 C_1}$ entspricht etwa der Ableitung $\frac{dU_{GS}}{dt}$. Werden beide Terme multipliziert, so ergibt sich näherungsweise die zeitliche Ableitung des Drain-Stromes. Um den Einfluß des Quantisierungsrauschens von I_D abzuschwächen, wird dieser Wert über einen U_{GS} -Bereich von 0,58 V arithmetisch gemittelt.

$$\frac{dI_D}{dt} \approx \frac{\overline{I_D[k]} - \overline{I_D[k-1]}}{\overline{U_{GS}[k]} - \overline{U_{GS}[k-1]}} \cdot \frac{\overline{U_1}}{R_1 C_1} \quad (\text{C.15})$$

Der meßtechnisch erfaßte Wert $\frac{R_1 C_1}{R_2 C_2}$ ist zur Korrektur des Drain-Spannungseinbruchs notwendig. C_σ bezeichnet den kapazitiven Offset durch das Flachbandkabel.

Die Meßwerte aus der mit der Kapazität $C_{\text{Kondensator}} = 1,717 \text{ nF}$ durchgeführten Eingangskapazitätsmessung werden zu dem arithmetischen Mittel der Klassen der Kennlinienäste $\left(\frac{I_G \text{ mit Kondensator}}{U_1}\right)$ zusammengefaßt.

C.3 Elimination von Spannungseinbrüchen

Ein Problem bei der Eingangskapazitätsmessung ist der Drain-Spannungseinbruch. Die Werte eines gemessenen Kennlinienastes liegen nicht auf einer Geraden mit konstantem U_{DS} (siehe Bild C.3). Um Kennlinienäste mit konstanter Drain-Spannung zu erhalten, müssen die Werte zwischen den gemessenen Kennlinienästen interpoliert werden.

Ein weiteres Problem ergibt sich bei der Eingangs- und der Rückwirkungskapazitätsmessung gleichermaßen. Der Kapazitätsdefinition nach Gleichung 3.23 liegt die Annahme zugrunde, daß sich das Bauteil quasistatisch verhält. Dies bedeutet, daß keine dynamischen Zustände (Ladungsspeicherungseffekte oder Induktivitäten) im so betrachteten Bauteil vorhanden sein dürfen (vgl. Abschnitt 5.2.6). Bild 4.30 zeigt, daß dies nicht der Fall

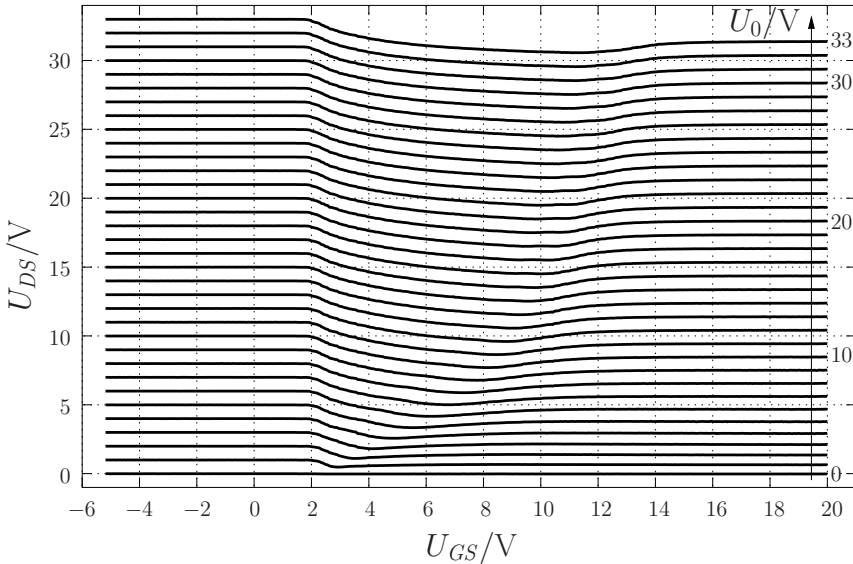


Bild C.3: Lage der gemessenen Daten im (U_{GS}, U_{DS}) -Raum

ist. Im folgenden werden die Ursachen für dynamische Zustände nochmals erörtert.

Ladungsspeicherungseffekte im Halbleiter klingen mit der dielektrischen Relaxationszeit $\tau_d = 1$ ps (Gleichung 5.13) als Zeitkonstante ab und sind deshalb vernachlässigbar.

Dynamische Zustände auf dem Poly-Gate können vernachlässigt werden, da die Rampensteilheit bei der Messung so klein gewählt wurde, daß dadurch entstehende Spannungsdifferenzen kleiner als 0,15 V sind.⁶

Da der Einfluß der Induktivitäten L_D und L_S maßgeblich ist und vom Stromanstieg und somit vom Anwendungsfall abhängig ist, müssen sie aus dem Modell für die Kapazitäten herausgenommen werden. Bild C.4 zeigt das Ersatzschaltbild des DMOS für die Kapazitätsbetrachtung. Die Induktivitäten werden in einem äußeren Modell angefügt. Die Angabe von Kapazitäten bezieht sich dann nur auf das innere Modell. Gleiches gilt sinnvollerweise auch für den Drain-Strom.

⁶Wäre die Rampensteilheit größer, so könnten und müßten diese Effekte in der nachfolgenden Rechnung ebenfalls berücksichtigt werden.

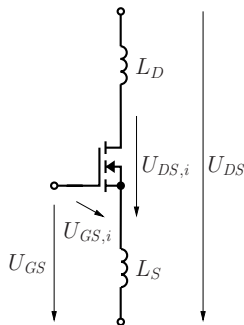


Bild C.4: Ersatzschaltbild des DMOS für die Angabe von Kapazitäten und des Drain-Stromes

Die Spannungsdifferenzen aufgrund der Induktivitäten

$$U_{DS,i} = U_{DS} - (L_D + L_S) \frac{dI_D}{dt} \quad (\text{C.16})$$

$$U_{GS,i} = U_{GS} - L_S \frac{dI_D}{dt} \quad (\text{C.17})$$

und der Drain-Spannungseinbruch bei der Eingangskapazitätsmessung müssen in einem der Messung nachfolgenden Schritt aus den Meßwerten herausgerechnet werden.

C.3.1 Rückwirkungskapazitätsmessung

Werden die Gleichungen C.16 und C.17 in Gleichung 3.38 eingesetzt, so ergibt sich

$$C_{GD} = \frac{I_G - C_{GG} \frac{dU_{GS}}{dt} + C_{GG} L_S \frac{d^2 I_D}{dt^2}}{\frac{dU_{DS}}{dt} - (L_D + L_S) \frac{d^2 I_D}{dt^2}} \quad (\text{C.18})$$

für die Korrektur der Spannungseinbrüche im Wert der gemessenen Rückwirkungskapazität.

I_D wird mit einem Oszilloskopkanal erfasst und ist daher eine im Wert relativ grob diskretisierte Meßgröße. Ihre zweite Ableitung ist numerisch nicht sinnvoll bestimmbar.⁷ Daher müssen in Gleichung C.18 alle Terme mit $\frac{d^2 I_D}{dt^2}$

⁷Die zweifache, numerische Ableitung liefert einen Korrekturterm, welcher fast vier Dekaden größer als die Meßgröße ist.

unberücksichtigt bleiben und der entstehende Fehler in Kauf genommen werden.⁸

Da U_{GS} bei der Messung konstant gehalten wird, gilt $\frac{dU_{GS}}{dt} = 0 \frac{V}{s}$ und es ergibt sich

$$C_{GD} \approx \frac{I_G}{\frac{dU_{DS}}{dt}} \quad . \quad (C.19)$$

Wird weiter Gleichung 5.16 eingesetzt, so erhält man

$$C_{GD} \approx \tau_D \frac{I_G}{U_D} \quad . \quad (C.20)$$

Ein Vergleich mit Gleichung 5.18 zeigt, daß der Wert der Rückwirkungskapazität keiner Korrektur bezüglich der Spannungseinbrüche unterliegt. Mit der Kalibrierung aus Abschnitt 5.2.7.5 und dem Klassenmittelwert aus Abschnitt C.2.1 wird die Rückwirkungskapazität schließlich mit

$$C_{GD} \approx \frac{\tau_D \left(\overline{\frac{I_G}{U_D}} \right) - C_{Offset}}{\tau_D \left(\overline{\frac{I_G \text{ mit Kondensator}}{U_D}} \right) - C_{Offset}} C_{Kondensator} \quad (C.21)$$

berechnet.

Die Korrektur der Koordinate (U_{GS}, U_{DS}) eines jeden Meßpunktes besteht in der Berechnung seiner neuen Koordinate ($U_{GS,i}, U_{DS,i}$) mit den Gleichungen C.16 und C.17.

Bild C.5 zeigt, daß die Meßpunkte eines gemessenen Kennlinienastes im neuen Koordinatensystem nicht auf einer Geraden liegen. Um auch dort wieder eine Kennlinienschar angeben zu können, müssen die Meßwerte auf vorgegebenen Koordinaten ($U_{GS,i}, U_{DS,i}$) interpoliert werden.

Vor der Interpolation eines Meßwertes muß zuerst seine Koordinate ($U_{GS,i}, U_{DS,i}$) in die Koordinate (U_{GS}, U_{DS}) umgerechnet werden. Zur Berechnung von $U_{GS,i}$ und $U_{DS,i}$ zwischen den Meßpunkten wird die in Abschnitt C.1 angegebene Interpolationsmethode benutzt.

$$U_{GS,i} \approx f_{Interpolation}(M_{U_{GS,i}}, U_{GS}, U_{DS}) \quad (C.22)$$

$$U_{DS,i} \approx f_{Interpolation}(M_{U_{DS,i}}, U_{GS}, U_{DS}) \quad (C.23)$$

⁸Dies ist auch der Grund, warum bei der Messung einerseits die Rampensteilheit $\frac{dU_{DS}}{dt}$ nicht zu groß und andererseits die Rampe möglichst linear sein sollte.

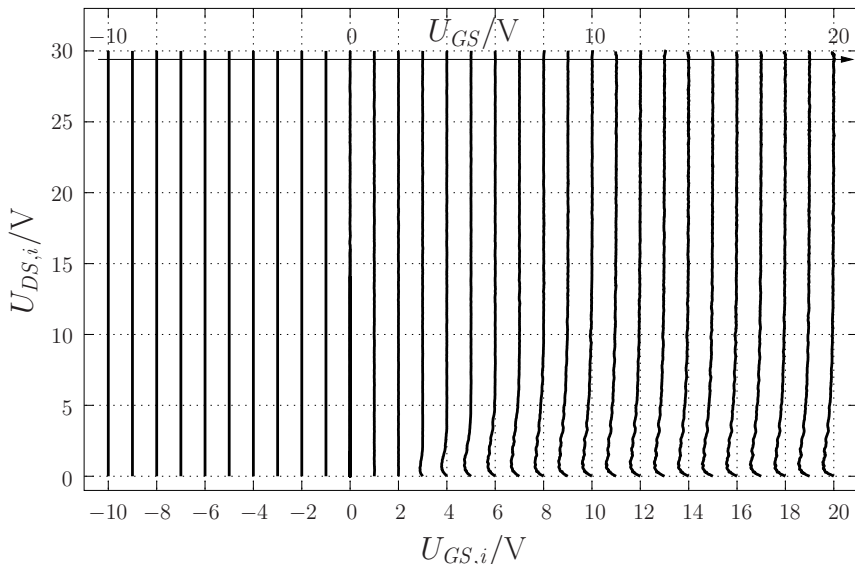


Bild C.5: Lage der gemessenen Daten im $(U_{GS,i}, U_{DS,i})$ -Raum

$M_{U_{GS,i}}$ und $M_{U_{DS,i}}$ bezeichnen jeweils entsprechend Gleichung C.13 die Mengen der Spannungen $U_{GS,i}$ und $U_{DS,i}$. Zu deren Berechnung werden die Gleichungen C.16 und C.17 auf die Klassenmittelwerte $\overline{U_{GS}}$ und $\overline{U_{DS}}$ aus Abschnitt C.2.1 und das Ergebnis aus Gleichung C.14 angewandt.

Das nichtlineare Gleichungssystem, bestehend aus den Gleichungen C.22 und C.23, kann nur iterativ gelöst werden. Hierzu wird das Newton-Verfahren benutzt. Um seine Konvergenz auf den Meßdaten zu gewährleisten, wird die Schrittweite stets um den Faktor⁹ 2,5 reduziert.¹⁰

Die mit dem Iterationsverfahren gewonnene Koordinate (U_{GS}, U_{DS}) wird letztlich zur Interpolation der Rückwirkungskapazität und des Drainstromes benutzt.

$$C_{GD}(U_{GS,i}, U_{DS,i}) \approx f_{Interpolation}(M_{C_{GD}}, U_{GS}, U_{DS}) \quad (\text{C.24})$$

⁹Der Schrittweitenreduktionsfaktor muß abhängig von den Meßdaten gewählt werden.

¹⁰Alle Interpolationen dieses Abschnitts werden im (U_{GS}, U_{DS}) -Koordinatensystem ausgeführt. Werden die Interpolationen durch Anwendung von Gleichung C.16 in das $(U_{GS}, U_{DS,i})$ -Koordinatensystem verlagert, so reduziert sich das nichtlineare Gleichungssystem auf die Gleichung $U_{GS,i} \approx f_{Interpolation}(M_{U_{GS,i}}, U_{GS}, U_{DS,i})$ mit nur der einen Unbekannten U_{GS} , welche mit der Intervallhalbierungsmethode bestimmt werden kann. Die Konvergenz auf den Meßdaten ist dann sichergestellt. Entsprechendes gilt auch für Abschnitt C.3.2.

$$I_D(U_{GS,i}, U_{DS,i}) \approx f_{\text{Interpolation}}(M_{I_D}, U_{GS}, U_{DS}) \quad (\text{C.25})$$

$M_{C_{GD}}$ und M_{I_D} bezeichnen jeweils entsprechend Gleichung C.13 die Mengen der durch Gleichung C.21 berechneten Meßwerte sowie dem Klassenmittelwert $\overline{I_D}$ aus Abschnitt C.2.1. Der für die Interpolation der Rückwirkungskapazität benötigte Verlauf der charakteristischen Punkte¹¹ ist in den Bildern C.6 und C.7 gezeigt.

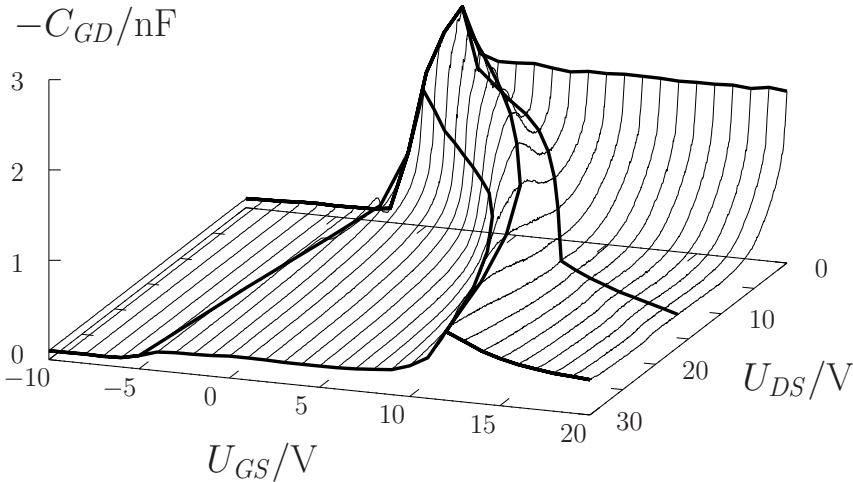


Bild C.6: charakteristische Punkte der Rückwirkungskapazitätskurvenschar: Maxima, Minima und halbe Stufenhöhe

Die Bilder 5.20 und C.8 zeigen die so erhaltene Rückwirkungskapazität, das Bild 5.6 die Ausgangskennlinie.

C.3.2 Eingangskapazitätsmessung

Gleichung C.18 nach C_{GG} aufgelöst ergibt

$$C_{GG} = \frac{I_G - C_{GD} \frac{dU_{DS}}{dt} + C_{GD}(L_D + L_S) \frac{d^2 I_D}{dt^2}}{\frac{dU_{GS}}{dt} - L_S \frac{d^2 I_D}{dt^2}} \quad (\text{C.26})$$

¹¹Die charakteristischen Punkte sind Merkmale der einzelnen Kennlinienäste wie Extrema und Wendepunkte, deren Verlauf zwischen zwei benachbarten Kennlinienästen als linear angenommen wird. Anstatt der bei Meßdaten schwierig zu bestimmenden Wendepunkte wird die halbe Stufenhöhe zwischen einem Minimum, einem Maximum oder einem Plateau benutzt.

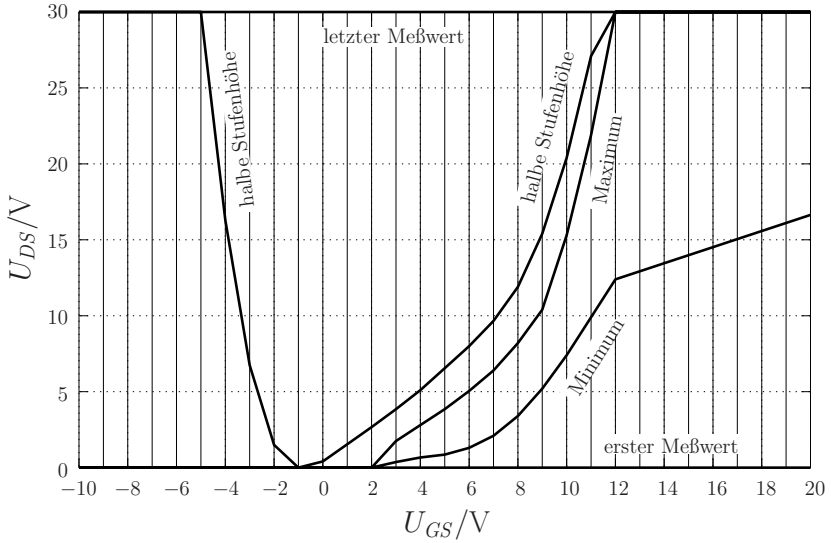


Bild C.7: charakteristische Punkte der Rückwirkungskapazitätskurvenschar: Draufsicht von Bild C.6

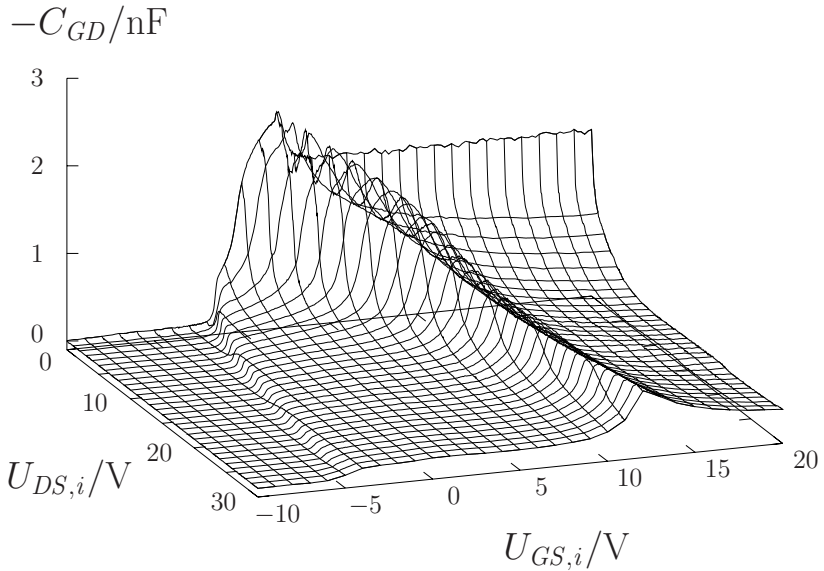


Bild C.8: Rückwirkungskapazität

Aus demselben Grund wie in Abschnitt C.3.1 muß auch hier der Term $\frac{d^2 I_D}{dt^2}$ vernachlässigt werden.

$$C_{GG} \approx \frac{I_G - C_{GD} \frac{dU_{DS}}{dt}}{\frac{dU_{GS}}{dt}} \quad (\text{C.27})$$

Werden die Meßgrößen eingesetzt, so ergibt sich

$$C_{GG} \approx R_1 C_1 \frac{I_G}{U_1} - \frac{R_1 C_1}{R_2 C_2} C_{GD} \frac{U_2}{U_1} \quad (\text{C.28})$$

Der Wert der Eingangskapazität wird um den Term $\frac{R_1 C_1}{R_2 C_2} C_{GD} \frac{U_2}{U_1}$ des gemessenen Spannungseinbruchs am Drain $U_2 \sim \frac{dU_{DS}}{dt}$ korrigiert (vgl. Gleichung 5.40). Mit der Kalibrierung aus Abschnitt 5.2.8 und den Klassenmittelwerten aus Abschnitt C.2.2 wird die Eingangskapazität schließlich mit

$$C_{GG} \approx \frac{R_1 C_1 \left(\overline{\frac{I_G}{U_1}} \right) - \frac{R_1 C_1}{R_2 C_2} C_{GD} \left(\overline{\frac{U_2}{U_1}} \right) - C_\sigma}{R_1 C_1 \left(\overline{\frac{I_G \text{ mit } K_{\text{ondensator}}}{U_1}} \right) - C_\sigma} C_{\text{Kondensator}} \quad (\text{C.29})$$

berechnet.

Um die dazu benötigte Rückwirkungskapazität an jedem Meßpunkt berechnen zu können, muß zuerst jeweils die Koordinate $(U_{GS,i}, U_{DS,i})$ unter Anwendung der Gleichungen C.16 und C.17 auf die Klassenmittelwerte $\overline{U_{GS}}$ und $\overline{U_{DS}}$ aus Abschnitt C.2.2 bestimmt werden. Mit dieser Koordinate wird dann die Koordinate (U_{GS}, U_{DS}) bezüglich der Rückwirkungskapazitätsmessung mit den Gleichungen C.22 und C.23 iterativ berechnet und in Gleichung C.24 eingesetzt. Die so erhaltene Rückwirkungskapazität wird schließlich zur Berechnung der Eingangskapazität in Gleichung C.29 eingesetzt.

In Bild C.9 ist erkennbar, daß die Meßwerte eines Kennlinienastes im $(U_{GS,i}, U_{DS,i})$ -Koordinatensystem nicht auf einer Geraden liegen. Deshalb werden die Meßwerte wie in Abschnitt C.3.1 interpoliert. Das Gleichungssystem

$$U_{GS,i} \approx f_{\text{Interpolation}}(M_{U_{GS,i}}, U_0, U_{GS}) \quad (\text{C.30})$$

$$U_{DS,i} \approx f_{\text{Interpolation}}(M_{U_{DS,i}}, U_0, U_{GS}) \quad (\text{C.31})$$

wird iterativ gelöst. Das Ergebnis ist die Koordinate (U_{GS}, U_0) , welche in

$$C_{GG}(U_{GS,i}, U_{DS,i}) \approx f_{\text{Interpolation}}(M_{C_{GG}}, U_0, U_{GS}) \quad (\text{C.32})$$

$$I_D(U_{GS,i}, U_{DS,i}) \approx f_{\text{Interpolation}}(M_{I_D}, U_0, U_{GS}) \quad (\text{C.33})$$

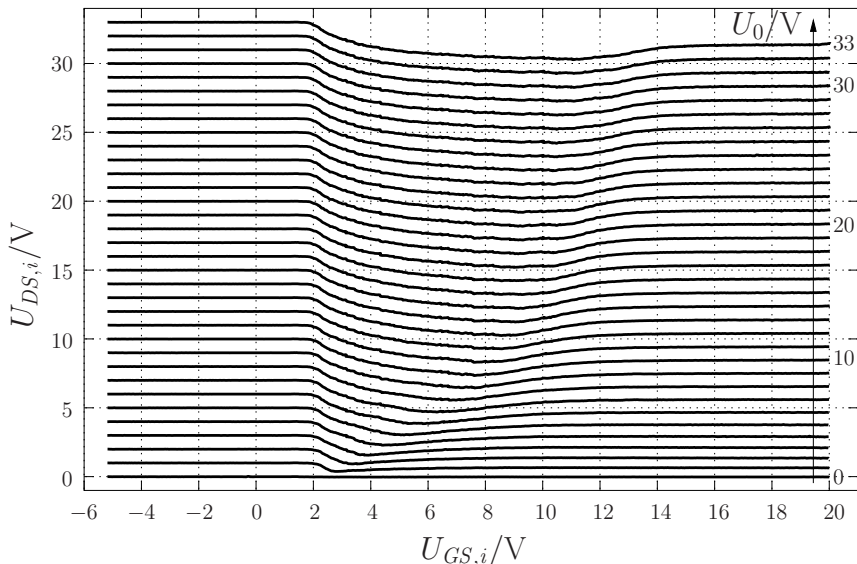


Bild C.9: Lage der gemessenen Daten im $(U_{GS,i}, U_{DS,i})$ -Raum

eingesetzt, die interpolierten Meßwerte an der gewünschten Koordinate $(U_{GS,i}, U_{DS,i})$ ergibt.

$M_{U_{GS,i}}$ und $M_{U_{DS,i}}$ bezeichnen jeweils entsprechend Gleichung C.13 die Mengen der Spannungen $U_{GS,i}$ und $U_{DS,i}$. Zu deren Berechnung werden die Gleichungen C.16 und C.17 auf die Klassenmittelwerte $\overline{U_{GS}}$ und $\overline{U_{DS}}$ aus Abschnitt C.2.2 und das Ergebnis aus Gleichung C.15 angewandt.

$M_{C_{GG}}$ und M_{I_D} bezeichnen jeweils entsprechend Gleichung C.13 die Mengen der durch Gleichung C.29 berechneten Meßwerte sowie dem Klassenmittelwert $\overline{I_D}$ aus Abschnitt C.2.2.

Der Verlauf der charakteristischen Punkte zur Interpolation der Eingangskapazität ist in Bild C.10 dargestellt.¹²

Die Bilder 5.29 und C.11 zeigen die so erhaltene Eingangskapazität, das Bild 5.5 die Übertragungskennlinie.

¹²Die charakteristischen Punkte in Bild C.10 müssen für die Rohdaten der Messung bestimmt werden. In Bild C.11 sind nicht die gemessenen Rohdaten dargestellt, sondern die schon vom Spannungseinbruch bereinigte Eingangskapazität. Die Verläufe sind jedoch ähnlich.

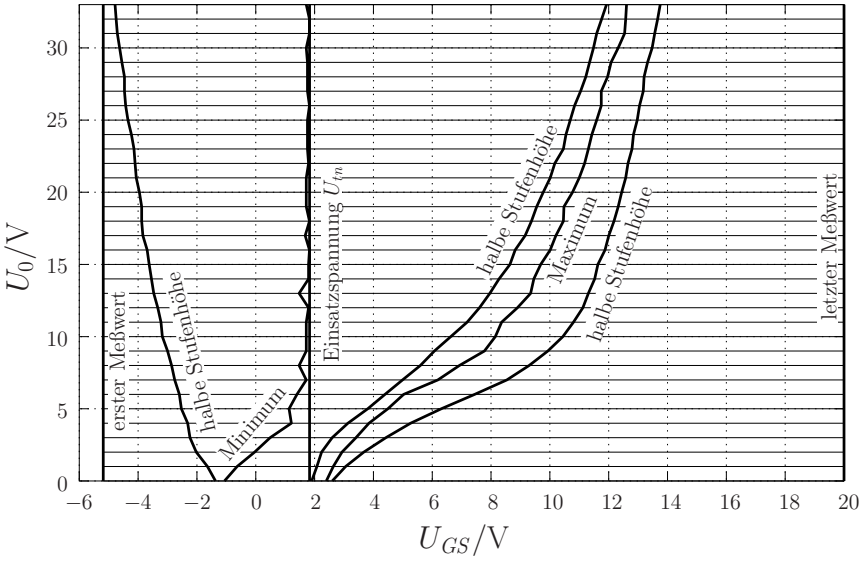


Bild C.10: charakteristische Punkte der Eingangskapazitätskurvenschar

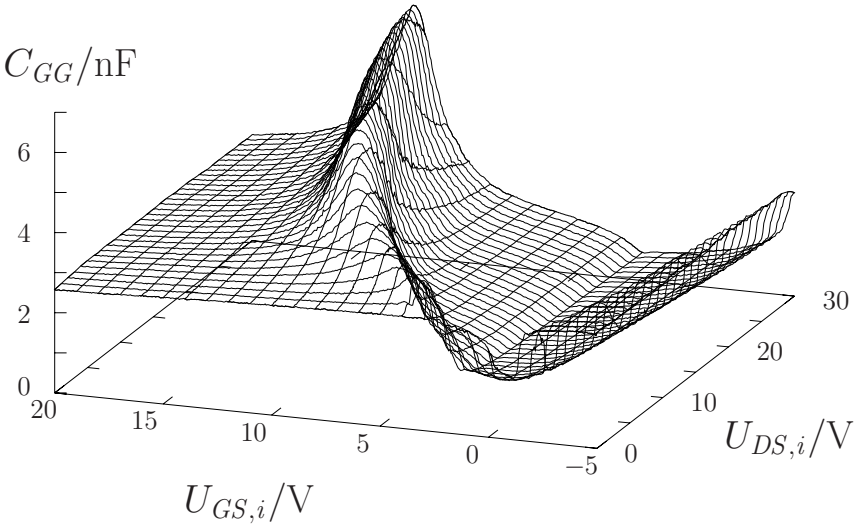


Bild C.11: Eingangskapazität

D Konstanten

D.1 Mathematische Konstanten

Formelzeichen	Wert	Bedeutung
C	0,577215664901532...	Eulersche Konstante
e	2,718281828459045...	Basis der natürlichen Logarithmen
j	$\sqrt{-1}$	imaginäre Einheit
π	3,141592653589793...	Ludolfsche Zahl

Tabelle D.1: mathematische Konstanten, entnommen aus [46] S. A-192

D.2 Physikalische Konstanten

Formelzeichen	Wert	Bedeutung
ε_0	$8,854187817 \dots \cdot 10^{-12} \frac{\text{F}}{\text{m}}$	elektrische Feldkonstante
k	$1,3806503(24) \cdot 10^{-23} \frac{\text{J}}{\text{K}}$	Boltzmann-Konstante
μ_0	$1,2566370614 \dots \cdot 10^{-6} \frac{\text{H}}{\text{m}}$	magnetische Feldkonstante
q	$1,602176462(63) \cdot 10^{-19} \text{C}$	Elementarladung

Tabelle D.2: physikalische Konstanten, entnommen aus [28]

D.3 Materialeigenschaften

Formelzeichen	Wert	Bedeutung
$\varepsilon_{r,Ox}$	3,9	Permittivitätszahl von Siliziumdioxid
$\varepsilon_{r,Si}$	11,8	Permittivitätszahl von Silizium
n_i	$1,45 \cdot 10^{10} \frac{1}{\text{cm}^3}$	intrinsische Dichte in Silizium bei 300 K
ρ_{Al}	$0,026548 \frac{\Omega \cdot \text{mm}^2}{\text{m}}$	spezifischer, elektrischer Widerstand von Aluminium bei 20 °C und 99,996 % Reinheit
ρ_{Cu}	$0,016730 \frac{\Omega \cdot \text{mm}^2}{\text{m}}$	spezifischer, elektrischer Widerstand von Kupfer bei 20 °C
v_{sat}	$1,03 \cdot 10^7 \frac{\text{cm}}{\text{s}}$	Sättigungsgeschwindigkeit von Elektronen in Silizium bei 300 K

Tabelle D.3: Materialeigenschaften, entnommen aus [5] und [46] S. F-155

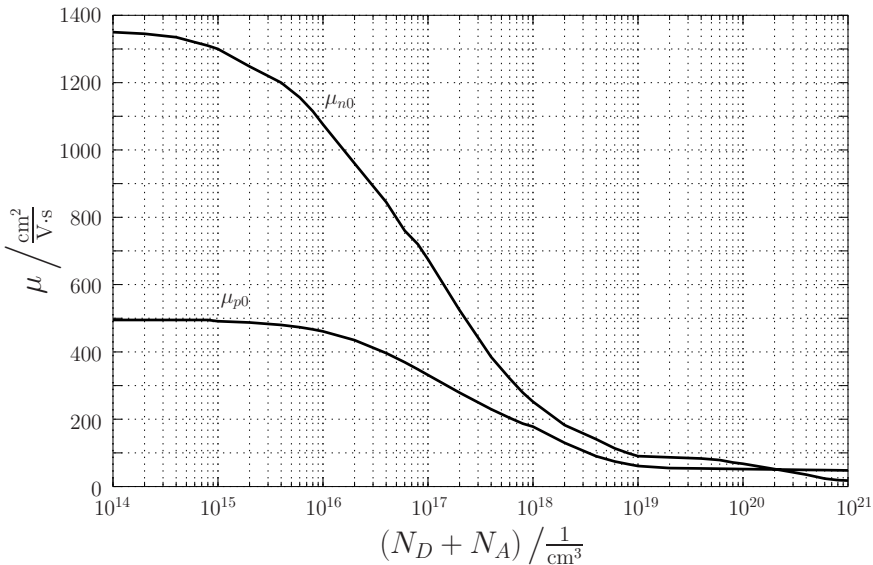


Bild D.1: Beweglichkeit von Elektronen und Löchern in Silizium bei 300 K, entnommen aus [5]

Literaturverzeichnis

- [1] ALESSANDRO, V. d' ; FRISINA, F. ; RINALDI, N.: A new SPICE model of VDMOS transistors including thermal and quasisaturation effects. In: *9th European Conference on Power Electronics and Applications* (2001). – ISBN 90-75815-06-9, 10 Seiten auf CD-ROM
- [2] AMANN, Heinz ; BACHOFNER, Andreas ; GASSEL, Helmut: Higher cell density, more rugged design. In: *Siemens Components* (1997), Bd. 32, Nr. 2. – ISSN 0173-1734, S. 11–13
- [3] ANALOGY: *Saber : Circuit Simulation Program : Manual*. Version 5.0. Beaverton, Oregon : Analogy Inc., 1999
- [4] ANDERSSON, M. ; KUIVALAINEN, S.: Physical Modelling of Vertical DMOS Power Transistors for Circuit Simulation. In: *Physica Scripta Volume T* (1994), Bd. T54. – ISSN 0281-1847, S. 157–158
- [5] AVANT! ; TMA: *Medici : Two-Dimensional Device Simulation Program : Manual*. Version 1999.2. Fremont : Avant! Corp. and Technology Modeling Associates Inc., 1999
- [6] BALIGA, B. Jayant: *Modern Power Devices*. New York : John Wiley & Sons, 1987. – ISBN 0-471-81986-7
- [7] BRONŠTEIN, Il'ja Nikolaevič ; SEMENDJAJEW, Konstantin Adol'fovič: *Taschenbuch der Mathematik*. 23. Aufl. Thun : Harri Deutsch, 1987. – ISBN 3-87144-492-8
- [8] DEBOY, Gerald ; GASSEL, Helmut ; STENGL, Jens-Peer: *Semiconductor Component with a High-Voltage Endurance Edge Structure*. Schutzrecht US 6,037,631 Patent (2000-03-14). Siemens AG
- [9] GASSEL, H.: *50 V S-FET : Technologiebeschreibung : Vortragsunterlagen*. Version 1.0. München : Siemens AG, 1997

- [10] GERASIM, V. V. ; LIKHOBABIN, N. P. ; POLITANSKII, L. F.: Mathematical Model of a DMOS Transistor in the Approximation of an Exponential Impurity Distribution in the N-Channel Region. In: *Ukrainskyi Fizychnyi Zhurnal : Ukrainian Journal of Physics* (1996), Bd. 42, Nr. 2. – ISSN 0503-1265, russisch, S. 225–227
- [11] GÖHLER, Lutz: *Thyristormodellierung*. Neubiberg, Universität der Bundeswehr München, Fakultät für Elektrotechnik, Dissertation, 1997-08-26
- [12] GÖHLER, Lutz: *Intelligente Leistungselektronik*. Neubiberg, Universität der Bundeswehr München, Fakultät für Elektrotechnik, Habilitationsschrift, 1999
- [13] GONDRO, Elmar ; KLEIN, Peter ; SCHULER, Franz: An Analytical Source-and-Drain Series Resistance Model of Quarter Micron MOSFETS and its Influence on Circuit Simulation. In: *Proceedings of the IEEE International Symposium on Circuits and Systems VLSI* (1999-05-30–1999-06-02), Bd. 6. – ISBN 0-7803-5471-0, S. 206–209
- [14] GRAHN, K. ; ANDERSSON, M. ; KUIVALAINEN P. ; ERÄNEN, S.: Model for DMOST Threshold Voltage. In: *Electronics Letters* (1992-07-16), Bd. 28, Nr. 15. – ISSN 0013-5194, S. 1384–1385
- [15] HOFFMANN, Kurt: *VLSI-Entwurf : Modelle und Schaltungen*. 4. Aufl. München : Oldenbourg, 1998. – ISBN 3-486-24788-3
- [16] HOWER, P. L. ; HENG, T. M. S. ; HUANG, C.: Optimum Design of Power MOSFETS. In: *International Electron Devices Meeting 1983* (1983-12-05–1983-12-07), S. 87–90
- [17] HU, Chenming ; CHI, Min-Hwa ; PATEL, Vikram M.: Optimum Design of Power MOSFET's. In: *IEEE Transactions on Electron Devices* (Dezember 1984), Bd. ED-31, Nr. 12. – ISSN 0018-9383, S. 1693–1700
- [18] HU, Genda J. ; SHANG, Shi ; CHIA, Yu-Tai: Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's. In: *IEEE Transactions on Electron Devices* (Dezember 1987), Bd. ED-34, Nr. 12. – ISSN 0018-9383, S. 2469–2475
- [19] KIM, Yeong-Seuk ; FOSSUM, Jerry G.: Physical DMOST Modeling for High-Voltage IC CAD. In: *IEEE Transactions on Electron Devices* (März 1990), Bd. 37, Nr. 3. – ISSN 0018-9383, S. 797–803

- [20] KIM, J. ; KIM, B.: Analytical model for dc drain current-voltage relationship in double-diffused channel of DMOS transistor. In: *Semiconductor Science and Technology* (Februar 1999), Bd. 14, Nr. 2. – ISSN 0268-1242, S. 130–137
- [21] KOZLOWSKI, Frank ; KNAPP, Achim: Leistung satt : Niederohmige, robuste Leistungs-Mosfets für den Kfz und DC/DC-Wandler. In: *Elektronik Praxis* (2000-01-31), Nr. 2. – ISSN 0341-5589, S. 86–88
- [22] KRAUS, Rainer: *Halbleiterbauelemente der Leistungselektronik : Analyse und Modellierung*. Neubiberg, Universität der Bundeswehr München, Fakultät für Elektrotechnik, Habilitationsschrift, Juni 1996
- [23] KREUZER, Christian: *Einfluß der Epitaxieschicht auf das DC-Verhalten des vertikalen Leistungs-DMOS-Transistors*. Neubiberg, Universität der Bundeswehr München, Fakultät für Elektrotechnik, Dissertation, 1997-09-01
- [24] KREUZER, C. H. ; KRISCHKE, N. ; NANCE, P.: Physically Based Description of Quasi-Saturation Region of Vertical DMOS Power Transistors. In: *International Electron Devices Meeting 1996 : IEDM Technical Digest* (1996-12-08–1996-12-11). – ISBN 0-7803-3393-4, S. 489–492
- [25] LIU, Chung-Min ; KUO, James B.: Quasi-Saturation Capacitance Behaviour of a DMOS Device. In: *IEEE Transactions on Electron Devices* (Juli 1997), Bd. 44, Nr. 7. – ISSN 0018-9383, S. 1117–1123
- [26] LOU, K. H. ; LIU, C. M. ; KUO, J. B.: An Analytical Quasi-Saturation Model for Vertical DMOS Power Transistors. In: *IEEE Transactions on Electron Devices* (März 1993), Bd. 40, Nr. 3. – ISSN 0018-9383, S. 676–679
- [27] MILLER, Gerhard Johann: Study of the Input and Reverse Transfer Capacitance of Vertical MOS Transistors. In: *IEEE Transactions on Electron Devices* (Oktober 1983), Bd. ED-30, Nr. 10. – ISSN 0018-9383, S. 1344–1347
- [28] MOHR, Peter J. ; TAYLOR, Barry N.: *CODATA Recommended Values of the Fundamental Physical Constants: 1998*. Gaithersburg : National Institute of Standards and Technology, 2001-07-06. – Internet, <http://physics.nist.gov/cuu/Constants/index.html>. – Zitiert aus *Journal of Physical and Chemical Reference Data* (1999), Bd. 28, Nr. 6, S. 1713–1852 sowie zitiert aus *Reviews of Modern Physics* (2000), Bd. 72, Nr. 2, S. 351–495

- [29] MÜLLER, Rudolf: *Grundlagen der Halbleiter-Elektronik*. 5. Aufl. Berlin : Springer, 1987 (Halbleiter-Elektronik, Bd. 1). – ISBN 3-540-18041-9
- [30] NG, Kwok K. ; LYNCH, William T.: Analysis of the Gate-Voltage-Dependent Series Resistance of MOSFET's. In: *IEEE Transactions on Electron Devices* (Juli 1986), Bd. ED-33, Nr. 7. – ISSN 0018-9383, S. 965–972
- [31] PAUL, Reinhold: *MOS-Feldeffekttransistoren*. Berlin : Springer, 1994 (Halbleiter-Elektronik, Bd. 21). – ISBN 3-540-55867-5
- [32] ROTHMALER: *Struktur sfet_dring_border_quer : Dokumentation : Layout*. Version 1.0. München : Siemens AG, 1997-06-05
- [33] RÜDE, Ulrich: *Technik des Wissenschaftlichen Rechnens : Vorlesungsskript : Abschnitt 2.3: Partielle Differentialgleichungen*. München : Technische Universität München, 2001-02-23. – Internet, <http://wwwzenger.in.tum.de/lehre/skripten/wissrech/node15.html>
- [34] RUSSER, Peter: *Hochfrequenztechnik 1 : Vorlesung*. 5. Aufl. München : Lehrstuhl für Hochfrequenztechnik der Technischen Universität München, 1990. – ISBN 3-923829-00-0
- [35] SHICHMAN, Harold ; HODGES, David A.: Modeling and Simulation of Insulated-Gate Field-Effect Transistor Switching Circuits. In: *IEEE Journal of Solid-State Circuits* (September 1968), Bd. SC-3, Nr. 3, S. 285–289
- [36] SIEMENS AG: *BUZ103SL : Data Sheet*. Munich : Siemens AG, 1997-11-04
- [37] SIEMENS AG: *Gate-Ladekurve des BUZ103SL : Meßdaten*. München : Siemens AG, 1997
- [38] STIFTINGER, Martin: *Simulation und Modellierung von Hochvolt-DMOS-Transistoren*. Wien, Technische Universität Wien, Fakultät für Elektrotechnik, Dissertation, August 1994
- [39] STIFTINGER, M. ; SELBERHERR, S.: An Analytical DC- and AC-Model for Vertical Smart Power DMOS Transistors. In: *International Seminar on Power Semiconductors 1992* (1992-09-09–1992-09-11), S. 89–93. – Prague : Czech Technical University
- [40] SUN, S. C. ; PLUMMER, James D.: Modeling of the On-Resistance of LDMOS, VDMOS and VMOS Power Transistors. In: *IEEE Transactions on Electron Devices* (Februar 1980), Bd. ED-27, Nr. 2. – ISSN 0018-9383, S. 356–367

- [41] STRACK, Helmut ; GASSEL, Helmut ; LARIK, Joost: *Herstellungsverfahren für ein durch Feldeffekt gesteuertes Halbleiterbauelement*. Schutzrecht WO 99/05714 Veröffentlichung einer internationalen Patentanmeldung (1999-02-04). Siemens AG
- [42] TSAI, Chin-yu ; BURK, Dorothea E. ; NGO, Khai D. T.: Physical Modeling of the Power VDMOST for Computer-Aided Design of Integrated Circuit. In: *IEEE Transactions on Electron Devices* (März 1997), Bd. 44, Nr. 3. – ISSN 0018-9383, S. 472–479
- [43] TSIVIDIS, Yannis P.: *Operation and Modeling of the MOS Transistor*. New York : McGraw-Hill, 1987. – ISBN 0-07-065381-X
- [44] VICTORY, James ; MCANDREW, Colin C. ; THOMA, Rainer: A three-dimensional, physically based compact model for IC VDMOS transistors. In: *Microelectronics Journal* (1998), Bd. 29, Nr. 7. – ISSN 0026-2692, S. 451–459
- [45] VICTORY, James ; SANCHEZ, Julian ; DEMASSA, Thomas ; WELFERT, Bruno: Application of the MOS Charge-Sheet Model to Nonuniform Doping Along the Channel. In: *Solid State Electronics* (1995), Bd. 38, Nr. 8. – ISSN 0038-1101, S. 1497–1503
- [46] WEAST, Robert C. (Editor): *Handbook of Chemistry and Physics*. 54. Aufl. Cleveland, Ohio : CRC Press, 1973. – ISBN 087819-454-1
- [47] WYLIE, Clarence Raymond: *Differential Equations*. Taipei, Taiwan : The Tan Chiang Book Co., 1979 (Nachdruck der Ausgabe New York : McGraw-Hill, 1979. – ISBN 0-07-072197-1)

Publikationsverzeichnis

- [48] DEML, Christoph ; TÜRKES, Peter: Fast Simulation Technique for Power Electronic Circuits with Widely Different Time Constants. In: *Conference Record of the 1997 IEEE Industry Applications Society : 32nd Annual Meeting* (1997-10-05–1997-10-09). – ISBN 0-7803-4067-1, S. 1204–1210
- [49] GÖHLER, Lutz ; DEML, Christoph: Schaltungssimulation in der Leistungselektronik. In: *ETG-Fachbericht 72 : Bauelemente der Leistungselektronik und ihre Anwendungen* (1998-05-12–1998-05-13). – ISBN 3-8007-2354-9, S. 149–159
- [50] DEML, Christoph ; HOFFMANN, Kurt: Gate-Drain Capacitance Behaviour of the DMOS Power Transistor under High Current Flow. In: *PESC 98 : Record of the 29th Annual IEEE Power Electronics Specialists Conference* (1998-05-17–1998-05-22), Bd. 2. – ISBN 0-7803-4489-8, S. 1716–1719
- [51] GÖHLER, Lutz ; DEML, Christoph: Digitale Simulation in der Leistungselektronik. In: *Von der Simulation zum Entwurf : Workshop : Graduiertenkolleg Lokale Innovative Energiesysteme* (1998-07-23). – Technische Universität Dresden
- [52] DEML, Christoph ; TÜRKES, Peter: Fast Simulation Technique for Power Electronic Circuits with Widely Different Time Constants. In: *IEEE Transactions on Industry Applications* (Mai/Juni 1999), Bd. 35, Nr. 3. (Überarbeiteter Nachdruck von [48]). – ISSN 0093-9994, S. 657–662
- [53] DEML, Christoph: Input and Reverse Transfer Capacitance Measurement of MOS-Gated Power Transistors under High Current Flow. In: *Conference Record of the 1999 IEEE Industry Applications Society : 34th Annual Meeting* (1999-10-03–1999-10-07). – ISBN 0-7803-5589-X, S. 1093–1097
- [54] DEML, Christoph: Input and Reverse Transfer Capacitance Measurement of MOS-Gated Power Transistors under High Current Flow. In: *IEEE Transactions on Industry Applications* (Juli/August 2001), Bd. 37, Nr. 4. (Überarbeiteter Nachdruck von [53]). – ISSN 0093-9994, S. 1062–1066

Sachwortverzeichnis

- Abkühlungszeit 143, 148
- Ableitung 51, 52, 149, 151, 176, 180, 181, 183
- Abschirmung 157
- AC-Analyse 69
- Äquipotential
 - -fläche 16
 - -linie 60, 62
- Akkumulation 19, 20, 22, 29, 43, 55, 56, 89, 95, 141, 164
 - , starke 92
- Akkumulations
 - -region 53, 65, 91, 98, 100, 113, 116, 123, 167
 - -schicht 29, 30, 32–34, 43, 50, 51, 55, 56, 58, 91–93, 95, 96, 104, 109–111, 126, 139, 164
 - — -knoten 92
 - — -potential, mittleres 94, 95
 - -widerstand 93, 94
- AlSi 14
- Ansteuerleistung 9
- Arbeits
 - -bereiche 23–38
 - -kurve 139, 140
 - -punkt 23, 42, 68, 69, 131, 135, 136, 139, 140, 142, 145
- Aufweitungswinkel 63, 64, 99, 102, 103, 169
- Ausbreitungskoeffizient 67
- Ausgangs
 - -kapazität 49, 58, 138
 - -kapazitätsmessung 138
 - -kennlinie 39, 128, 132, 149, 186
 - — des Epi-Gebietes 44, 165
 - — des internen, lateralen MOS-FET 42, 165
 - -leitwert 180
 - -widerstand 153
- Autodoping 105
- Avalanche 26, 35, 37, 38

- Bahnwiderstand 79, 108
- Basis der natürlichen Logarithmen 191
- Bauelemente
 - , bipolare 9
 - , unipolare 25
- Belag
 - , Leitungs- 132
 - , kapazitiver 65, 66, 71, 113, 114
 - , resistiver 65, 66, 70
- Besselsche

- Differentialgleichung 67, 69
- Funktion 67, 116, 118, 119, 170–172
- — , Symmetrie 67, 172
- Betriebsfrequenz 59
- Beweglichkeit 80, 87, 100, 101, 112, 192
- , Elektronen- 81
- Bipolar
 - -effekte 13
 - -transistor, parasitärer 17
- Blockier
 - -bereich 26–28, 47, 102, 103
 - -spannung 16, 26, 156
- Body 13, 21
 - -Ladung 90
 - -Vorspannung 90
- Boltzmann-Konstante 191
- Bonddraht 17, 18, 70, 120, 123, 135
- Bondungsfläche 70, 71, 120
- BPSG 13

- channel-stopper 16
- charge sheet model 79
- Chip-Radius 66, 117
- chip-stopper 14, 15

- Dämpfungslänge 95
- Datenblatt 9, 138, 142
- DC-Analyse 63, 73
- Device
 - -Simulation 20, 54, 55, 74, 82, 87, 88, 94, 96, 116, 138, 139, 142, 144, 145, 169
 - -Simulator 19, 42, 74, 116, 166
- Diffusionskonstante 77

- DMOS 9
- Doppelleitung 123, 124
- Dotierung 12, 13, 19, 26, 32, 37, 80, 81, 108, 111, 141, 164
 - , effektive 31
 - , homogene 75
 - , inhomogene 20, 21, 75
 - , konstante 82
- Dotierungs
 - -konzentration 34, 79, 98
 - -profil 19, 20, 76, 82, 87, 105, 110, 111
 - — , doppelt diffundiertes 85
 - — , einfach diffundiertes 84
 - -stufe, abrupte 107
- double-diffused MOS 9
- Drain-Strommessung 128–131, 149, 157, 182, 185
- Dreipol 23, 47
- droop 156
- Dummy 13, 17, 122, 123
- Durchbruchbereich 25, 37–38, 42
- DUT 138

- Eigenerwärmung 131, 141–143, 145, 156
- Eindringtiefe 67, 68
- Eingangs
 - -admittanz 68
 - -impedanz 133, 135
 - — -messung 132–135
 - -kapazität 43, 49–51, 54–57, 65, 69, 127, 135, 136, 139–142, 153, 159, 162, 163, 188, 189
 - -kapazitätsmessung 136, 144, 159–162, 180–181, 186–189

- Einsatzspannung 21, 29, 39, 49,
56, 58, 80–82, 90, 136,
139–141, 167
- Einschaltwiderstand 125, 127,
141
- , flächenbezogener 9
- Einschwingzeit 155, 158, 160
- Einsteinbeziehung 77
- Elektronen
- -dichte 19, 21, 24, 27, 29, 32,
34, 98
- — , flächenbezogene 22
- -stromdichte 77
- Elementarladung 191
- EMV 156
- Epi
- -Dotierung 105–107, 110, 125
- -Fläche 13
- -Schicht 12, 105, 107, 125
- — -dicke 15, 16, 19, 26, 29
- -Widerstand 42, 50, 92, 104,
106, 126
- Erdung 148
- error-function 111
- Ersatzschaltbild 90, 125–126,
144, 182
- Erwartungswert 180
- Eulersche Konstante 171, 191
- Extremum 176, 179, 186
- Feld
- , horizontales 77, 79, 80, 95,
96, 120
- , vertikales 79, 81, 95, 112
- -konstante
- — , elektrische 191
- — , magnetische 191
- -platte 15, 16, 28
- -ring 15, 16
- -simulator 123
- -stärke
- — , kritische 26, 37, 38
- — -spitzen 16
- Fermi-Potential 21, 80
- finite Differenzen 59, 63, 64, 69,
71, 73, 135, 166
- Fit-Parameter 64, 87, 94, 98,
99, 112, 116
- Flachband
- -kabel 157, 162, 181
- -spannung 22, 30, 78, 81, 87,
92, 110, 111, 163
- FOX 12
- Freilaufdiode 25
- Frequenz 69
- -band 150
- -verhalten 65
- Funktionswert 175, 176
- Gate
- -Einfluß 20–22
- -Ladekurve 138–142, 167
- -Ladung 89
- -Widerstand 116–119, 123,
127, 132, 135, 143, 144,
153, 156, 166
- -Widerstandsmessung 135
- Gauß-Seidel-Verfahren 114, 121
- Gehäuse 17–18, 123, 124
- Generation 27
- , Oberflächen- 27, 28
- , Volumen- 28
- , volumenbezogene Netto- 27
- Geschwindigkeitssättigung 80,
89
- Gleich
- -gewicht, thermodynamisches
19
- -stromkennlinie 39–43,
128–131
- GOX 12
- GPIB-Bus 149

- gradual channel approximation
79
- Grenzfrequenz 9, 69, 70, 117,
118, 127, 135
- Grundplatte 17, 18, 59, 123
- Hochpaß 146, 149–151, 155, 158
- Hysteresese 42, 160
- imaginäre Einheit 191
- Implantationsdosis 109
- Index 46, 177
- Induktivität, parasitäre 18, 123,
124, 132, 134, 135, 143,
149, 153, 154, 156, 162,
166
- Injektion, starke 24, 39
- Integrierer 151, 155
- interner, lateraler MOS-FET
75–90
- Interpolation 184, 185, 189
—, zweidimensionale 175–179
- Intervallhalbierungsmethode
185
- intrinsische Dichte 27, 28, 34,
192
- Inversion 56, 141
—, schwache 31, 43, 55
—, starke 20, 22, 43, 55, 56,
58, 79, 81, 82, 88
- Inversionsschicht 16, 27, 28, 39,
58, 78, 79, 139
— -flächenladungsdichte 77, 79
- JFET-Effekt 98
- Kalibrierung 157, 162, 184, 188
- Kanal
— -ende 30, 33, 42, 43, 76, 95,
100, 104
— -gebiet 65, 88
— -knoten 76, 89
— -ladung 89
— -längenmodulation 31, 82,
140, 141, 153
— -potential 85
— -strom 77, 80, 89, 90
- Kapazität
—, Selbst- 46
—, Trans- 46, 47
—, absolute 45
—, differentielle 45
—, parasitäre 132, 162
—, relevante 49
—, unabhängige 48
- Kapazitäts
— -bezeichnungen 49
— -definition 46
— -kennlinie 55–58, 136, 167
— -messung 135–138, 141–162,
179–189
- Kennlinien
— -ast 146, 148, 176–181, 184,
188
— -schar 146, 175, 180, 184
- Klasse 180, 181
- Kleinsignal
— -bereich 68
— -parameter 54, 55, 168
- Knotenpunktsatz 47, 48
- Komparator 160
- Kontakt
—, Body- 13
—, Gate- 13
—, Source- 13, 14
— -widerstand 79
- Konvergenz 88, 94, 101, 185
- Kurzschlußfestigkeit 9

- Ladungs
 — -dichte 100
 — — , Flächen- 50
 — — , effektive 37
 — -speicherungseffekte 24, 181, 182
 — -trägerdichte 19, 21, 24, 27, 28, 34, 110
 — — , Flächen- 21, 22, 110, 111
 Lawinendurchbruch 26
 Leiterschleife 124, 156
 Leitwert, flächenbezogener 93, 120
 Löcherdichte 19, 24, 27, 29, 34
 Ludolfsche Zahl 191
- Magnetfeld 156
 Marquardt-Levenberg-Algorithmus 87
 Massenwirkungsgesetz 19
 Maximum 176
 Meßfehler 134, 142, 145
 — , zufällige 179
 Metallisierung 14, 120, 121
 — , Eck- 15, 16
 — , Source- 59, 70–73
 Metallisierungs
 — -schichtdicke 121
 — -widerstand, Source- 72, 73
 Miller-Effekt 53–55, 57, 153
 Minimum 176
 Mittelwertbildung 142, 158, 162, 179–181
 Modell
 — , η - 84–85, 87, 88
 — , Epi- 98–104
 — , Gesamt- 90, 116
 — , Kreuzer- 168
 — , Ladungs- 88–90, 104, 126
 — , Shichman-Hodges- 82–83, 87, 88, 116, 168
 — , Shockley-Reed-Hall- 27
 — , äußeres 182
 — , inneres 182
 — -vergleich 86–88
 — der Akkumulationsregion 91–98
 — der Peripherie 122–124
 — der Poly-Gate-Schicht 116–119
 — der Source-Metallisierung 119–121
 — des Source-Bahnwiderstands 108–112
 — des Zellverbandes 116–121
 — mit doppeltem Exponentialprofil 85–88
 — mit exaktem Oberflächenpotential 83
 — mit genähertem Oberflächenpotential 84, 87, 88
- Näherung, rotationssymmetrische 65, 69, 73
 Näherungen 87
 Nettodotierung, maximale 78, 80
 Neutralitätsbedingung 21
 Newton-Verfahren 185
- Oberflächen
 — -beweglichkeit 81, 92, 112
 — -generationsbereich 28, 39
 — -potential 22, 30, 50–52, 79, 84, 89, 92, 164
 — — , konstantes 82
 — — , mittleres 53, 92, 121, 163–164, 166, 167
 — -rauhigkeit 80
 — -rekombinationsbereich 29

- Offset 158, 159, 162, 180, 181
 Operationsverstärker 148, 151,
 153–155, 160, 162
 — , idealer 152
 Oxidkapazität 55–58, 65, 89,
 104, 113–116, 123, 139,
 141
 Oxidkapazitätsbelag 50
- Pad 123
 — , Gate- 14, 65
 — -Kapazität 65
 — -Radius 66, 117
 — -Widerstand 127
- Parallel
 — -plattenleiter 156
 — -schaltbarkeit 9
- Parameter, quasikontinuierlicher
 175–177
- Parametrierung 9, 116, 163, 167
- parasitäre Elemente 140, 157,
 159–161
- Peripherie 122–124
- Permittivitätszahl 192
- Phasen
 — -beziehung 133
 — -rand 153
- Pin 17, 18, 124, 135
- pinch-off 28, 90
- Plasmanitrid 14
- Poisson-Gleichung,
 zweidimensionale 95
- Poly 12
 — -Gate 16, 21, 28
 — — -Schicht 12, 15, 59–70,
 116, 117, 135, 166
- Puls 145, 146, 148, 149,
 154–156, 159, 160, 162
- punch-through 37, 38, 42
- Punkte, charakteristische
 176–178, 186, 189
- Quantisierungsrauschen 180,
 181
- quasi
 — -eindimensional 69, 92, 100,
 116
 — -statisch 181
- Quasi
 — -Fermi-Potential 19
 — -sättigungsbereich 31–35, 39,
 43, 98, 99, 102
- Quellengleichung 100
- Rampe 143, 145, 146, 148, 149,
 154
- Rampensteilheit 143–145, 155,
 162, 182, 184
 — , momentane 149
 — , nominale 153
- Rand
 — -kapazität 65
 — -struktur 14–17
- Raumladungszone 11, 21, 22,
 26–31, 34, 37, 38, 43,
 55, 77, 78, 95, 96, 98,
 103–105, 109, 111, 122,
 126, 168
- Raumladungszonen
 — -ende 28, 79, 103
 — -grenze 28, 102, 111
 — -kapazität 89
 — -ladung 89, 90
 — -term 82, 84
 — -volumen 28
 — -weite 15, 16, 26, 39, 96, 102,
 103, 105, 111
- Reflexion 132
- Regel
 — -differenz 153
 — -kreis 153, 154
 — -schleife 146, 153, 154
- Regler 149–154

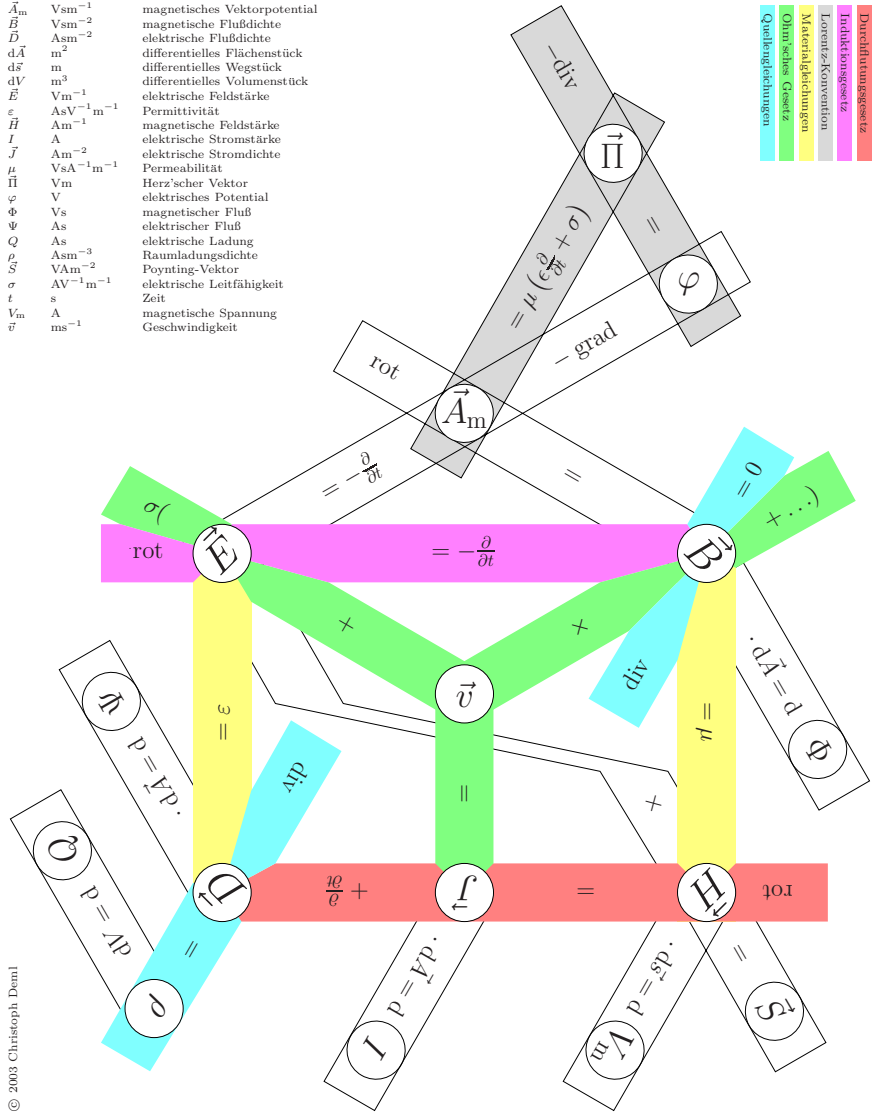
- Rekombination
— , Netto- 27
— , Oberflächen- 29
Relaxationszeit, dielektrische
143, 144, 182
Reziprozität 47–48
Rückkopplung 51
Rückkopplungs
— -abschwächung 160
— -unterdrückung 146, 151, 154
Rückwärts
— -betrieb 25, 29
— -diode 17, 25, 39, 90, 102,
128
— -dioden
— — -bereich 24–25, 47
— — -strom 105
Rückwirkungen
— -kapazität 49, 52, 54, 58,
138, 140, 142, 145, 149,
153, 157, 160, 163,
184–186, 188
— -kapazitätsmessung 138,
141–142, 144–159, 180,
183–186

Sägemarke 15
Sättigungs
— -bereich 30–32, 34, 39, 43,
89, 100, 102, 153
— -feldstärke 29, 34
— -geschwindigkeit 28, 31, 32,
34, 37, 98, 101, 103,
104, 192
— -spannung 81–86, 89
— -strom 28, 32, 43, 98, 100
Schaltungen
— -prinzip 138
— -simulation 9, 10, 146, 166
— -simulationsmodelle 74, 163
— -simulator 63, 69, 74, 111,
116, 117, 167
Scharparameter 175, 177, 178,
180, 181
Schichtwiderstand 59, 60, 93,
135, 144
— , effektiver 62, 118
— , spannungsabhängiger 93
— , spezifischer 93
Skalierungsungenauigkeit 159
Sollableitung 146
Source
— -Ladung 90
— -Metallisierung 119–121
Spacer 13
Spannung, effektive 133
Spannungs
— -anstieg, realer 153
— -einbruch 148, 159, 160, 162,
181, 183, 184
— -teiler
— — , kapazitiver 30, 89, 95
— — , resistiver 51, 56
Sperrspannung 25
Spitzeneffekt 17
Stabilität 146, 150–154
Strom
— , Konvektions- 46, 49
— , Verschiebungs- 46, 49
— , effektiver 133
— -einschnürung 109
— -meßsonde 141, 148, 149,
156–158, 162
— -richtung 60–62
Stufenhöhe, halbe 176, 186
Substrat 24, 105, 106, 108, 120,
125
— -dotierung 107
— -steuereffekt 56, 90
— -steuerfaktor 79, 141
— -widerstand 14, 108
Subtrahierer 146, 151, 155

- Symmetrie
 — -linie 60, 62
 — der Besselschen Funktionen
 67, 172
- TAZ 156
 Technologie 11–14
 TEOS 12
 Tiefpaß 117–119, 127, 135, 144,
 146, 151, 153
 transient absorption zener 156
 Treiber 146, 162
- Übergang, metallurgischer 37,
 42, 76, 80, 111
- Übertragungs
 — -funktion 68–71, 119, 135,
 152, 154
 — -funktionsmessung 135
 — -kennlinie 39, 128, 131, 189
 — -leitung 95
 — -steilheit 153, 181
- Unterschwellstrom 29, 82
 — -bereich 25, 29, 39, 47, 102,
 103
- VDMOS 9
- Verarmung 31, 43, 55, 89, 95,
 139
- Verlustenergie 142, 143
- Verschiebungsstrom 79, 92, 105,
 143, 163
- Verstärkung 143, 152, 153
- vertical DMOS 9
- Volumengenerationsbereich 28,
 39
- Vorwärtsbetrieb 24, 58
- Weite 19, 74, 78, 102, 112
- Welle 67, 68
- Wellenlänge 132
- Wendepunkt 176, 186
- Widerstand, spezifischer,
 elektrischer 192
- Widerstandsbereich 29, 32, 39,
 55, 88, 89, 127, 140, 141
- Wirkleistung 133
- Z-Diode 156, 162
- Zell
 — -geometrie 74
 — -verband 59–73, 116–121
- Zelle
 — , Bemaßung 75
 — , Dummy- 13, 17, 122, 123
 — , Eigenschaften 19–58
 — , Halb- 19
 — , Rand- 122
 — , Viertel- 60
 — , lineare 74
 — , quadratische 74
- Zellenfeld 13, 17, 59, 65, 70, 122
 — -fläche 65, 68
 — -rand 122
- Zustände, dynamische 24, 55,
 144, 181, 182
- Zustandsänderungen,
 zweidimensionale 116

\vec{A}_m	Vsm^{-1}	magnetisches Vektorpotential
\vec{B}	Vsm^{-2}	magnetische Flußdichte
\vec{D}	Asm^{-2}	elektrische Flußdichte
$d\vec{A}$	m^2	differentielles Flächenstück
$d\vec{s}$	m	differentielles Wegstück
dV	m^3	differentielles Volumenstück
\vec{E}	Vm^{-1}	elektrische Feldstärke
ϵ	$AsV^{-1}m^{-1}$	Permittivität
\vec{H}	Am^{-1}	magnetische Feldstärke
I	A	elektrische Stromstärke
\vec{J}	Am^{-2}	elektrische Stromdichte
μ	$VsA^{-1}m^{-1}$	Permeabilität
$\vec{\Pi}$	Vm	Herz'scher Vektor
φ	V	elektrisches Potential
Φ	Vs	magnetischer Fluß
Ψ	As	elektrischer Fluß
Q	As	elektrische Ladung
ρ	Asm^{-3}	Raumladungsdichte
\vec{S}	VAm^{-2}	Poynting-Vektor
σ	$AV^{-1}m^{-1}$	elektrische Leitfähigkeit
t	s	Zeit
v_m	A	magnetische Spannung
\vec{v}	ms^{-1}	Geschwindigkeit

- Quellengleichungen
- Ohm'sches Gesetz
- Materialeigenschaften
- Lorenzkonvention
- Induktionsgesetz
- Durchflutungsgesetz



© 2003 Christoph Deml

Christoph Deml Analyse und Modellierung des DMOS-Transistors

Analyse und Modellierung des DMOS-Transistors

Christoph Deml

