

UNIVERSITÄT DER BUNDESWEHR MÜNCHEN
Fakultät für Elektrotechnik und Informationstechnik

Neuartige Metallelektroden und Dielektrika für die MOS-Technologie

Matthias Schmidt

Vorsitzender des Promotionsausschusses: Prof. Dr.-Ing. Klaus Landes
1. Berichterstatter: Prof. Dr. rer. nat. Ignaz Eisele
2. Berichterstatter: Prof. Dr.-Ing. Walter Hansch

Tag der Prüfung: 22. Dezember 2005

Mit der Promotion erlangter akademischer Grad:
Doktor-Ingenieur
(Dr.-Ing.)

Neubiberg, den 23. Dezember 2005

Zusammenfassung

Im Rahmen dieser Arbeit wurden zum ersten Mal Niob und Niobnitrid Metallelektroden in MOS-Bauelemente mit SiO₂- und high- κ -Dielektrika integriert. Beide Materialien zeichnen sich durch einen niedrigen Schichtwiderstand aus. Es konnte gezeigt werden, daß Niobnitrid eine andere Austrittsarbeit als Niob besitzt und sich die Austrittsarbeiten beider Materialien in der Nähe von *Midgap* befinden.

Von besonderer Bedeutung ist das inerte Verhalten von Niobnitrid. Im Gegensatz zu Niob erzeugt Niobnitrid keinerlei Störstellen in Gateoxiden. Selbst die Verwendung von Gate-dielektrika, die durch ihre Struktur besonders anfällig für die Entstehung von Defekten sind, führt zu Bauelementen, deren elektrisches Verhalten ideal ist.

Für den Einsatz in Fabrikationsprozessen, die auf der heutigen Technologie aufbauen und zur Aktivierung der implantierten Dotierstoffe Temperprozesse bei 1050 °C (einige Sekunden) benötigen, ist es entscheidend, daß die Gatestackintegrität bei diesen Temperaturen erhalten bleibt. Es wurde nachgewiesen, daß Gatestacks mit Niobnitrid dieses Kriterium ohne das geringste Anzeichen von Degradation oder Defektentstehung erfüllen können.

Ein weiterer Schwerpunkt dieser Arbeit liegt auf der Identifikation von Defekten innerhalb des Gatedielektrikums ebenso wie an der Grenzfläche Dielektrikum / Substrat, die bei der Abscheidung von Metallelektroden oder der Waferprozessierung entstehen können. Es werden Wege aufgezeigt, mit denen sie vermieden werden können, und Temperprozesse diskutiert, mit denen sie ausgeheilt werden können.

Inhaltsverzeichnis

Zusammenfassung	3
1 Einleitung	9
2 Materialien für Gate-Elektroden	11
2.1 Technologievergleich: Poly-Silizium-Gates und Metallelektroden	12
2.2 Metalle	14
2.3 Metallnitride	16
3 Abscheideverfahren für Metallelektroden	23
3.1 Physikalische Verfahren	23
3.1.1 Sputtern	23
3.1.2 Thermisches Verdampfen	24
3.1.3 Elektronenstrahlverdampfen im UHV und in reaktiven Gasen	24
3.2 Chemische Abscheidung aus der Gasphase: CVD und ALD	26
4 Integration von Metallelektroden in MOS-Kondensatoren	29
4.1 Substratauswahl und Substratvorbereitung	31
4.2 Festlegen der aktiven Kondensatorfläche	31
4.3 Herstellung des Gate-Dielektrikums	31
4.3.1 Thermische Oxidation: SiO ₂	32
4.3.2 CVD: Al ₂ O ₃	32
4.3.3 MBD: La ₂ O ₃ und weitere high- κ Dielektrika	33
4.4 Herstellung der Gate-Elektrode	33
4.4.1 Thermisches Verdampfen: Aluminium (Al)	33
4.4.2 Elektronenstrahlverdampfen: Niob (Nb), Niobnitrid (NbN), Titan- nitrid (TiN), Poly-Silizium (Poly-Si)	33
4.4.3 Sputtern: TiN	34
4.4.4 CVD: Poly-Silizium	34
4.4.5 Strukturierung des Gate-Stacks	34
4.5 Fertigprozessierung der Proben	34

5	Tunnelströme in MOS-Kondensatoren	35
5.1	Strom–Spannungs–Messungen (I–V)	35
5.2	Direktes Tunneln	37
5.3	Trap-Assisted Tunneln	39
5.4	Fowler-Nordheim-Tunneln	40
5.5	Lade-/ Entladeströme von <i>Border Traps</i>	41
5.6	Einfluß von Luftfeuchtigkeit auf I–V–Messungen	43
6	Bestimmung der Austrittsarbeiten	47
6.1	Kapazitäts–Spannungs–Messungen (C–V) und Berechnung der Grenzflächenzustandsdichte D_{it} zur Untersuchung der Halbleiter–Isolator–Grenzfläche .	47
6.2	Flachbandspannung und Grenzflächenzustandsdichte von Proben mit verschiedenen Oxiddicken	52
6.3	Austrittsarbeiten von Nb und NbN	55
6.4	Austrittsarbeit von Nb und NbN nach Tempern bei hohen Temperaturen .	59
6.5	Austrittsarbeit von TiN	61
7	Charakterisierung von Defekten in Gateoxiden	65
7.1	Mikroskopische Ursache	65
7.2	Gateoxiddefekte, die beim Oxidwachstum entstehen	68
7.3	Defekte in SiO ₂ -Gatedielektrika durch Prozeßschritte, die dem Oxidwachstum folgen	69
7.3.1	Defekte durch Remote-Plasma	69
7.3.2	Defekte durch Strahlung	70
7.3.3	Einfluß von Formiergastempnern auf die elektrischen Eigenschaften des Gate-Oxids	72
8	Einflüsse von Prozeßschritten auf die Grenzfläche Dielektrikum / Siliziumsubstrat	75
8.1	Wafertemperatur bei Abscheidung der Gateelektrode	75
8.2	Tempern bei mittleren Temperaturen	79
8.3	RTP-Tempern bei hohen Temperaturen	82
9	MOS–Feldeffekttransistoren	85
9.1	Charakteristische Größen eines MOS-Transistors	85
9.2	Integration von NbN und La ₂ O ₃ in MOS–Transistoren	87
10	Temperaturstabilität von Nb- und NbN-Metallelektroden	91
10.1	Gatestackintegrität bei langen Prozeßzeiten und mittleren Temperaturen .	94
10.2	Gatestackintegrität beim RTP-Tempern (1050°C / 5s)	98
11	Ausblick	101

Literaturverzeichnis	103
Publikationen	109
Danksagungen	111

Kapitel 1

Einleitung

Die Rechenleistung und Geschwindigkeit von Integrierten Schaltungen (ICs¹) auf Siliziumbasis, die beispielsweise als Prozessoren oder Speicherbausteine in der Computer- und Mobilfunktechnik eingesetzt werden, ist seit deren Einführung Anfang der 1970er Jahre laufend gestiegen. Dies wurde überwiegend durch die ständige Erhöhung der Bauelementdichte erreicht.

Die grundlegenden Bauelemente der CMOS²-Technologie sind MOS-Kondensator und MOS-Transistor. Physikalische Prozesse stellen fundamentale Grenzen auf, die diesen Skalierungsprozeß der heutigen CMOS-Technologie in naher Zukunft stoppen werden:

- Quantenmechanisches Tunneln von Ladungsträgern durch das Gate-Oxid (unerwünschter Leckstrom und Wärmeerzeugung);
- Quantenmechanisches Tunneln von Ladungsträgern von Source nach Drain bei Transistoren;
- Kontrolle der Anzahl der Dotieratome im Kanal und der Source bzw. Drain von Transistoren.

Eine weitere Optimierung der CMOS-Technologie wird nur möglich sein, wenn neuartige Bauelementkonzepte in Kombination mit neuartigen Materialien eingeführt werden.

Innerhalb dieser Arbeit wird vorgestellt, inwieweit der Einsatz von Metallelektroden³ in Kombination mit *high- κ* ⁴ Dielektrika eine weitere Verkleinerung der Bauelementdimensionen zuläßt. Diese Materialien sollen die etablierten Poly-Silizium-Elektroden und die langjährig bewährten Dielektrika Siliziumdioxid bzw. Siliziumoxinitride ablösen, damit die Poly-Depletion vermieden wird (Kapitel 2) und bei gleicher physikalischer Dicke die äquivalente Oxiddicke EOT ⁵ kleiner wird.

¹IC: integrated circuit

²CMOS: Complementary Metal-Oxid-Semiconductor

³Metallelektrode: Engl. *Metal Gate*

⁴ κ wird im Englischen als Bezeichnung der Dielektrizitätskonstante ϵ verwendet.

⁵ EOT : Equivalent Oxide Thickness; $EOT = \frac{\epsilon_{SiO_2}}{\kappa} \cdot d$ (d : physikalische Schichtdicke)

In **Kapitel 2** wird erklärt, welche unterschiedlichen Materialien im Laufe der technologischen Entwicklung als Gatematerialien eingesetzt worden sind und aus welchen Gründen heute ein Wechsel von der Poly-Silizium-Gate-Technologie hin zu Metallelektroden erwogen wird. Desweiteren werden die Gatematerialien, die im Rahmen dieser Arbeit untersucht wurden (Titannitrid, Niob und Niobnitrid), ausführlich vorgestellt.

Kapitel 3 beschäftigt sich mit Abscheideverfahren von Metallelektroden.

Kapitel 4 stellt die Prozeßabfolge vor, mit der im Rahmen dieser Arbeit MOS-Kondensatoren hergestellt wurden. Mit ihnen wurden die elektrischen Eigenschaften der untersuchten Materialien bestimmt.

Strom-Spannungs-Messungen und unterschiedliche Beiträge zum Strom (Tunnelströme, zeitabhängige Strombeiträge) werden in **Kapitel 5** diskutiert.

Zur Bestimmung der Austrittsarbeit wird in **Kapitel 6** die Kapazitäts-Spannungs-Messung eingeführt. Anschließend werden die Austrittsarbeiten der untersuchten Metalle bestimmt und die Abhängigkeiten der Flachbandspannung von Abscheidebedingungen und verschiedenen Dielektrika untersucht.

Anhand ausgewählter Beispiele werden in **Kapitel 7** Tunnelströme diskutiert, die in MOS-Kondensatoren auftreten können. In diesem Kapitel wird detailliert darauf eingegangen, wie sich Defekte innerhalb des Gateoxids auf Strom-Spannungs-Charakteristiken auswirken können und wie sich in der Messung die Ursachen verschiedener Tunnelströme unterscheiden lassen.

Im Gegensatz zu Kapitel 7, das sich mit Defekten innerhalb des Dielektrikums beschäftigt, werden in **Kapitel 8** Defekte an der Grenzfläche Dielektrikum / Substrat analysiert. Ein besonderer Schwerpunkt dieses Kapitels liegt auf der Darstellung der Grenzflächenzustandsdichte, die sich bei jedem Schritt innerhalb eines Prozeßablaufs deutlich verändern kann.

Kapitel 9 beschreibt erste Ergebnisse zur Integration von Metallelektroden und high- κ -Dielektrika in Transistoren.

Die herausragenden Eigenschaften von Niob- und Niobnitrid-Metallelektroden bezüglich Gate-Stack-Integrität bei Temperprozessen werden in **Kapitel 10** dargestellt.

Diese Arbeit schließt mit **Kapitel 11** ein kurzer Ausblick ab, in dem das Potential von Niobnitrid für den industriellen Einsatz zusammengefaßt und Stärken bzw. Schwächen des Materials diskutiert werden.

Kapitel 2

Materialien für Gate-Elektroden

Historisch betrachtet wurden in den 1960er Jahren die ersten MOS-Transistoren als p-Kanal Transistoren realisiert. Als Gatematerial wurde Aluminium verwendet, weil es im Silizium keine tiefen Störstellen verursacht. Die Herstellung von n-Kanal-Transistoren mit den damaligen technologischen Möglichkeiten wäre nachteilig gewesen, weil die hohe Konzentration von Oxidladungen (damals v.a. Na^+) die Einsatzspannung zu negativen Spannungen hin verschoben hat, was zu einem ständig stromführenden *normally on* Kanal führt [Eis05].

In den 1970er Jahren konnten, nachdem die Oxidprobleme überwunden waren, auch *normally off* n-Kanal-Transistoren hergestellt werden. Der Vorteil von n-Kanal-Transistoren ist die höhere Beweglichkeit von Elektronen gegenüber den Löchern in einem p-Kanal-Transistor. Außerdem ersetzte man Aluminium durch n-Poly-Silizium, was ein höheres thermisches Budget bei der Waferprozessierung erlaubte und die Möglichkeit zu selbstjustierenden Source- bzw. Draingebieten gegenüber der Gateelektrode eröffnete. Die Polydepletion (Kapitel 2.1) spielte damals keine Rolle.

Seit Mitte der 1970er Jahre kann man n-Kanal- mit p-Kanal-Transistoren in der sog. CMOS-Konfiguration auf einem Chip verbinden. Logikschaltungen, die mit CMOS-Technologie hergestellt werden, zeichnen sich durch einen sehr geringen Strom- bzw. Leistungsverlust während Wartezeiten aus; Strom fließt nur während Schaltvorgängen.

Nachteilig war, daß anfangs nur n-Poly-Silizium als Gatematerial verwendet werden konnte und die Kanalimplantation, die zur korrekten Einstellung der Schwellspannung nötig ist, zu vergrabenen Kanälen beim p-Kanal-Transistor führt. Transistoren mit vergrabenen Kanälen zeichnen sich durch eine erniedrigte Ladungsträgerbeweglichkeit aus (Kapitel 2.1), ebenso ist, wenn man an die Skalierung der Bauelemente denkt, die Unterdrückung von Kurzkanaleffekten wie *punch through* schwieriger. Durch die Einführung Bor-dotierter p^+ -Poly-Silizium-Gates konnten diese Probleme umgangen und symmetrische Schwellspannungen erzielt werden.

Physikalische und technologische Grenzen, die in naher Zukunft wieder eine Abkehr von der Poly-Silizium-Technologie hin zu Metallelektroden erzwingen werden, werden im folgenden Kapitel diskutiert.

2.1 Technologievergleich: Poly-Silizium-Gates und Metallelektroden

Damit symmetrische Schwellspannungen V_T bei PMOS- und NMOS-Transistoren erzielt werden, werden in der heutigen CMOS-Technologie zwei verschiedene Gatematerialien, Bor-dotiertes (p^+ -Si) und Phosphor- bzw. Arsen-dotiertes polykristallines Silizium (n^+ -Si) verwendet. Die Einsatzspannung wird durch Kanalimplantation eingestellt. Sie läßt sich folgendermaßen berechnen:

$$V_T = V_{FB} + 2\varphi_F - \frac{Q_D}{C_{Ox}} - \frac{Q_I}{C_{Ox}} \quad (2.1)$$

Hierin bezeichnet V_{FB} die Flachbandspannung, φ_F das Fermi-Niveau des Substrates, Q_D die Ladung in der Verarmungsregion und Q_I/q die Implantationsdosis (q : Elementarladung).

Neben dem hohen Schichtwiderstand, der in integrierten Schaltungen die Signallaufzeiten begrenzt [Mai99], läßt sich durch den Einsatz von Metallelektroden in erster Linie die Poly-Depletion verhindern. Aus quantenmechanischen Gründen befindet sich der Ladungsschwerpunkt der akkumulierten Majoritätsladungsträger in der Gateelektrode (Elektronen im Leitungsband bei n-Si bzw. Löchern im Valenzband bei p-Si) nämlich nicht genau an der Grenzfläche Elektrode / Dielektrikum, sondern ist in die Elektrode um etwa 1nm hineinverschoben. Dadurch entsteht eine zusätzliche Kapazität in Reihe mit der Oxidkapazität. In Abbildung 2.1 ist das Verhältnis von berechneter Kapazität (klassisches bzw. quantenmechanisches Modell) von MOS-Kondensatoren mit poly-Si-Gates (Dotierung: $5 \cdot 10^{20} \text{ cm}^{-3}$) und mit Metallelektroden zur Oxidkapazität aufgetragen (Substrat in Inversion; Dotierung: $5 \cdot 10^{17} \text{ cm}^{-3}$). Hierin wurde berücksichtigt, daß auch im Kanalgebiet des Substrates durch die Quantisierung der elektronischen Zustände eine zusätzliche Kapazität entsteht, weil es hier ebenfalls zu einer Verschiebung des Ladungsschwerpunktes kommt. Bei einer Gatespannung von 1.5V hat beispielsweise ein MOS-Kondensator mit 2nm dickem Oxid durch den Wegfall der Poly-Depletion eine 20 % höhere Kapazität, wenn anstelle von Poly-Silizium eine Metallelektrode verwendet wird.

Darüber hinausgehend gibt es noch weitere Gründe, die die Suche nach einem Ersatz für die Poly-Silizium-Elektroden nötig machen: Es hat sich gezeigt, daß manche high- κ Dielektrika mit Poly-Silizium inkompatibel sind [Hey03].

Außerdem wird der Einsatz von Bor-dotiertem p-Silizium vermieden. Der hohe Diffusionskoeffizient von Bor führt während der Dotierstoffaktivierung (einige Sekunden bei Temperaturen von 950-1050°C) zum Eindringen von Bor ins Gatedielektrikum und zur Diffusion durchs Gatedielektrikum [Buc99].

Naheliegender erscheint der Einsatz zweier verschiedener Metalle, um jeweils n-Poly-Si und p-Poly-Si zu ersetzen. Allerdings ist die Technologieintegration von gleich zwei neuartigen Materialien extrem schwierig.

Die Poly-Silizium-Elektroden können auch durch ein einziges Metall ersetzt werden, dessen

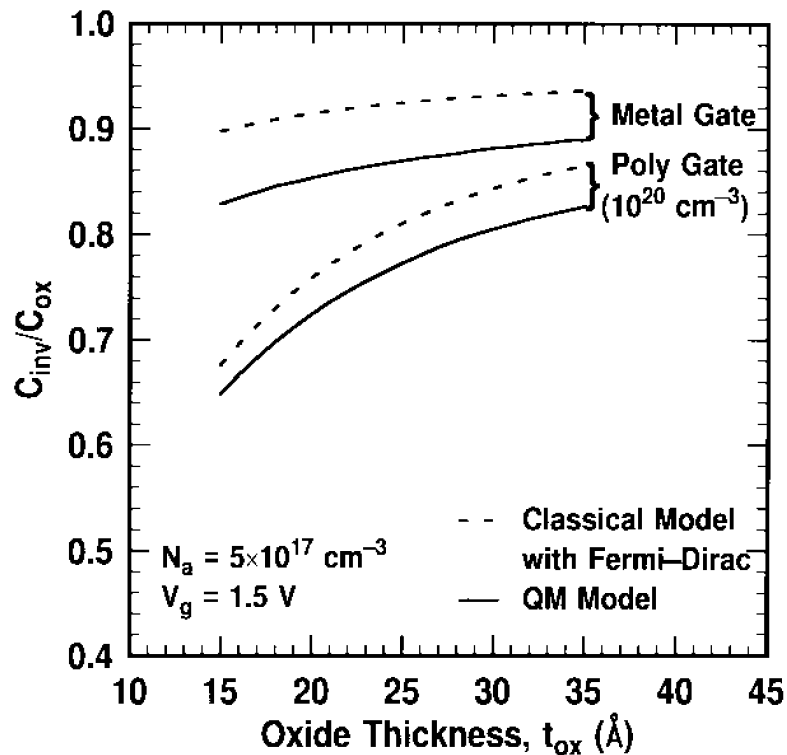


Abbildung 2.1: Berechnete Kapazität von MOS-Kondensatoren bei Berücksichtigung von Depletionseffekten in der Elektrode und Quantisierungseffekten im Substrat [Tau97]. Die Kapazitäten sind auf die Oxidkapazität normiert.

Austrittsarbeit im Bereich von *Midgap* liegt. In der klassischen Technologie, in der die Einsatzspannung mittels Ionenimplantation eingestellt wird, treten hierbei Probleme auf: Müssen in n-Substrate Akzeptoren oder in p-Substrate Donatoren implantiert werden, entsteht ein p-n-Übergang, und der Kanal bildet sich nicht entlang der Grenzfläche aus, sondern tiefer im Substrat (*buried channel*¹; [Abe99]). Neben schlechteren elektrischen Eigenschaften solcher Bauelemente [Hu85] entsteht dadurch eine zusätzliche Kapazität, die *EOT* vergrößert [Jos99].

Bei neuartigen Transistorkonzepten werden die Strukturgrößen so klein sein, daß zur Einstellung der Schwellspannung nur noch einige wenige Ionen implantiert werden müßten. Da die statistischen Schwankungen der Zahl der implantierten Ionen zu einer unerwünscht großen Streuung des Wertes der Schwellspannung führen würden, werden Konzepte entwickelt, bei denen für den Kanal intrinsisches Silizium verwendet wird ([Fra02], [Won02]). Die Schwellspannung kann nun nicht mehr durch Implantation, sondern nur noch durch die optimale Wahl der Austrittsarbeit des Elektrodenmaterials festgelegt werden. Simulationsrechnungen für Transistoren auf FD-SOI-Substraten² zeigen, daß der Einsatz von Metallelektroden mit einer Austrittsarbeit in der Nähe von *Midgap* (NMOS: 4.5-4.65 eV, PMOS: 4.65-4.8 eV) nötig ist [Che01].

¹buried channel: vergrabener Kanal

²FD-SOI: Fully Depleted - Silicon on Insulator

Zusammenfassend müssen folgende Kriterien beachtet werden, wenn Poly-Silizium-Elektroden durch Metallelektroden ersetzt werden sollen:

- Korrektes Kontaktpotential (Austrittsarbeit) des Metalls in Kombination mit dem Dielektrikum;
- Temperaturstabilität bis zur höchsten Temperatur, die bei den nachfolgenden Prozessen auftritt; bei einem Einsatz im konventionellen CMOS-Prozeß sind dies einige Sekunden bei 1050°C (Dotierstoffaktivierung in den implantierten Source- und Drain-Gebieten);
- Verträglichkeit mit dem Dielektrikum und Silizium (keine ungewünschten Reaktionen, keine ungewollte Diffusion).

Die aktuelle Forschung konzentriert sich auf die Suche nach Metallen, Legierungen und Metallverbindungen. Während das nächste Kapitel einen Überblick über die Metalle des Periodensystems gibt, wird im übernächsten Kapitel eine besondere Art von Metallverbindungen vorgestellt: die hochschmelzenden Metallnitride. Zwei ihrer Vertreter, Titanitrid (TiN) und Niobnitrid (NbN) gemeinsam mit dem Metall Niob (Nb) sind Gegenstand dieser Arbeit. Niobnitrid und Niob wurden zum ersten Mal als Gateelektroden für die CMOS-Technologie untersucht. Der große Vorteil von Niobnitrid ist, wie in den folgenden Kapiteln noch eingehend untersucht wird, die Stabilität bei hohen Temperaturen. Dies ermöglicht die Integration in den konventionellen CMOS Prozeßablauf, in dem als höchste Temperatur Tempern bei 1050°C (für einige Sekunden) vorkommt.

2.2 Metalle

In Abbildung 2.2 sind die Austrittsarbeiten bzw. Kontaktpotentiale der Metalle des Periodensystems gegenüber ihren Schmelzpunkten aufgetragen. Die ungeeigneten Alkalimetalle und radioaktive Metalle wurden nicht mit dargestellt. Auch viele der aufgeführten Metalle wie Fe, Au oder Ga sind wegen ihrer starken Diffusion in Si und ihrer hohen Reaktivität ungeeignet.

Gegenstand aktueller Forschung sind W [Sha01] und Mo ([Lu00], [Lin02]), wobei Mo aufgrund seiner kolumnaren Kristallstruktur für die weitergehende Skalierung zu Sub-100nm-Bauelementen ungeeignet erscheint (vgl. Abbildung 2.3 aus [Ran01]).

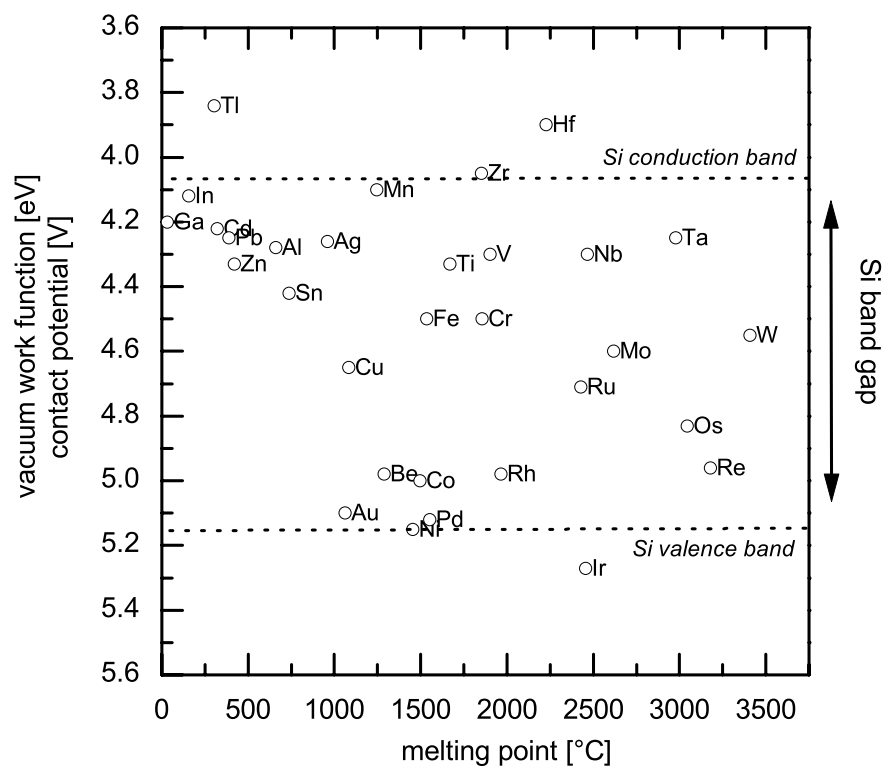


Abbildung 2.2: Austrittsarbeit/Kontaktpotential in Abhängigkeit des Schmelzpunktes der Elemente im Vakuum ([Mic77], [Skr92]).

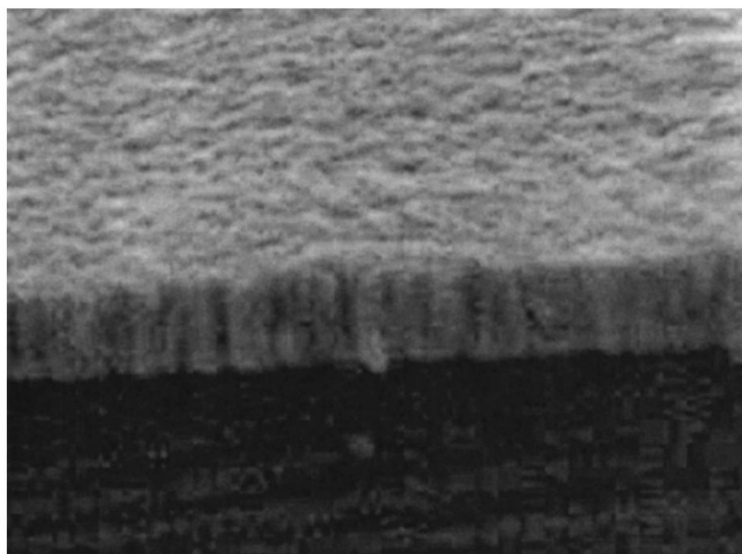


Abbildung 2.3: Rasterelektronenmikroskop-Aufnahme einer Mo-Schicht, die auf einem Si-Wafer abgeschieden wurde; Blick auf die Bruchkante [Ran01].

2.3 Metallnitride

Viele Elemente des Periodensystems bilden Stickstoffverbindungen. Die physikalischen Eigenschaften dieser Nitride sind sehr unterschiedlich und hängen davon ab, welche Art von Bindung sich bildet. Unter diesen Stoffen befinden sich sowohl Isolatoren wie beispielsweise Bornitrid (BN; kovalente Bindung zwischen N und B) und Magnesiumnitrid (Mg_3N_2 ; ionische Bindung) als auch Verbindungen mit metallischen Eigenschaften, die von den Übergangsmetallen der 4., 5. und 6. Nebengruppe (Ti, V, Cr, Zr, Nb, Mo, Hf, Ta, W) gebildet werden (Abbildung 2.4). Diese sind chemisch inert und bis zu hohen Temperaturen stabil (Hochschmelzende Nitride³; [Tot71], [Pie96]). Außerdem besitzen sie hohe mechanische Härte und große thermische und elektrische Leitfähigkeit. Ihre Schmelzpunkte bzw. Zersetzungstemperaturen sind unter Angabe ausgewählter Veröffentlichungen, die ihren Einsatz als Metallelektroden diskutieren, in Abbildung 2.5 zusammengestellt.

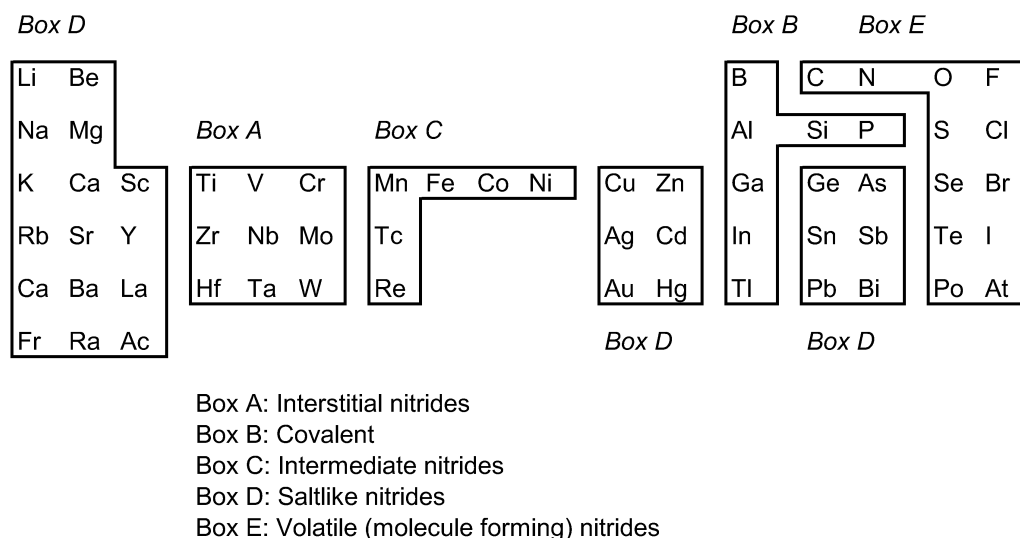


Abbildung 2.4: Einteilung der Elemente des Periodensystems, die mit Stickstoff Nitride bilden [Pie96]. Die Elemente in Box A kommen für Metal-Gates in Frage, da sie metallische Eigenschaften bei gleichzeitiger Temperaturstabilität besitzen.

Die Besonderheit dieser Metallnitride gegenüber anderen Stickstoffverbindungen ist die Platzierung der Stickstoffatome auf Zwischengitterplätzen. Dies ist möglich, weil neben dem großen Elektronegativitätsunterschied der Bindungspartner auch die Größe von Metall- bzw. Stickstoffatom stark unterschiedlich ist. Es entstehen Bindungen, bei denen neben geringem kovalentem und ionischem vor allem der metallische Bindungsanteil die physikalischen Eigenschaften bestimmt.

Die Nitride von Kobalt (Co) und Nickel (Ni) sind thermisch nicht stabil und zerfallen bei niedrigen Temperaturen (CoN : $231^\circ C$, [Tan99]).

In Abbildung 2.6 sind die Bindungsenthalpien der wichtigsten hochschmelzenden Metallnitride dargestellt. Es lassen sich hierbei zwei Gruppen unterscheiden: HfN , TiN und ZnN ,

³Hochschmelzende Nitride werden im Englischen als *refractory nitrides* bezeichnet.

$^{22}\text{TiN}_x$ 2900°C [Cla98], [Luj02], [Ker03], [Wes03]	$^{23}\text{VN}_x$ 2177°C	$^{24}\text{CrN}_x$ 1500°C
$^{40}\text{ZrN}_x$ 2900°C	$^{41}\text{NbN}_x$ 2200°C <i>this work</i>	$^{42}\text{MoN}_x$ 975°C [Ran01], [Lin02], [Ran02]
$^{72}\text{HfN}_x$ 3300°C [Yu03], [Yu04a], [Yu04b]	$^{73}\text{TaN}_x$ 3000°C [Shi01], [Tsu03], [Kan04], [Als05]	$^{74}\text{WN}_x$ 975°C [Wes03], [All05]

Abbildung 2.5: Hochschmelzende Nitride und ihre Schmelzpunkte bzw. Zersetzungstemperaturen mit Angabe von ausgewählten Veröffentlichungen.

die Bildungsenthalpien von -340 – -370 kJ/gm-atom metal⁴ besitzen, und TaN bzw. NbN, deren Bildungsenthalpien vom Betrag her kleiner sind und -245 bzw. -235 kJ/gm-atom metal betragen. Die geringere Bildungsenthalpie von NbN und TaN läßt auf eine geringere Reaktivität im Vergleich mit den anderen Metallnitriden schließen.

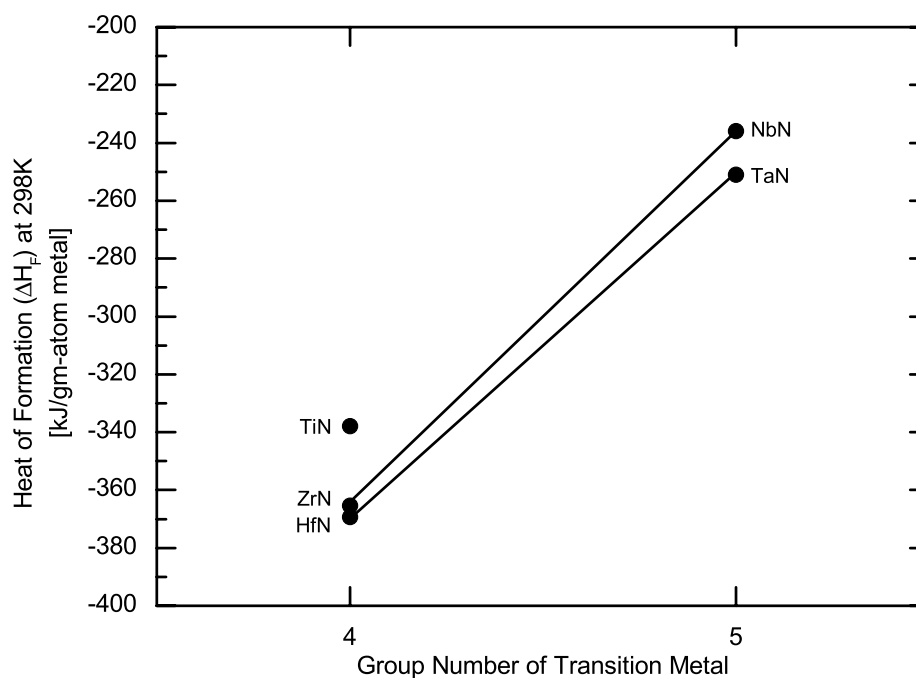


Abbildung 2.6: Bildungsenthalpien wichtiger hochschmelzender Metallnitride [Tot71]. Nitride aus der gleichen Periode sind durch einen Strich miteinander verbunden.

⁴gm-atom = Masse in g / atomares Gewicht des Elements (Normierung der Masse auf die mittlere Nukleonenzahl des Kerns)

Im folgenden werden Titannitrid, Niobnitrid und Niob, die im Rahmen dieser Arbeit untersucht wurden, ausführlicher vorgestellt:

Titannitrid (TiN)

TiN ist ein Material, das in der CMOS-Technologie bereits eingesetzt wird. Es dient als chemisch inerte Diffusionsbarriere und wird vor der Abscheidung von Wolfram aufgebracht. Es schützt die Wafer vor Flußsäure, die während der CVD-Abscheidung von Wolfram aus den Prozeßgasen WF_6 und H_2 entsteht.

TiN wurde von vielen Gruppen als Gatemetallisierung untersucht (siehe beispielsweise [Ker03], [Cla98], [Luj02], [Wes03]). Innerhalb dieser Arbeit wurden Proben mit TiN-Metallisierung hergestellt, um Referenzproben mit einem Material mit bekannten Eigenschaften herzustellen. Für die Integration in sub-100nm Bauelemente ist TiN jedoch ungeeignet, weil es während der Abscheidung eine säulenförmige Struktur ausbildet (Abbildung 2.7).

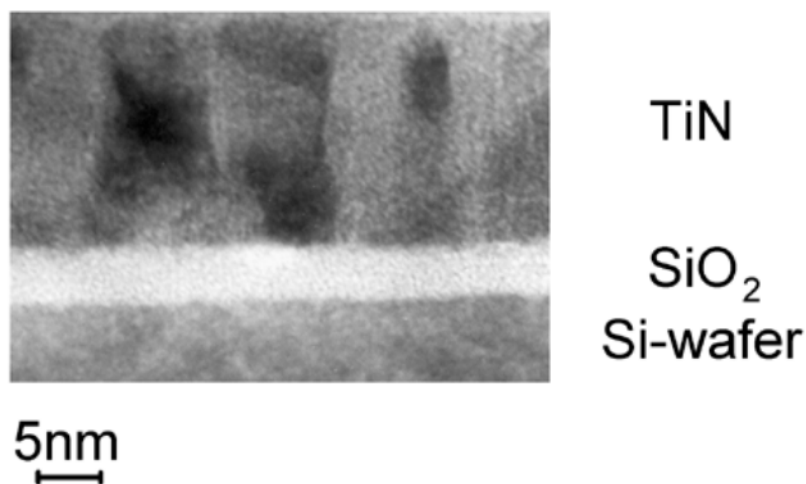


Abbildung 2.7: TEM-Aufnahme einer TiN-Metallisierung. TiN wurde mit reaktivem Sputtern auf einem 5nm dicken SiO₂-Gateoxid abgeschieden.

Niob (Nb) und Niobnitrid (NbN)

Die Untersuchung von Niob und Niobnitrid ist Gegenstand dieser Arbeit. Diese Materialien werden bereits in der Supraleitung eingesetzt [Ros02]. Sie besitzen einen sehr hohen Schmelzpunkt (Nb: 2477°C, NbN: 2400°C). Die Bindungsenthalpie von NbN (-236 kJ/gm-atom metal) ist vergleichbar der von TaN (-251 kJ/gm-atom metal), aber vom Betrag her kleiner als die von TiN (-338 kJ/gm-atom metal) und HfN (-369 kJ/gm-atom metal) (Abb. 2.6, [Tot71]). Dies deutet auf eine verminderte Reaktivität von Nb im Vergleich zu Ti und Hf hin, die vorteilhaft für die Integrität des Gateoxides während der Abscheidung ist. Im Gegensatz zu Mo und TiN liegt die Korngröße von Nb- und NbN-Schichten unterhalb einiger nm (Nachweis durch XRD⁵). Die Verfügbarkeit von Precursoren für CVD ([Fun87], [Fix93], [Liu01]) und ALD⁶ (NbN: [Jup00]) ermöglicht den Einsatz innerhalb eines industriellen Prozeßablaufes.

Die Abbildungen 2.8 und 2.9 zeigen TEM-Aufnahmen von Nb- bzw. NbN-Gatemetallisierungen, die auf 5nm dicken SiO₂-Gateoxiden abgeschieden wurden.

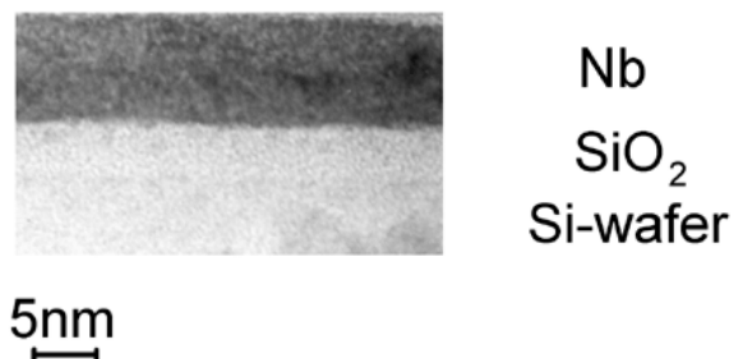


Abbildung 2.8: TEM-Aufnahme einer Nb-Metallisierung. Nb wurde im UHV auf ein 5nm dickes SiO₂-Gateoxid aufgedampft.

⁵XRD: X-ray defraction (Röntgendiffraktometrie)

⁶ALD: Atomic Layer Deposition

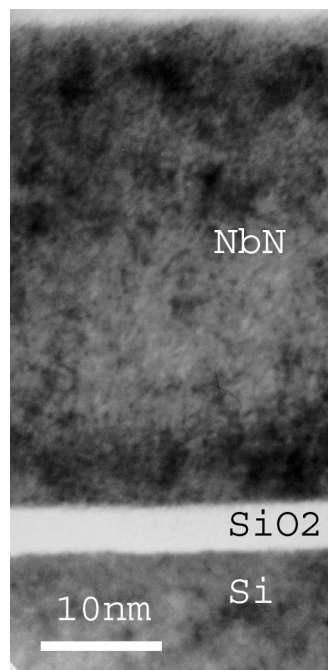


Abbildung 2.9: TEM-Aufnahme einer NbN-Metallisierung. NbN wurde mit reaktivem Verdampfen von Nb in NH₃-Atmosphäre ($5 \cdot 10^{-5}$ mbar, 20°C) auf einem 5nm dicken SiO₂-Gateoxid abgeschieden.

In Abbildung 2.10 ist das Phasendiagramm von NbN dargestellt. Von besonderer Bedeutung ist, daß unterhalb von 1250°C bei thermischen Belastungen keine Phasenänderungen auftreten.

Mit ESMA⁷ wurde die Stöchiometrie der in dieser Arbeit hergestellten NbN-Schichten untersucht. Es zeigte sich, daß neben Nb und N auch O in den Schichten enthalten ist. Das atomare Verhältnis von Nb zu N beträgt 1 : 0.82.

Der Einbau von Sauerstoff kann auf zwei Gründe zurückgeführt werden: Einerseits kann Nb bereits während der Abscheidung mit O₂ oder H₂O reagieren. Beide Stoffen können trotz des geringen Basisdrucks der Abscheideanlage (Kapitel 4.4.2) während der Abscheidung freigesetzt werden. Andererseits reagieren Nb- und NbN-Schichten mit dem Sauerstoff aus der Luft und bilden, wie viele andere Metalle, eine Oxidschicht aus. Bei den Schichtdicken der innerhalb dieser Arbeit hergestellten Proben von 30 - 50 nm können beide Effekte jedoch nicht getrennt voneinander analysiert werden.

Von NbO ist bekannt, daß es ebenfalls metallische Eigenschaften besitzt [Gao04], wohingegen Nb₂O₃ ein elektrischer Isolator ist.

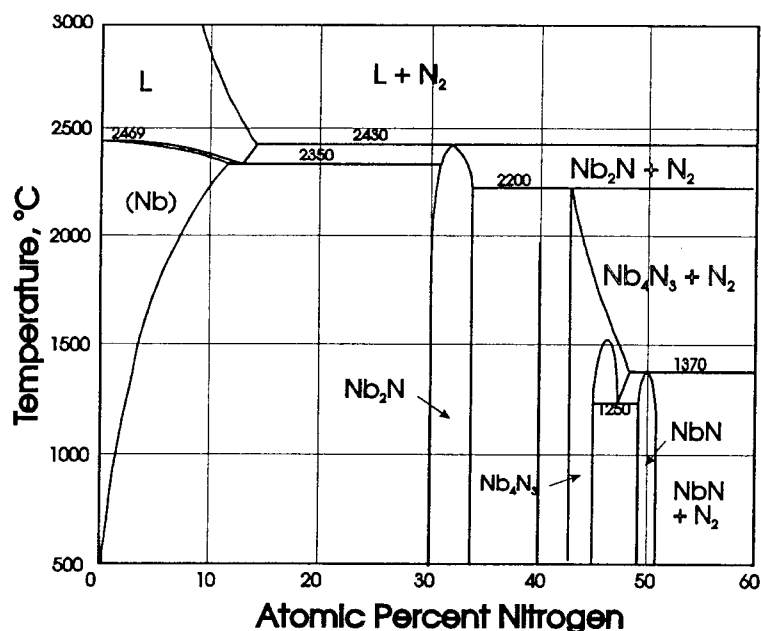


Abbildung 2.10: Phasendiagramm von NbN [Pie96].

⁷ESMA: Elektronenstrahl-Mikroanalyse

Mit der 4-Spitzen Methode wurde der spezifische Widerstand von dünnen Nb- und NbN-Schichten bestimmt (Abb. 2.11).

Für Nb beträgt der spezifische Widerstand nach der Abscheidung (Abscheidetemperatur: 20°C) 150 $\mu\Omega\text{cm}$. Er kann durch Temperprozesse auf 135 $\mu\Omega\text{cm}$ (900°C/15s) bzw. 65 $\mu\Omega\text{cm}$ (700°C/60s) abgesenkt werden. In der Literatur wird für Vollmaterial ein Wert von 15 $\mu\Omega\text{cm}$ angegeben [Alf02]. Im Vergleich dazu beträgt der spezifische Widerstand von Hf 100 $\mu\Omega\text{cm}$ [Yu04a].

Demgegenüber ist der spezifische Widerstand von NbN höher: Nach der Abscheidung (Abscheidetemperatur: 20°C) beträgt er 1650 $\mu\Omega\text{cm}$. Durch Tempern sinkt er auf 600 $\mu\Omega\text{cm}$ (900°C/15s) bzw. 450 $\mu\Omega\text{cm}$ (700°C/60s). In der Literatur findet man als niedrigsten Wert 200 $\mu\Omega\text{cm}$ für NbN-Schichten, die mittels ALD hergestellt wurden [Pie88]. Im Vergleich dazu hat HfN einen Schichtwiderstand von 500 $\mu\Omega\text{cm}$ [Yu04a].

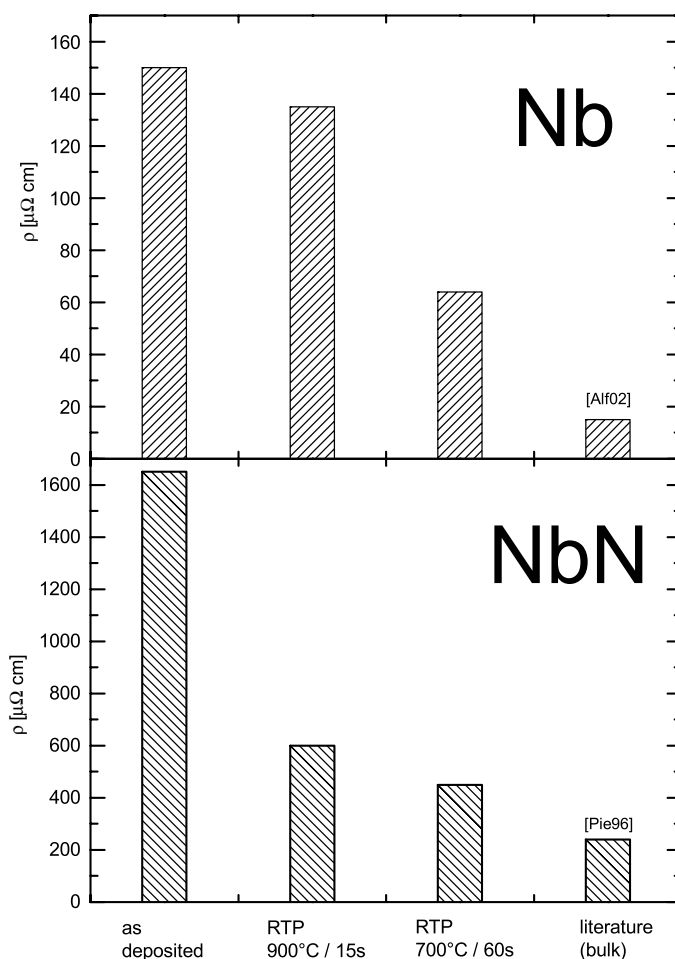


Abbildung 2.11: Spezifischer Widerstand von Nb- und NbN-Schichten vor und nach verschiedenen Temperprozessen.

Kapitel 3

Abscheideverfahren für Metallelektroden

Metallelektroden können auf verschiedene Art hergestellt werden. Während mit physikalischen Verfahren (Kapitel 3.1) aber meist nur einzelne Wafer oder wenige Wafer gleichzeitig beschichtet werden können, gibt es chemische (Kapitel 3.2) oder elektrochemische Verfahren, bei denen viele Wafer gleichzeitig beschichtet werden können. Für einen industriellen Einsatz ist letztendlich entscheidend, daß das Abscheideverfahren auch auf 300mm-Wafern homogene Schichten liefert und die Prozeßzeit pro Wafer möglichst kurz gehalten werden kann. Die Grundlagen der wichtigsten Verfahren werden im Folgenden vorgestellt.

3.1 Physikalische Verfahren

3.1.1 Sputtern

Sputtern ist eine Abscheidemethode für Metalle, bei der aus einem festen Target durch Edelgasatome eines Sputtergases (z.B. Argon) Atome herausgeschlagen werden. Die Atome des Sputtergases werden in einer Plasmaentladung elektrisch aufgeladen und durch ein elektrisches Feld auf das Target beschleunigt. Die aus dem Target stammenden Atome (Sekundärionen) lagern sich dann auf dem Substrat ab. Beim reaktiven Sputtern wird zum Sputtergas ein zweites Gas hinzugemischt. Die Atome dieses Gases sind durch die Ionisation sehr reaktiv. So verwendet man beispielsweise ein Argon-/ Stickstoffgemisch, um beim Sputtern von Titan Titanitrid herzustellen.

Die Herstellung von Metallelektroden mit Sputtern kann Probleme bereiten, wenn geladene Atome oder Moleküle auf das Gatedielektrikum auftreffen und dieses schädigen. Ebenso können Schäden im Gatedielektrikum entstehen, wenn sich der Wafer elektrisch auflädt. Besondere Strukturen auf dem Wafer, die elektrische Ladungen abfließen lassen, sowie optimierte Sputterparameter können eine Schädigung des Gatedielektrikums jedoch vermeiden.

3.1.2 Thermisches Verdampfen

Thermisch können Metalle wie Aluminium (Schmelzpunkt $T_S=660^\circ\text{C}$) oder Kupfer ($T_S=1083^\circ\text{C}$) problemlos aus widerstandsgeheizten Schiffchen verdampft werden, die aus einem hochschmelzenden, reaktionsträgen Material wie Wolfram bestehen.

Die Verwendung besonderer Verdampferzellen erlaubt es, Materialien bis zu einer Temperatur von etwa 2300°C aufzuheizen. Mit so einer Zelle läßt sich beispielsweise Titan ($T_S=1668^\circ\text{C}$) verdampfen, nicht jedoch Wolfram ($T_S=3410^\circ\text{C}$), Niob ($T_S=2477^\circ\text{C}$) oder Molybdän ($T_S=2623^\circ\text{C}$).

3.1.3 Elektronenstrahlverdampfen im UHV und in reaktiven Gasen

Metalle mit hohem Schmelzpunkt lassen sich nicht mehr thermisch verdampfen, sondern nur noch durch Elektronenstrahlverdampfen. Hierbei werden aus einer Glühelektrode Elektronen emittiert (typischer Emissionsstrom: einige 100 mA) und durch ein elektrisches Feld auf das zu verdampfende Material beschleunigt (gebräuchliche Beschleunigungsspannungen: 6kV oder 10kV). Um die Glühelektrode vor Ablagerungen zu schützen, wird sie seitlich angebracht und der Elektronenstrahl durch ein Magnetfeld um 270° abgelenkt (Abbildung 3.1). Bei den Versuchen wurden ESVs¹ der Firma Balzers mit Tigelvolumina von 30 cm^3 verwendet. Typische Parameter sind beispielsweise für das Verdampfen von Niob die Einstellung eines Emissionsstroms von 300 mA bei einer Beschleunigungsspannung von 10 kV (Aufheizung des Metalls im Tigel mit durchschnittlich 100 W/cm^3).

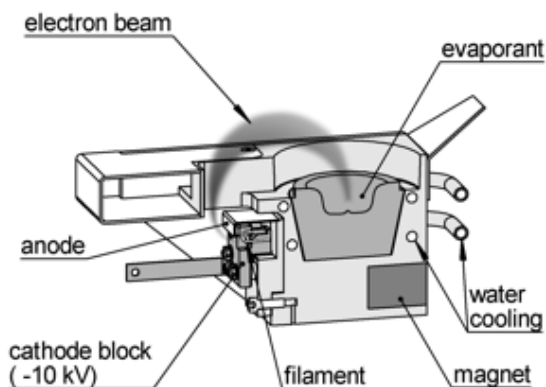


Abbildung 3.1: Prinzipzeichnung der Arbeitsweise eines Elektronenstrahlverdampfers [Ebe03].

Beim Elektronenstrahlverdampfen wird die charakteristische Röntgenstrahlung des verdampften Elements angeregt. Die Daten für einige wichtige Elemente sind in Tabelle 3.1 zusammengestellt. Dadurch kann bei MOS-Bauelementen das Gateoxid geschädigt werden (Kapitel 7.3.2).

¹ESV: Elektronenstrahlverdampfer

Element	Röntgenserie	Anregungspotential
Si	K	1.83 kV
Ge	L-III	1.22 kV
Ti	K	4.95 kV
Ta	M-I	2.71 kV
Hf	M-I	2.60 kV
Nb	L-I	2.71 kV
	L-III	2.37 kV

Tabelle 3.1: Anregungspotentiale der charakteristischen Röntgenstrahlung einiger wichtiger Elemente [Flü57].

Die Metallatome, die beim Verdampfen entstehen, sind sehr reaktiv. So kann beispielsweise Titanitrid durch das Verdampfen von Titan in Stickstoffatmosphäre hergestellt werden. Anders als beim reaktiven Sputtern, bei dem durch das Plasma die Gasmoleküle aufgespalten werden, liegt das Gas hier in molekularer Form vor.

Niob reagiert nicht mit Stickstoff. Zur Herstellung von Niobnitrid muß ein leichter spaltbarer Stickstoffträger wie beispielsweise Ammoniak (NH_3) verwendet werden.

Die chemische Reaktion zwischen Metallatom und Gasmolekül findet an der Waferoberfläche statt, weil innerhalb der Prozeßkammer der Druck so eingestellt wurde, daß die freie Weglänge der verdampften Metallatome größer als der Abstand vom ESV zum Wafer ist und somit meistens keine Stöße zwischen Metallatomen und Gasmolekülen auftreten.

3.2 Chemische Abscheidung aus der Gasphase: CVD und ALD

Für industrielle Metal–Gate–Anwendungen sind besonders Metalle interessant, die sich mit gasförmigen Precursoren aus der Gasphase abscheiden lassen. Man unterscheidet zwei Verfahren: die Chemische Gasphasenabscheidung (CVD²), und, als deren Spezialfall, die Atomic Layer Deposition (ALD). Während bei CVD nur ein Precursor verwendet wird und Abscheiderate bzw. Schichtqualität deshalb nur von Partialdruck und Temperatur abhängen, benutzt man bei ALD zwei Precursoren. Sie werden abwechselnd über die Scheibe geleitet und passivieren die Oberfläche in selbstlimitierenden Prozessen jeweils vollständig. In vier Schritten wird eine monoatomare (Metall) bzw. monomolekulare (Metallnitrid, -oxid, -silizid) Schicht abgeschieden [Kim03]:

1. der Wafer wird dem Precursor für das Metall ausgesetzt;
2. Spülzyklus;
3. der Wafer wird einem reduzierenden Precursor (bei der Abscheidung von Metallen) oder dem Precursor für den nichtmetallischen Bestandteil (bei einer Verbindung) ausgesetzt;
4. Spülzyklus.

Abbildung 3.2 zeigt beispielhaft die Herstellung von TiN mit ALD aus den Precursoren TiCl_4 und NH_3 . Neben TiN entsteht hierbei HCl.

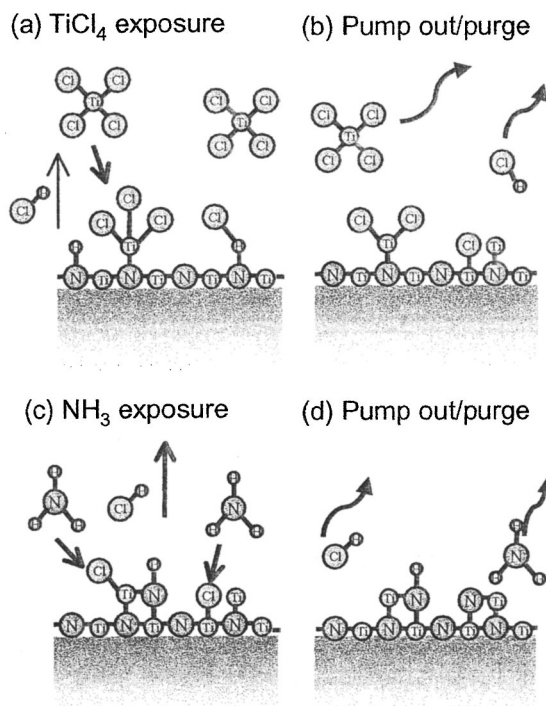


Abbildung 3.2: Herstellung von TiN mit ALD [Kim03].

²CVD: chemical vapour deposition

		Precursor	abgeschiedenes Material
Halogenide (anorganisch)		TaCl ₅ , TaBr ₅ TiCl ₄ , TiI ₄ WF ₆ MoCl ₅ NbCl ₅ CuCl	Ta, TaN, Ta ₃ N ₅ , TaSi _x N _y Ti, TiN, TiSi _x N _y , TiAl _x N _y W, W ₂ N, WC _x N _y Mo, MoN _x NbN Cu
Metallorganika	Diketonatokomplexe	Ni(aca) ₂ Pt(aca) ₂ Cu(hfac) ₂ , Cu(thd) ₂	Ni Pt Cu
	Cyclopentadienyl-Verbindungen	Ru(Cp) ₂ , Ru(Od) ₃ Me(Cp)PtMe ₃ Ni(Cp) ₂	Ru Pt Ni
	Alkylverbindungen	TMA	Al
	Alkylamide	TDMAT, TEMAT TBTDET, PEMAT	TiN, TiSi _x N _y , TiAl _x N _y TaN

Tabelle 3.2: Metallprecursoren (Auswahl) für die Abscheidung von Metallen, Metallnitriden und Legierungen mit ALD [Kim03].

Bei den Metallprecursoren handelt es sich entweder um Metallorganika oder Metallhalogenide. Die Prozeßführung muß deshalb gewährleisten, daß durch Kohlenstoffverunreinigungen bzw. reaktive Halogene (ALD) keine Schäden an den Bauelementen auftreten. Tabelle 3.2 listet einige Metall-Precursoren für ALD auf.

Kapitel 4

Integration von Metallelektroden in MOS–Kondensatoren

Zur Untersuchung der MOS–Eigenschaften neuartiger Gate–Stacks wurde ein vereinfachter LOCOS¹-Prozeß (Quasi–LOCOS) entwickelt, mit dem MOS–Kondensatoren hergestellt werden können. Dabei mußten folgende Punkte berücksichtigt werden:

- Die Kondensatorfläche muß bekannt sein;
- Einzelne Kondensatoren müssen voneinander elektrisch isoliert sein; unerwünschte Ströme, die nicht durch den Kondensator, sondern über die Waferoberfläche abfließen, dürfen nicht auftreten;
- Der Prozeß muß ermöglichen, daß verschiedene Dielektrika aus unterschiedlichen Abscheideverfahren verwendet werden können;
- Unterschiedlichste Materialien für Gateelektroden sollen untersucht werden können. Dafür ist es nötig, daß diese Materialien mit einem möglichst universellen Ätzprozeß strukturiert werden können;
- Es muß vermieden werden, daß die fertig prozessierten Bauelemente parasitäre Ströme entlang von Ätzflächen oder Passivierungsschichten aufweisen.

¹LOCOS: Local Oxidation of Silicon

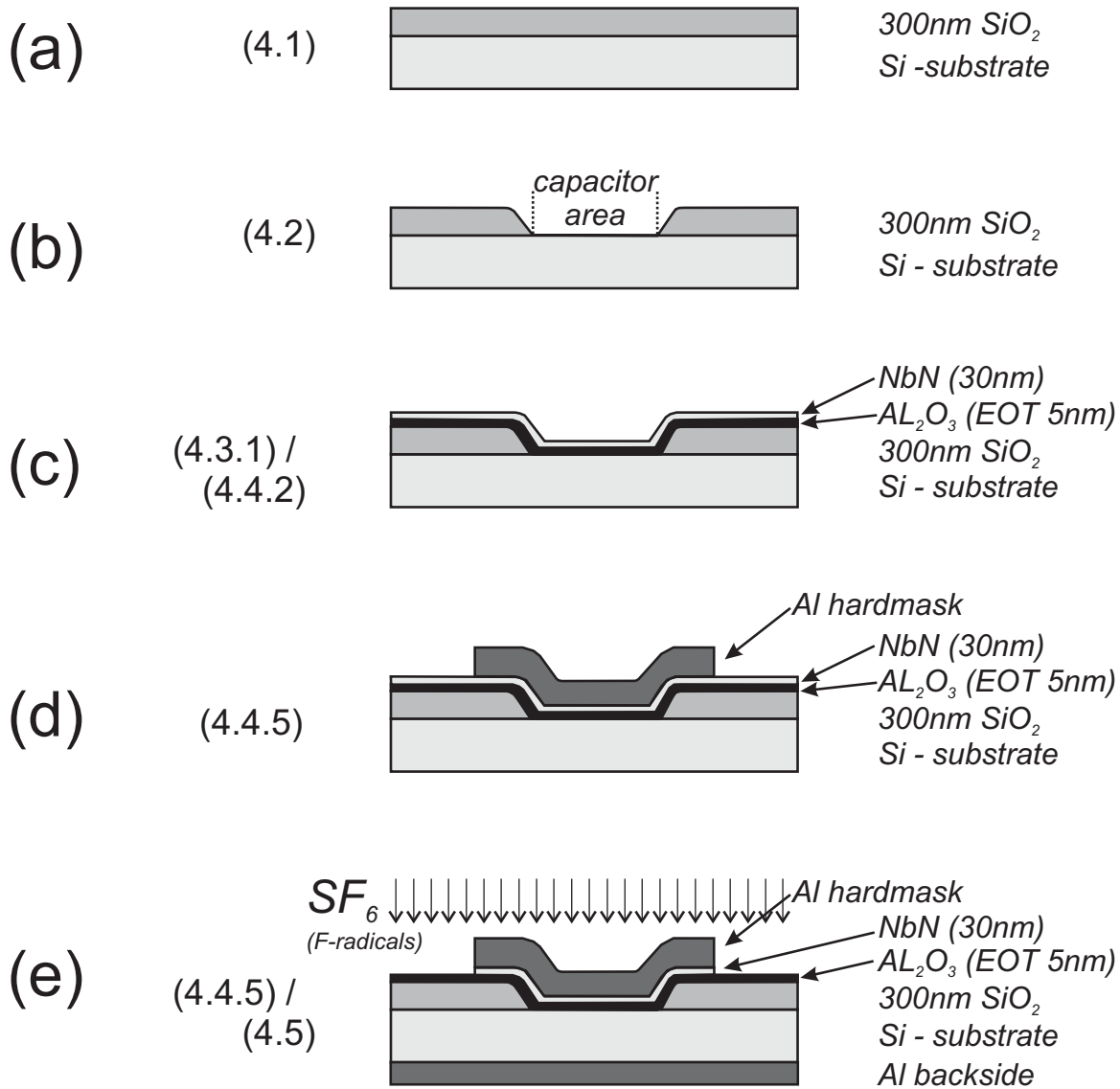


Abbildung 4.1: Zentrale Prozessschritte bei der Herstellung von MOS-Kondensatoren mit dem Quasi-LOCOS-Prozeß am Beispiel des Gatestacks NbN–Al₂O₃. Die Nummern bezeichnen die Kapitel, in denen sich weitere Erklärungen befinden. (a) Aufwachsen einer 300nm dicken Siliziumdioxidschicht; (b) Festlegen der aktiven Kondensatorfläche durch naßchemisches Ätzen; (c) Abscheidung des Gatedielektrikums (Al₂O₃ / CVD) und der Metallelektrode (NbN / MBD); (d) Herstellung einer Aluminium-Hardmask; (e) Strukturierung des Gatestacks mit einem SF₆-Plasmaätzter und Aufdampfen der Aluminium-Rückseitenmetallisierung.

4.1 Substratauswahl und Substratvorbereitung

Um aussagekräftige Hochfrequenz-C-V-Messungen machen zu können, wurden für die Versuche niedrig Bor-dotierte Siliziumwafer verwendet (Substratwiderstand $\rho > 10\Omega\text{cm}$), die mit dem Czochralski-Verfahren hergestellt wurden (höhere mechanische Stabilität als Floating-Zone Wafer). Sie wurden in einem Rohrofen mit einem 300nm dicken thermischen Feuchtoxid (1050°C, 30 min.) überwachsen. Das Oxid erfüllt zwei Funktionen: Bei fertig prozessierten Wafern isoliert es die einzelnen MOS-Kondensatoren voneinander; desweiteren dient es bei der Strukturierung des Gate-Stacks (Schritt 4.4.5) als Schicht, in der der Ätzprozeß der Gate-Elektrode unterbrochen werden kann, ohne den Wafer und die Bauelemente zu beschädigen.

4.2 Festlegen der aktiven Kondensatorfläche

Zur Festlegung der aktiven Kondensatorfläche wurden Bereiche aus dem 300nm dicken Oxid herausgeätzt. Hierzu wurde zunächst eine Maske aus Photolack (ARU 4060, Belichtungsmaske PIN97-KL) erzeugt. Zum Ätzen des Oxides wurde Buffered-HF, eine Mischung aus Flußsäure (HF), Ammoniumfluorid (NH_4F) und Wasser (H_2O), verwendet. Das Mischungsverhältnis HF (50%) : NH_4F (40%) : H_2O betrug 10 : 88 : 52.

Das Ätzen fand bei Raumtemperatur statt; die Ätzrate betrug ca. 45 nm/min. An größeren freigeätzten Flächen konnte beobachtet werden, wie die Oberfläche nach dem vollständigen Wegätzen des Oxides hydrophob wurde. Um sicherzustellen, daß auch kleine Strukturen vollständig freigeätzt wurden, wurden die Proben zwei Minuten länger in der Ätzlösung belassen.

Anschließend wurden die Wafer in einem Rinser-Becken mit DI^2 -Wasser gespült, der Photolack wurde abgelöst (mit Aceton, Isopropanol und Caro-Säure³), und die Wafer wurden einer RCA-Reinigung unterzogen.

4.3 Herstellung des Gate-Dielektrikums

Innerhalb dieser Arbeit wurden zur Herstellung des Gate-Dielektrikums drei Verfahren verwendet: Thermische Oxidation der Wafer, CVD von Aluminiumoxid oder MBD⁴ von Lanthanoxid. Vor der Herstellung des Gate-Dielektrikums wurde von den Wafern mit einem HF-Dip (Verhältnis HF (50%) : H_2O = 1 : 100; Prozeßzeit 35s) das SiO_2 , das sich während des Rinsens (chemisches Oxid) oder während Lagerzeiten an Atmosphäre (natürliches Oxid) bildet, entfernt.

²DI-Wasser: De-Ionisiertes Wasser

³Caro-Säure: Mischung aus Schwefelsäure, Wasser und Wasserstoffperoxid im Verhältnis H_2SO_4 (96%) : H_2O : H_2O_2 (31%) = 6 : 1 : 1

⁴MBD: Molecular Beam Deposition

4.3.1 Thermische Oxidation: SiO₂

Durch thermische Oxidation eines Silizium-Wafers kann ein SiO₂-Dielektrikum erzeugt werden. Hierzu wird der Wafer bei hohen Temperaturen einem oxidierenden Gas, Sauerstoff (O₂; Trockenoxide) oder Wasserdampf (H₂O; Feuchtoxide), ausgesetzt:



Im Gegensatz zu Trockenoxiden wachsen Feuchtoxide bereits bei niedrigeren Temperaturen. Außerdem ist ihre Wachstumsrate ein Vielfaches höher, und Wasserstoff kann bereits während des Wachstums Silizium-dangling-bond-Defekte absättigen. In beiden Fällen stammt das für die Reaktion nötige Silizium vom Wafer; das Oxid wird 2.3-mal so dick wie die ursprüngliche Siliziumschicht.

Bei richtiger Wahl der Oxidationsparameter bildet sich zwischen Siliziumwafer (Substrat) und SiO₂-Dielektrikum eine optimale Grenzfläche aus, die von Abscheidendielektrika nicht übertroffen werden kann.

In vielen Fällen werden Oxide nach der Oxidation einem Temperprozeß in Stickstoff (PDA⁵) zur Verbesserung ihrer Eigenschaften unterzogen.

Tabelle 4.1 gibt eine Übersicht über die wichtigsten Oxidationsprozesse, die innerhalb dieser Arbeit verwendet wurden. Details können in [Lud05] (RTP-Oxide) und [Sed03] (Ofen-Oxid) nachgelesen werden.

Dicke [nm]	Art	Anlage [°C]	Temperatur	Prozeßzeit Oxidation [s]	Prozeßzeit PDA [s]
4	feucht	Matson RTP	900°	60	60
6	trocken	Matson RTP	1000°	60	30
6	feucht	Matson RTP	900°	65	60
10	feucht	Inotherm Rohrofen	800°	503	

Tabelle 4.1: Parameter der Oxidationsprozesse, die zur Herstellung von SiO₂-Gateoxiden in dieser Arbeit verwendet wurden.

4.3.2 CVD: Al₂O₃

Mit CVD wurden in einem Centura Cluster Tool (Hersteller: Applied Materials) Al₂O₃-Dielektrika hergestellt [Wie05]. Die Abscheidung erfolgte in Einzelscheibenprozessen konform über den gesamten Wafer. Während der Al₂O₃-Abscheidung bildete sich zwischen Substrat und Al₂O₃ ein etwa 1nm dickes SiO₂-Interfaceoxid.

⁵PDA: Post Deposition Annealing

4.3.3 MBD: La_2O_3 und weitere high- κ Dielektrika

Mit MBD wurde in einer UHV-Anlage (Basisdruck $< 5 \cdot 10^{-9}$ mbar) La_2O_3 aufgebracht. Dazu wurde mit einem Elektronenstrahlverdampfer Lanthan aus La_2O_3 sublimiert, während als zusätzliches Prozeßgas Sauerstoff eingelassen wurde.

Darüberhinaus können mit Quasi-LOCOS-Wafern alle Dielektrika untersucht werden, die sich mit MBD-Anlagen aufbringen lassen (z.B. Pr_2O_3).

4.4 Herstellung der Gate-Elektrode

Gate-Elektroden konnten mit drei unterschiedlichen Verfahren hergestellt werden: Thermisches Verdampfen, Verdampfen mit einem Elektronenstrahlverdampfer (ESV) im UHV oder reaktiven Gasen, und mit reaktivem Sputtern.

Proben, die für Untersuchungen der Gatestackintegrität bei hohen Temperaturen hergestellt wurden, wurden direkt nach dem Aufbringen der Gate-Elektrode in einer RTP-Anlage getempert.

4.4.1 Thermisches Verdampfen: Aluminium (Al)

Aluminium wurde als Referenzelektrode verwendet. Es wurde aus resistiv geheizten Wolframschiffchen thermisch aufgedampft.

4.4.2 Elektronenstrahlverdampfen: Niob (Nb), Niobnitrid (NbN), Titanitrid (TiN), Poly-Silizium (Poly-Si)

Materialien mit hohem Schmelzpunkt können im UHV oder in reaktiven Gasen mit einem Elektronenstrahlverdampfer verdampft werden. In der Prozeßkammer P1 eines MUM-Systems⁶ (Hersteller: Balzers) konnten Nb, NbN und TiN hergestellt werden. Zur Herstellung von Nb-Elektroden wurde Nb im UHV, zur Herstellung von NbN-Elektroden wurde Nb in NH_3 -Atmosphäre ($p(\text{NH}_3)=5 \cdot 10^{-5}$ mbar) verdampft. Der Basisdruck der Anlage war $< 1 \cdot 10^{-9}$ mbar. TiN-Gates konnten durch Verdampfen von Ti in Stickstoff- oder Ammoniakatmosphäre hergestellt werden.

Poly-Si-Elektroden wurden in der Prozeßkammer P3 des gleichen MUM-Systems durch Elektronenstrahlverdampfen von Si und gleichzeitiges Verdampfen des Dotierstoffes Phosphor aus einer Zelle hergestellt.

⁶MUM-System: Modulares-Ultrahochvakuum-System

4.4.3 Sputtern: TiN

In einer Sputteranlage (Hersteller: Balzers) konnten TiN-Gatemetallisierungen durch reaktives Sputtern von Titan in einem Stickstoff-Argon-Plasma hergestellt werden.

4.4.4 CVD: Poly-Silizium

Mit CVD (Prozeßgas: Dichlorsilan) wurden mit einem Centura-Cluster-Tool Vergleichsproben mit Poly-Silizium-Gates hergestellt.

4.4.5 Strukturierung des Gate-Stacks

Hierzu wurde zuerst ganzflächig Aluminium thermisch aufgedampft. Nach der Erzeugung einer Photolackmaske, die den Gatestack abdeckte (Photolack: ARU 4030; Belichtungs-
maske: PIN97-MESA), wurde das Aluminium mit PNA geätzt. Bei PNA handelt es sich um eine Mischung aus Phosphorsäure, Wasser, Essigsäure und Salpetersäure im Verhältnis H_3PO_4 (85%) : H_2O : CH_3COOH (98%) : HNO_3 (70%) = 16 : 2 : 1 : 1. Nach Entfernen der Photolackmaske (Aceton und Isopropanol) diente die so erzeugte Al-Hardmask als Ätzmaske für den SF_6 -Plasmaätzter zur Strukturierung des Gatestacks. Der Ätzprozeß wurde unterbrochen, sobald das 300nm-Oxid aus Schritt 4.1 erreicht war. Es zeigte sich, daß sowohl Al_2O_3 als auch La_2O_3 perfekte Ätzstops beim SF_6 -Plasmaätzen sind.

4.5 Fertigprozessierung der Proben

Abschließend wurden die Wafer mit einer Aluminium-Rückseitenmetallisierung versehen, nachdem die Wafer-Rückseiten mit HF (HF:H₂O 1:1) gereinigt wurden. Einzelne Chips wurden aus den Wafern herausgebrochen und weiteren Temperprozessen unterzogen: Sie wurden entweder in Formiergas (5% H₂ in N₂) oder in Stickstoff (N₂) 30 min. lang in einem Rohrofen bei 450°C getempert.

Kapitel 5

Tunnelströme in MOS-Kondensatoren

Wird an eine MOS-Struktur eine Spannung angelegt, entstehen Tunnelströme, die sich quantenmechanisch beschreiben lassen. Dabei können direktes Tunneln, Fowler-Nordheim-Tunneln und Trap-assisted Tunneln unterschieden werden. Die Ströme können durch Strom-Spannungs-Messungen (I-V) untersucht werden.

5.1 Strom-Spannungs-Messungen (I-V)

Strom-Spannungs-Messungen wurden mit einem Parameteranalyzer der Firma Hewlett Packart / Agilent (Modell 4145B) durchgeführt. Dabei verändert das Meßgerät die angelegte Spannung stufenförmig (Abbildung 5.1). Auf jeder Spannungsstufe wird zuerst die Zeit t_{delay} gewartet. Anschließend wird integral der Strom über die Zeitspanne $t_{measure}$ gemessen. Für $t_{measure}$ wurden 20ms gewählt, weil dabei mögliche störende Einflüsse der Netzspannung (Frequenz 50Hz) weggemittelt werden.

Um verschiedene Proben miteinander vergleichen zu können, wurden die Strom-Spannungs-Messungen (I-V) in E_{Ox} - J -Charakteristiken (J : Stromdichte; E_{Ox} : elektrisches Feld, das über dem Oxid abfällt; A : Kondensatorfläche) umgerechnet:

$$|J| = \frac{|I|}{A} \quad (5.1)$$

Aus der angelegten Spannung U läßt sich der Betrag von E_{Ox} folgendermaßen berechnen:

$$|E_{Ox}| = \frac{|U| - |\phi_{MS}| - |\phi_{Sub}|}{d_{Ox}} \quad (5.2)$$

mit der physikalischen Dicke d_{Ox} des Oxids, der Austrittsarbeitsdifferenz ϕ_{MS} von Metallelektrode und Siliziumsubstrat, und dem Spannungsabfall ϕ_{Sub} im Akkumulationsbereich

des Substrates. Für die innerhalb dieser Arbeit verwendeten Oxiddicken und Substrat-dotierungen (p-Silizium) beträgt $|\phi_{Sub}|$ etwa 0.20V [Goe66], wenn bei Strom-Spannungs-Messungen Elektroneninjektion durch die Gateelektrode untersucht wird.

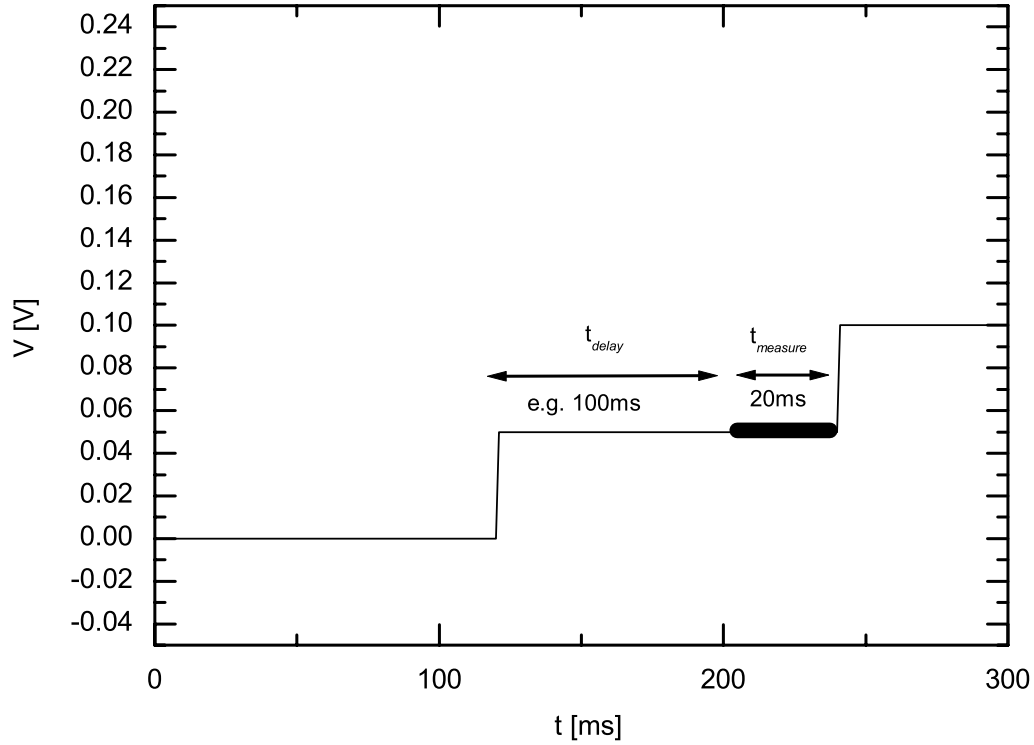


Abbildung 5.1: Arbeitsweise des verwendeten HP Parameteranalyzers 4155 bei I-V-Messungen: Nach Anlegen einer Spannung wird die Zeit t_{delay} gewartet und anschließend in der Zeit $t_{measure}$ gemessen.

5.2 Direktes Tunneln

Ist die über dem Dielektrikum abfallende Spannung V_{Ox} kleiner als die Barrierenhöhe ϕ , müssen Elektronen durch die gesamte Dicke des Dielektrikums tunneln. Die Tunnelbarriere ist trapezförmig. Der Tunnelstrom läßt sich anhand von quantenmechanischen Betrachtungen berechnen ([Reg99], [Cle02]).

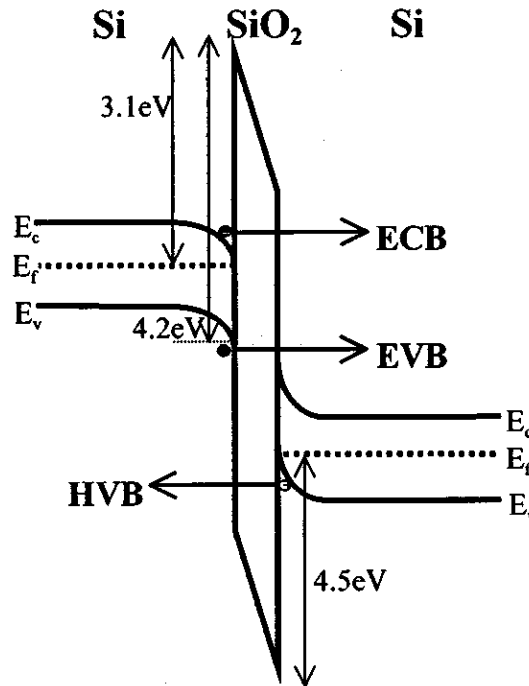


Abbildung 5.2: Komponenten des Tunnelstroms in einer Si - SiO₂ - Si - Struktur [Lee01].

In Abbildung 5.2 sind die Stromkomponenten aufgetragen, die in einer Si/SiO₂/Si - Struktur zum Tunnelstrom beitragen: Tunneln von Elektroden aus Leitungsband (ECB) oder Valenzband (EVB) der Elektrode ins Substrat, oder Tunneln von Löchern aus dem Valenzband des Substrats (HVB) ins Valenzband der Elektrode.

Untersucht man, wie in dieser Arbeit, Metallelektroden, dann tragen (wegen der fehlenden Bandlücke) nur zwei Komponenten zum direkten Tunnelstrom bei: Tunneln von Elektronen aus dem Metall ins Leitungsband des Halbleiters, oder Tunneln von Löchern aus dem Halbleiter ins Metall.

Betrachtet man beispielsweise das Tunneln von Elektronen aus dem Leitungsband der Elektrode ins Substrat (ECB), so ist, ausgehend von Fermis Goldener Regel, die Übergangswahrscheinlichkeit P_{ab} eines Elektrons von einem Zustand a in der Elektrode in einen Zustand b innerhalb des Substrates gegeben durch [Bar61]

$$P_{ab} = \frac{2\pi}{\hbar} |M_{ab}|^2 \rho_b f_a (1 - f_b) \quad (5.3)$$

mit der Planckschen Konstante \hbar , dem Übergangsmatrixelement M_{ab} , der Zustandsdichte ρ_b , und den Besetzungswahrscheinlichkeiten f_a bzw. f_b der Zustände a bzw. b .

Die daraus resultierende Stromdichte j_{ab} vom Zustand a in den Zustand b ergibt sich aus der Integration über alle möglichen Energien E und der Aufsummation über alle möglichen transversalen Elektronenimpulse k_{ta} des Zustandes a (q : Elementarladung):

$$j_{ab} = 2q \sum_{k_{ta}} \int P_{ab} \rho_a dE \quad (5.4)$$

Unter Berücksichtigung des möglichen Rücktunnelns vom Zustand b in den Zustand a ($j = j_{ab} - j_{ba}$) und weiteren Vereinfachungen (siehe beispielsweise [Kha00]) erhält man für den Tunnelstrom (m_t : transversale effektive Elektronenmasse):

$$j = \frac{2m_t q}{\hbar^3} \int |M_{ab}|^2 \rho_a \rho_b dE \int (f_a - f_b) dE_t \quad (5.5)$$

Bei den zur Verfügung stehenden Meßgeräten und den untersuchten Flächen der MOS-Kondensatoren kann direktes Tunneln erst bei Oxiddicken unterhalb von 4nm beobachtet werden. Solche Proben wurden im Rahmen dieser Arbeit nicht untersucht.

5.3 Trap-Assisted Tunneln

Befinden sich innerhalb des Gatedielektrikums Störstellen, so entstehen zusätzliche Tunnelströme. Dies wird in Abbildung 5.3 am Beispiel eines Al_2O_3 -Dielektrikums (Abscheidemethode: ALD) mit n^+ -Silizium-Elektrode veranschaulicht. Während bei kleinen angelegten Spannungen V_a ($V_a \ll \frac{1}{q} \cdot \phi_{\text{Al}_2\text{O}_3}$; $\phi_{\text{Al}_2\text{O}_3}$: Barrierenhöhe an der Grenzfläche Silizium-Substrat – Al_2O_3 , q : Elementarladung) Elektronen über tiefe Störstellen durch das Dielektrikum tunneln können, kommt es bei Spannungen $V_a \sim \frac{1}{q} \cdot \phi_{\text{Al}_2\text{O}_3}$ zu einem Frenkel-Poole-Hopping-Transport über ein elektronisches Band aus Defektzuständen, das 1.2eV unterhalb des Leitungsbandes von Al_2O_3 angeordnet ist [Spe04]. Für noch größere Spannungen ($V_a > \frac{1}{q} \cdot \phi_{\text{Al}_2\text{O}_3}$) ist dann Fowler-Nordheim-Tunneln (Kapitel 5.4) der dominante Transportmechanismus.

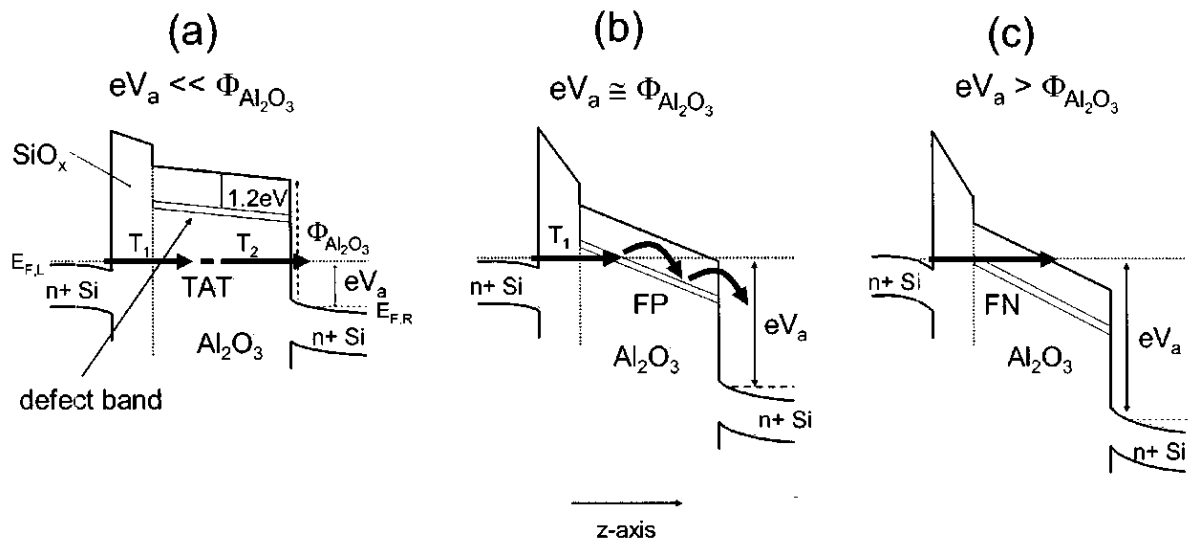


Abbildung 5.3: Tunnelströme durch ein Dielektrikum, wie sie von [Spe04] für Al_2O_3 vorgeschlagen werden: (a) $V_a \ll \frac{1}{q} \cdot \phi_{\text{Al}_2\text{O}_3}$: Trap-assisted Tunneln über tiefe Störstellen; (b) $V_a \sim \frac{1}{q} \cdot \phi_{\text{Al}_2\text{O}_3}$: Frenkel-Pool-Hopping-Transport innerhalb eines Defektbandes im Al_2O_3 ; (c) $V_a > \frac{1}{q} \cdot \phi_{\text{Al}_2\text{O}_3}$: Fowler-Nordheim-Tunneln.

5.4 Fowler-Nordheim-Tunneln

Sobald die Spannung V_a , die über dem Dielektrikum abfällt, die Barrierenhöhe $\frac{1}{q} \cdot \phi$ übersteigt, können Elektronen aus der Elektrode durch eine dreieckförmige Potentialbarriere ins Leitungsband des Isolators tunneln (Abbildung 5.3c). Dieser Tunnelprozeß wird als Fowler-Nordheim-Tunneln bezeichnet. Der Tunnelstrom J_{FN} kann durch folgende Gleichung beschrieben werden:

$$J_{FN} = A \cdot E_{Ox}^2 \cdot e^{-\frac{B}{E_{Ox}}} \quad (5.6)$$

mit

$$A = \frac{q^2}{16\pi^2\hbar \cdot \phi_B} \quad (5.7)$$

$$B = \frac{4}{3} \frac{\sqrt{2m_{Ox}^*}}{q\hbar} (q\phi_B)^{3/2} \quad (5.8)$$

In den Formeln bezeichnen q die Elementarladung, \hbar die Plancksche Konstante, ϕ_B die Barrierenhöhe, m_{Ox}^* die effektive Elektronenmasse im Oxid, und E_{Ox} das elektrische Feld, das über dem Dielektrikum abfällt.

Prinzipiell ließen sich aus Gleichung (5.6) durch halblogarithmische Auftragung des Fowler-Nordheim-Stroms und Ablesen von Steigung und Achsenabschnitt aus dem Graphen die beiden Materialgrößen, effektive Elektronenmasse im Oxid m_{Ox}^* und Barrierenhöhe ϕ_B , berechnen. Allerdings ist die Bestimmung des Achsenabschnitts mit einem so großen Fehler behaftet, daß eine sinnvolle Auswertung nicht möglich ist. Letztlich muß eine der beiden Größen bekannt sein. Soll die Barrierenhöhe bzw. Austrittsarbeit aus der Steigung des Fowler-Nordheim-Graphen berechnet werden und wird als Dielektrikum SiO_2 verwendet, so wird für m_{Ox}^* häufig ein Wert von $0.5 \cdot m_e$ angenommen (m_e : Ruhemasse des Elektrons; z.B. [Suh02], [Cla98]). Demgegenüber zeigen experimentelle ([Hir94], [Yos95]) und theoretische [Bra96] Untersuchungen, daß die effektive Elektronenmasse bei Oxiddicken kleiner als 5nm zwischen $0.3 \cdot m_e$ und $0.4 \cdot m_e$ liegt. Da m_{Ox}^* für die in dieser Arbeit verwendeten Oxide nicht experimentell bestimmt werden konnte, läßt sich ϕ_B nur mit unzureichender Genauigkeit aus dem Fowler-Nordheim-Tunnelstrom berechnen.

5.5 Lade-/ Entladeströme von Border Traps

Als Border Traps (bzw. Slow Traps) werden Defektzustände innerhalb des Gate-Oxids bezeichnet, die sich in der Nähe der Oxid-Halbleiter-Grenzfläche befinden [Fle92]. Im Gegensatz zu Grenzflächenzuständen, deren Lade- und Entladevorgang elektrischen Feldern im kHz- und MHz-Bereich folgen kann, dauert das Laden bzw. Entladen von Border Traps bis zu einigen hundert ms.

Abbildung 5.4 zeigt Messungen des Stroms, der durch Laden bzw. Entladen der Border Traps entsteht, am Beispiel einer ungetemperten Probe mit NbN-Metallelektroden. Diese Messungen wurden mit einem HP Parameteranalyzer 4155 durchgeführt [Tan96]. Die Zeit t_{delay} wurde zwischen 10ms und 1000ms variiert (Kapitel 5.1).

Trägt man den Maximalwert von Lade- bzw. Entladestrom gegen die Zeit auf, wird erkennbar, daß der Strom logarithmisch mit der Zeit abnimmt [Lak88].

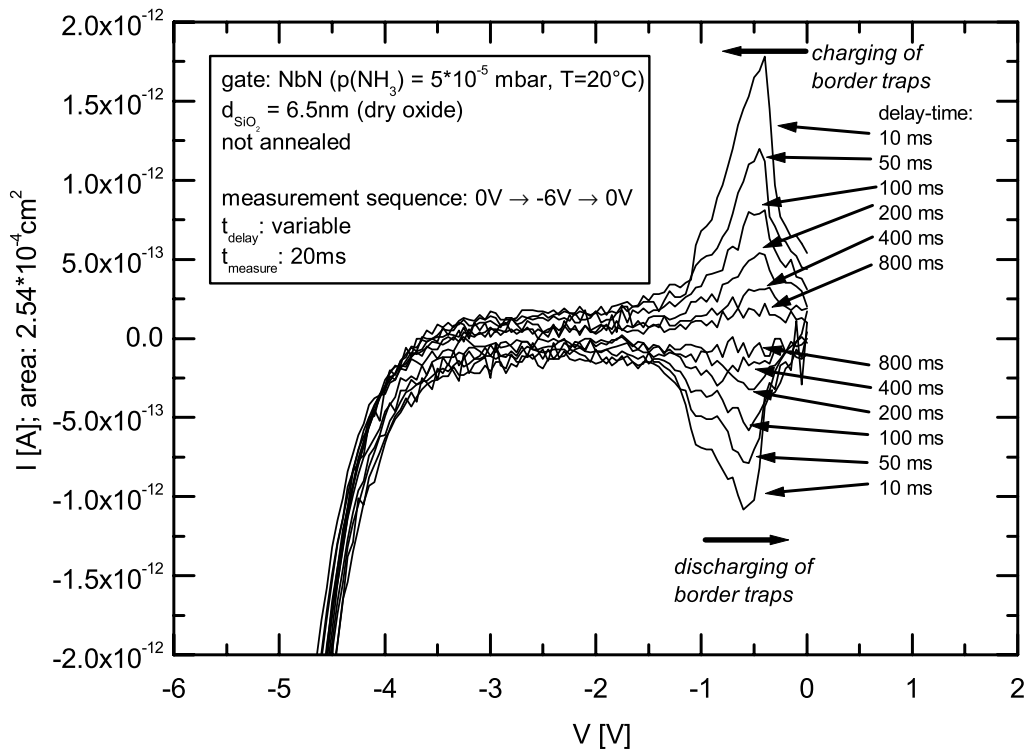


Abbildung 5.4: I-V-Messungen an einer ungetemperten Probe mit NbN-Metallelektrode. $t_{measure} = 20\text{ms}$, $t_{delay} = 10\text{ms} - 1000\text{ms}$.

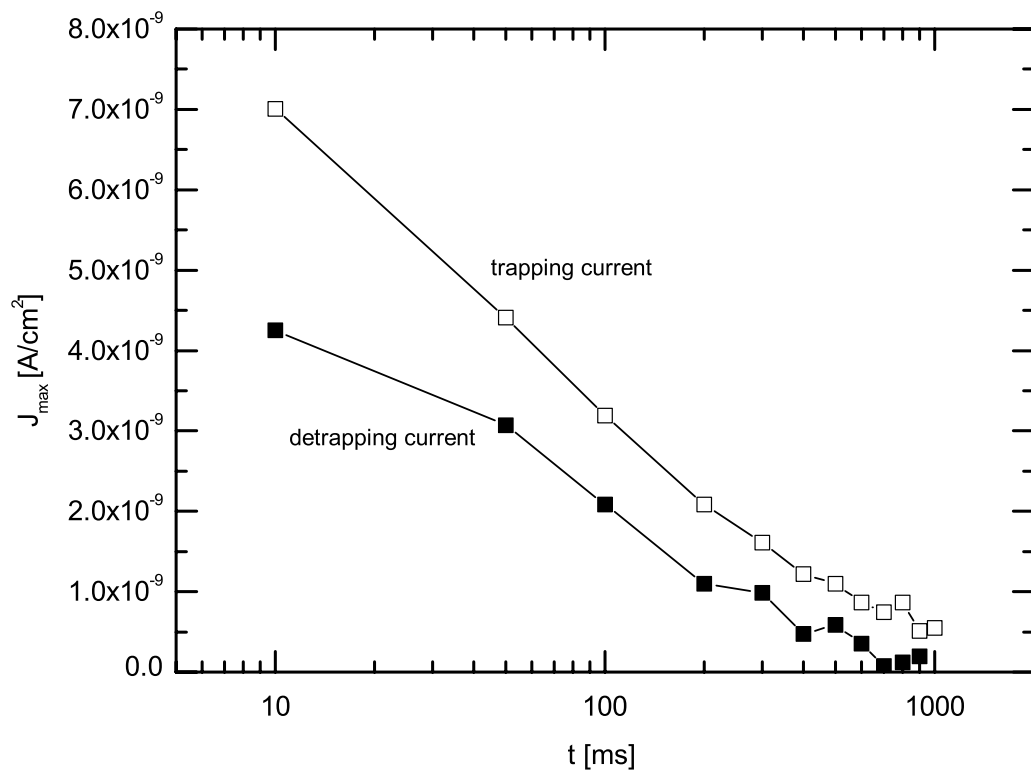


Abbildung 5.5: Zeitlicher Verlauf des Maximalwerts von Lade- und Entladestrom der Border Traps.

5.6 Einfluß von Luftfeuchtigkeit auf I–V–Messungen

Bei I–V–Messungen an Proben, die mit dem Quasi-LOCOS–Prozeß hergestellt worden sind, muß darauf geachtet werden, daß Luftfeuchtigkeit zu falschen Ergebnissen führen kann. Durch das hydrophile Isolationsoxid, dessen Affinität zu Wasser durch Strahlungseffekte (Erzeugung von Ladungen im Oxid) noch steigen kann, kann sich auf dem zu messenden Wafer ein Feuchtigkeitsfilm bilden. Dieser führt zu einem zusätzlichen Strom, der mehrere Größenordnungen über dem eigentlichen Strom der Probe liegt. Entweder werden hierbei viele zusätzliche MOS–Kondensatoren kontaktiert, oder der Strom kann gleich über die Rückseite abfließen. In Abbildung 5.6 wird dies Anhand einer Probe mit NbN–Gate gezeigt, bei der der Strom in einem Spannungsbereich, in dem noch kein Fowler–Nordheim–Tunneln vorliegt, bei einer Messung mit einer Wafertemperatur von 12°C um bis zu vier Größenordnungen höher liegt als bei 40°C. Die Abhängigkeit des Stroms dieser Probe bei $V = -2V$ gegenüber der Wafertemperatur wurde in Abbildung 5.7 aufgetragen. Man erkennt, daß bei dieser Probe der Einfluß von Feuchtigkeit auf I–V–Messungen bei Temperaturen größer 40°C ausgeschlossen werden kann.

Es sei darauf hingewiesen, daß die verwendeten Gate–Prozesse einen Einfluß auf die Feuchteempfindlichkeit haben: Proben mit Gates, die durch thermisches Verdampfen hergestellt wurden, zeigen bereits bei Raumtemperatur keinen Feuchtigkeitseinfluß, wohingegen bei manchen Wafern Meßtemperaturen von mehr als 60°C gewählt werden müssen, um Feuchtigkeitseffekte auszuschließen.

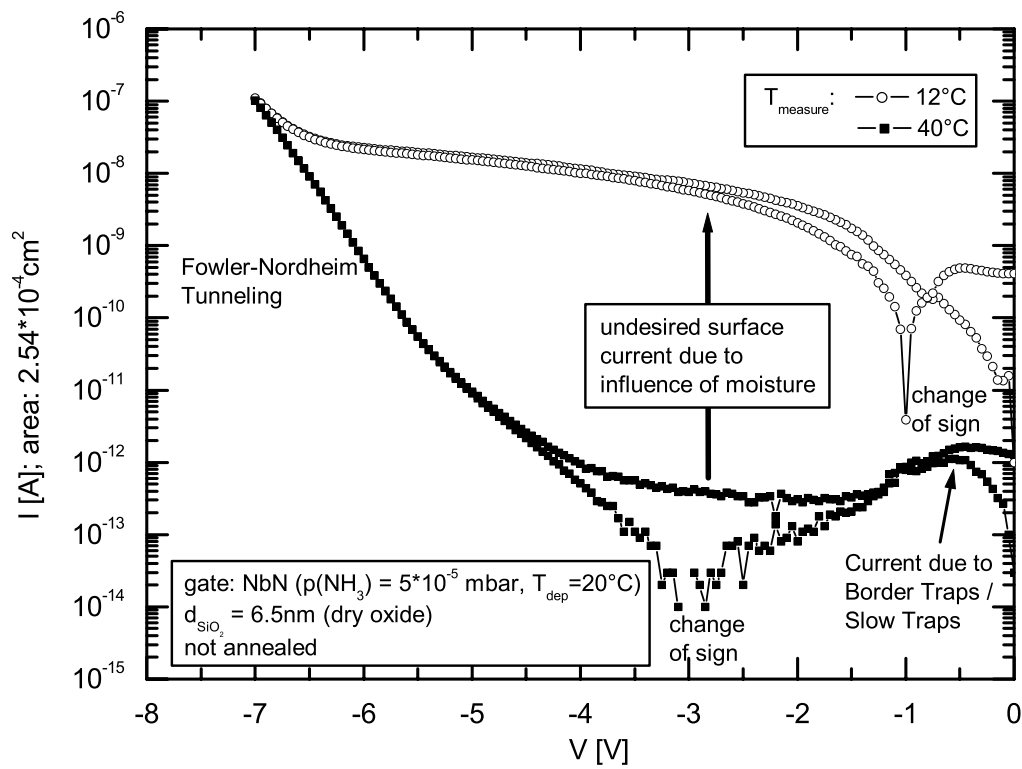


Abbildung 5.6: Exemplarisches Beispiel des Einflusses von Feuchte auf die I–V–Charakteristik einer Probe mit Metallelektrode, die mit dem Quasi-Lococ-Prozeß hergestellt wurde.

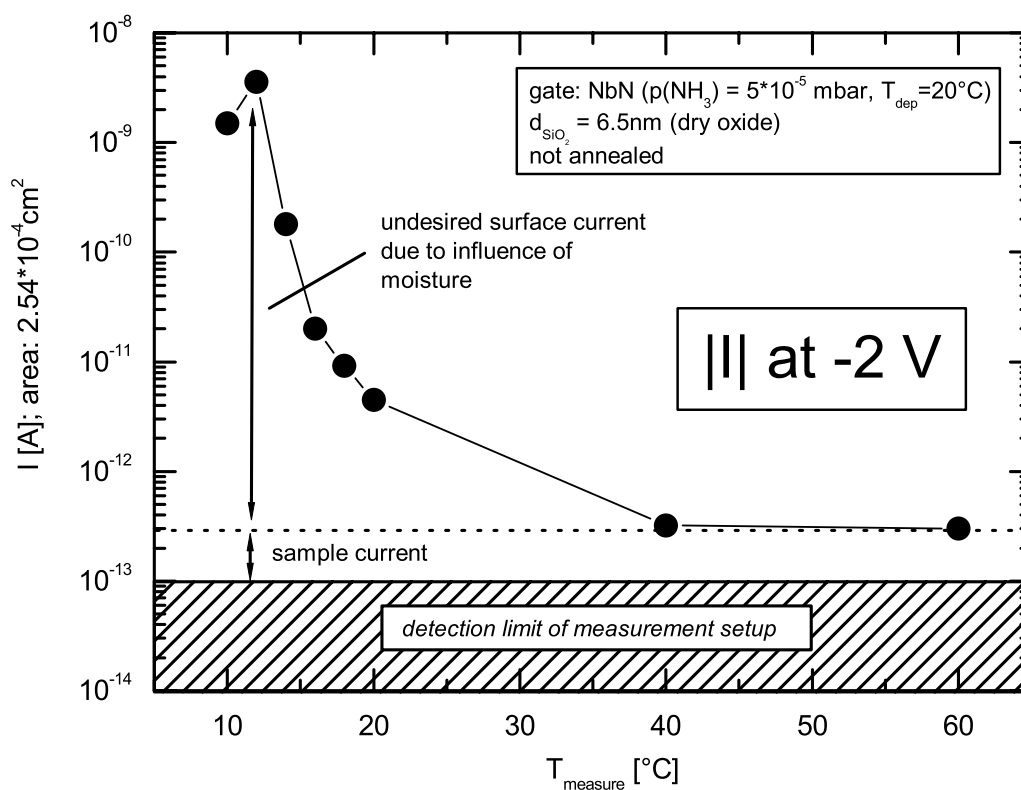


Abbildung 5.7: Abhängigkeit des Stroms bei $V = -2\text{V}$ der Probe aus Abbildung 5.6. Diese Spannung wurde gewählt, weil hier weder Fowler-Nordheim-Tunneln noch Ströme durch Border Traps auftreten.

Kapitel 6

Bestimmung der Austrittsarbeiten

Die Austrittsarbeit ϕ_M eines Gatematerials kann aus der Flachbandspannung V_{FB} , die man aus C-V-Messungen bestimmt, berechnet werden. Zwischen Flachbandspannung und Austrittsarbeit besteht folgender Zusammenhang:

$$V_{FB} = \phi_M - \phi_{Si} - \frac{Q_{it}}{C_{Ox}} - \frac{1}{d \cdot \epsilon_0 \epsilon_r} \int_0^d x \cdot e \cdot N(x) dx \quad (6.1)$$

ϕ_M und ϕ_{Si} sind die Austrittsarbeiten von Gatematerial und Siliziumsubstrat ($\phi_{Si} = 4.9\text{eV}$ für die verwendeten p⁻-Wafer), Q_{it} sind die Ladungen an der Grenzfläche, C_{Ox} ist die Oxidkapazität, d die Dicke und $N(x)$ die Ladungsverteilung innerhalb des Isolators. $N(x)$ setzt sich aus stationären Ladungen, die zu einer Verschiebung von V_{FB} führen, und mobilen Ladungen zusammen. Mobile Ladungen führen zu einer Hysterese in der C-V-Kurve. Eine Hysterese kann außerdem entstehen, wenn Ladungen während der Messung aus Gate oder Substrat in den Isolator hinein- oder herausfließen und Störstellen (*traps*) geladen bzw. entladen werden.

6.1 Kapazitäts-Spannungs-Messungen (C-V) und Berechnung der Grenzflächenzustandsdichte D_{it} zur Untersuchung der Halbleiter-Isolator-Grenzfläche

Die Kapazität eines MOS-Kondensators C_{MOS} ist eine Serienschaltung aus Isolatorkapazität C_{is} und Kapazität der Raumladungszone C_D (Abbildung 6.1):

$$\frac{1}{C_{MOS}} = \frac{1}{C_{is}} + \frac{1}{C_D} \quad (6.2)$$

Potential $\psi(x)$ und Ladungsverteilung $\rho(x)$ sind über die Laplace-Gleichung miteinander verknüpft. Für den Fall von p-Silizium-Substrat hat man:

$$\frac{d^2\psi}{dx^2} = -\frac{\rho(x)}{\varepsilon_s} \quad (6.7)$$

mit

$$\rho(x) = q \cdot (N_D^+ - N_A^- + p_p - n_p) \quad (6.8)$$

Hierbei bezeichnet q die Elementarladung, N_D bzw. N_A die Dichte der ionisierten Donatoren bzw. Akzeptoren, und p_p bzw. n_p die Ladungsträgerdichten von Löchern bzw. Elektronen. Sie sind temperaturabhängig und folgen den Boltzmannstatistik (k : Boltzmannkonstante; T : Temperatur):

$$n_p = n_{p0} \cdot e^{-\frac{q\psi_s}{kT}} \quad (6.9)$$

$$p_p = p_{p0} \cdot e^{-\frac{q\psi_s}{kT}} \quad (6.10)$$

Löst man nun Gleichung 6.4, so erhält man:

$$C_D(\psi_s) = \frac{\varepsilon_s}{\sqrt{2}L_D} \frac{1 - e^{-\beta\psi_s} + \frac{n_{p0}}{p_{p0}}(e^{\beta\psi_s} - 1)}{F} \quad (6.11)$$

mit

$$L_D = \sqrt{\frac{kT\varepsilon_s}{p_{p0}q^2}} \quad (6.12)$$

$$\beta = \frac{q}{kT} \quad (6.13)$$

$$F = \sqrt{(e^{-\beta\psi} + \beta\psi - 1) + \frac{n_{p0}}{p_{p0}}(e^{\beta\psi} - \beta\psi - 1)} \quad (6.14)$$

und

$$\psi_s = V - V_{FB} - V_i = V - V_{FB} - \frac{Q_s}{C_{is}} \quad (6.15)$$

V bezeichnet die angelegte Spannung und V_{FB} die Flachbandspannung.

Der Zusammenhang zwischen V_{FB} und den Austrittsarbeiten von Substrat und Gate wird durch Gleichung (6.1) hergestellt.

C-V-Kurven werden entweder quasistatisch oder mit einem HF¹-Verfahren gemessen. Beim HF-Verfahren erhält man gleichzeitig die Leitwertkurve (G-V).

Bei realen Proben kann sich der Verlauf der C-V-Meßkurven vom idealen Verhalten unterscheiden:

- Verschiebung der C-V-Kurve:
Befinden sich innerhalb des Gateoxids feste Oxidladungen Q_f , so ist die C-V-Kurve um $\Delta V = -\frac{Q_f}{C_{is}}$ entlang der Spannungsachse verschoben.
- Hysterese in der C-V-Kurve:
Bewegliche Oxidladungen oder das Auf- bzw. Entladen von Traps im Oxid führen zu einer Hysterese der C-V-Kurve.
- Abweichende Steigung:
Durch die Ladung von Grenzflächenzuständen wird eine zusätzliche Kapazität C_{it} an der Grenzfläche ausgebildet, an der ein Teil der angelegten Spannung abfällt.

Aus der Kombination verschiedener C-V-Messungen oder der Kombination von C-V- und G-V-Kurve läßt sich die Grenzflächenzustandsdichte D_{it} ² auf verschiedene Arten berechnen (siehe hierzu [Nic82] und [Bre83]).

In Abbildung 6.2 werden die Ergebnisse der verschiedenen Methoden zur D_{it} -Berechnung für eine konkrete Probe verglichen. Die Ergebnisse stimmen innerhalb vertretbarer Fehler überein. In dieser Arbeit wurde D_{it} nach dem Verfahren von Brews [Bre83] berechnet.

¹HF: Hochfrequenz

² D_{it} : Density of interface traps

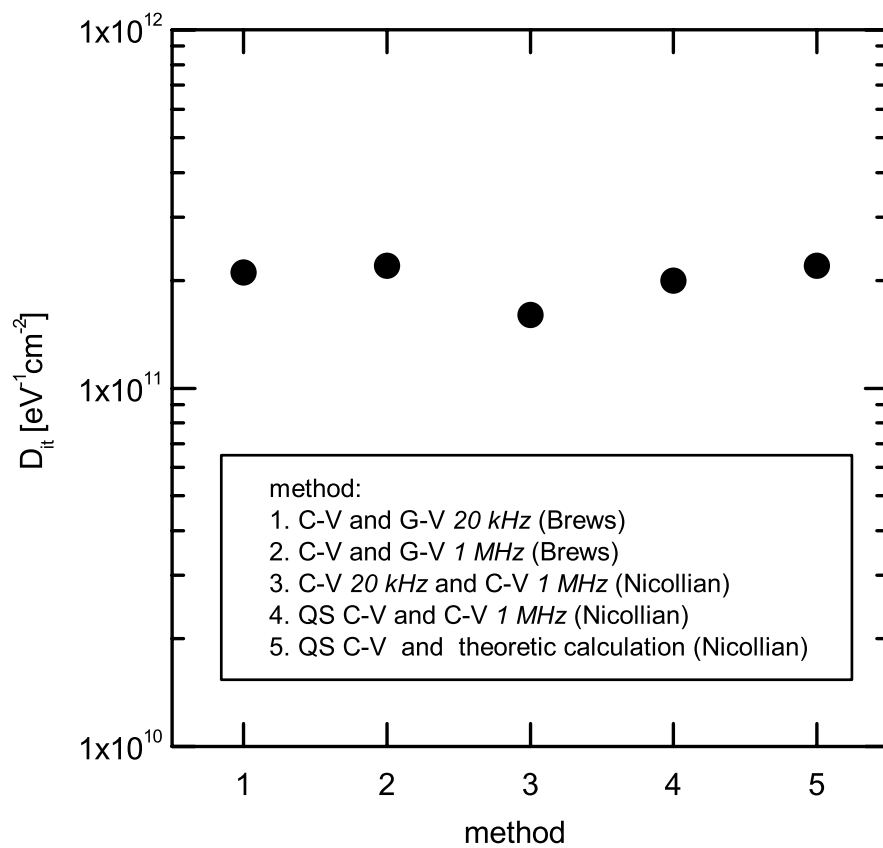


Abbildung 6.2: Vergleich des D_{it} -Wertes einer Probe, den man bei Verwendung unterschiedlicher Berechnungsverfahren erhält. Zur Berechnung werden immer zwei Meßkurven bzw. eine Meßkurve und eine theoretisch berechnete Kurve benötigt. Die Meßfrequenz ist angegeben, QS steht für quasistatisch.

6.2 Flachbandspannung und Grenzflächenzustandsdichte von Proben mit verschiedenen Oxiddicken

Abbildung 6.3 zeigt Hochfrequenz-C-V-Messungen (gemessen mit einer Frequenz von 20kHz), die an Proben mit TiN Gatemetallisierung durchgeführt wurden. Es wurden drei unterschiedliche Oxiddicken (SiO_2 -Feuchtoxide) untersucht. Die Flachbandspannung ist unabhängig von der Oxiddicke und beträgt für alle Proben etwa $V_{FB} = -0.9\text{V}$. Die Meßkurven zeigen eine unterschiedlich große Hysterese. Die Größe der Hysterese ΔV_{FB} vor und nach Tempern in Formiergas (Rohröfen, 450°C , 30 min.) ist in Abbildung 6.4 dargestellt. ΔV_{FB} nimmt mit sinkender Oxiddicke ab. Gleichzeitig nimmt die Grenzflächenzustandsdichte D_{it} mit kleiner werdender Oxiddicke zu (siehe Abbildung 6.5). Dieses Verhalten wurde bereits in [Dep94] beschrieben.

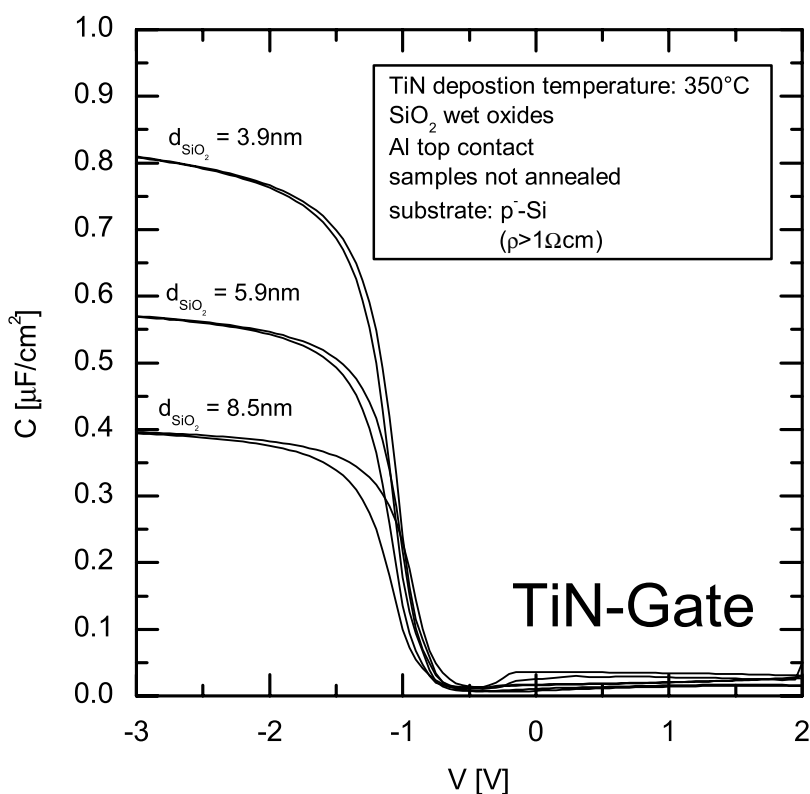


Abbildung 6.3: Hochfrequenz-C-V-Messungen (20kHz) an Proben mit TiN-Gatemetallisierung (Dielektrikum: SiO_2 -Feuchtoxid; verschiedene Oxiddicken).

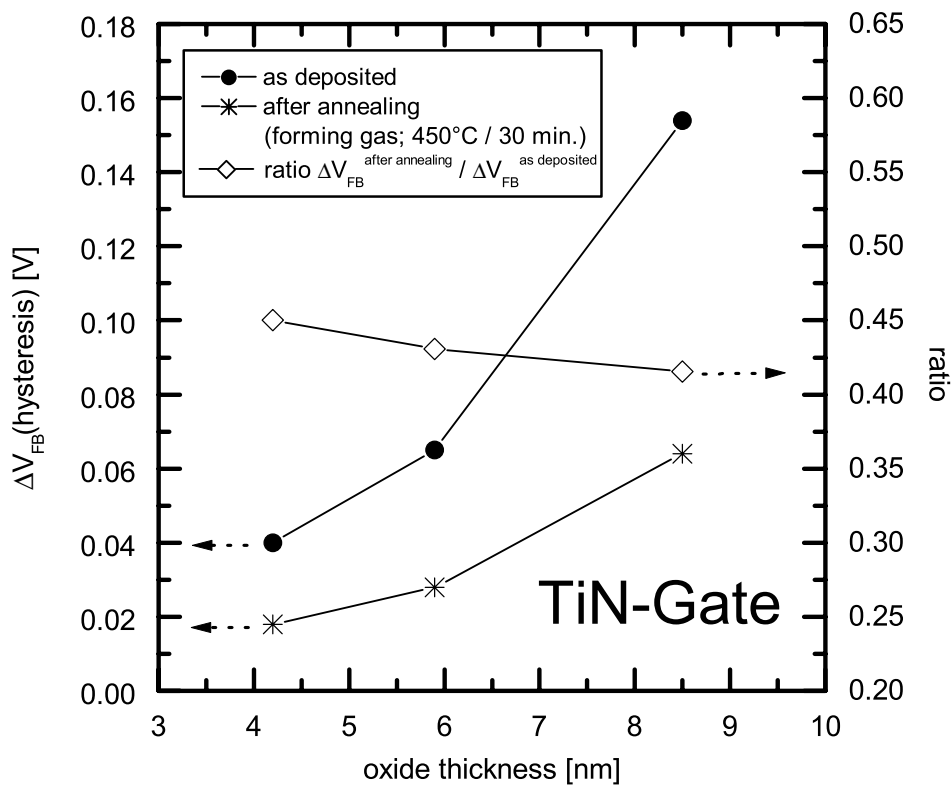


Abbildung 6.4: Abhängigkeit der Hysterese ΔV_{FB} von C-V-Messungen von der Oxiddicke für ungetemperte und getemperte (Formiergas; 450°C / 30min.) Proben. Zusätzlich ist das Verhältnis von ΔV_{FB} der getemperten zu den ungetemperten Proben eingetragen.

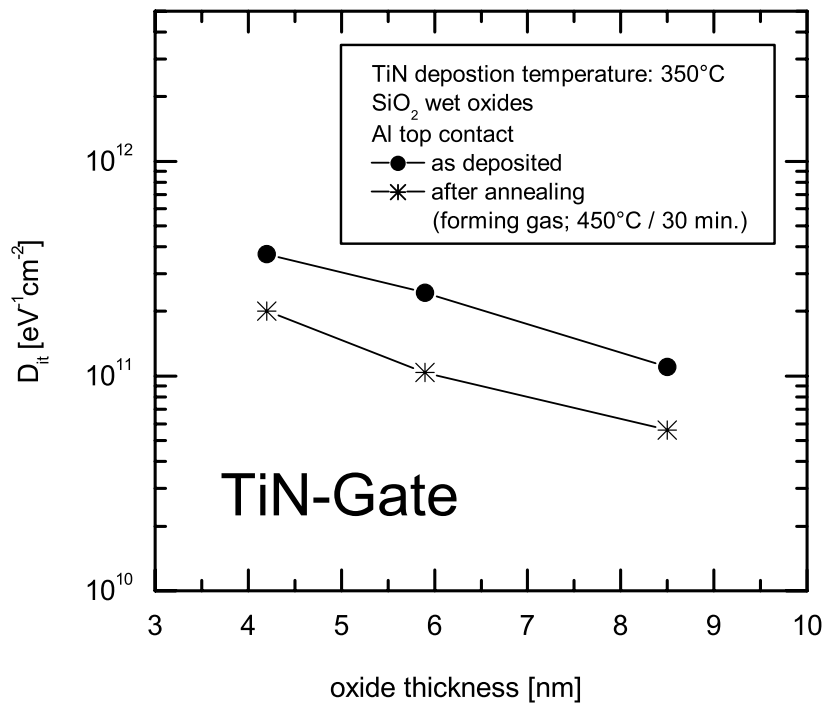


Abbildung 6.5: Abhängigkeit der Grenzflächenzustandsdichte D_{it} von der Oxiddicke für ungetemperte (vgl. Abb. 6.3) und getemperte Proben mit TiN-Gatemetallisierung.

6.3 Austrittsarbeiten von Nb und NbN

Die Austrittsarbeiten von Nb und NbN wurden in Kombination mit SiO₂ und Al₂O₃ untersucht. Referenzproben mit Al-Gates wurden ebenfalls hergestellt. Die Hochfrequenz C-V- und G-V-Kurven einer Probe mit NbN-Gatemetallisierung und SiO₂-Dielektrikum sind in Abbildung 6.6 dargestellt. Die Hysteresen der Meßkurven sind vernachlässigbar. Mit der Flachbandverschiebung läßt sich aus Gleichung (6.1) die Austrittsarbeit ϕ_M berechnen, weil man den Einfluß von festen und mobilen Ladungen im Gateoxid vernachlässigen kann (Flachbandspannung unabhängig von der Oxiddicke; Kapitel 6.2). Die Interfacezustände, die aus G-V berechnet wurden und $1.5 \cdot 10^{11} \text{ev}^{-1} \text{cm}^{-2}$ betragen, beeinflussen die Bestimmung der Austrittsarbeit ebenfalls nicht. Man erhält:

$$\phi_{NbN} = 4.6\text{eV} \quad (6.16)$$

Auf die gleiche Art kann auch die Austrittsarbeit von Nb bestimmt werden. Man erhält:

$$\phi_{Nb} = 4.3\text{eV} \quad (6.17)$$

Das Ergebnis von Niob ist im Einklang mit der Bestimmung der Austrittsarbeit mit dem Lichtelektrischen Effekt durch Eastman [Eas70], der ebenfalls $\phi_{Nb} = 4.3\text{eV}$ erhielt. Diese Ergebnisse müssen mit den Werten der Bandlücke von Si verglichen werden. Berücksichtigt man, daß $\phi_{Si}(\text{CB}^3) = 4.05\text{eV}$ und $\phi_{Si}(\text{VB}^4) = 5.15\text{eV}$ ist, liegt die Austrittsarbeit beider Materialien in der Nähe von *midgap*.

³CB: conduction band (Leitungsband)

⁴VB: valence band (Valenzband)

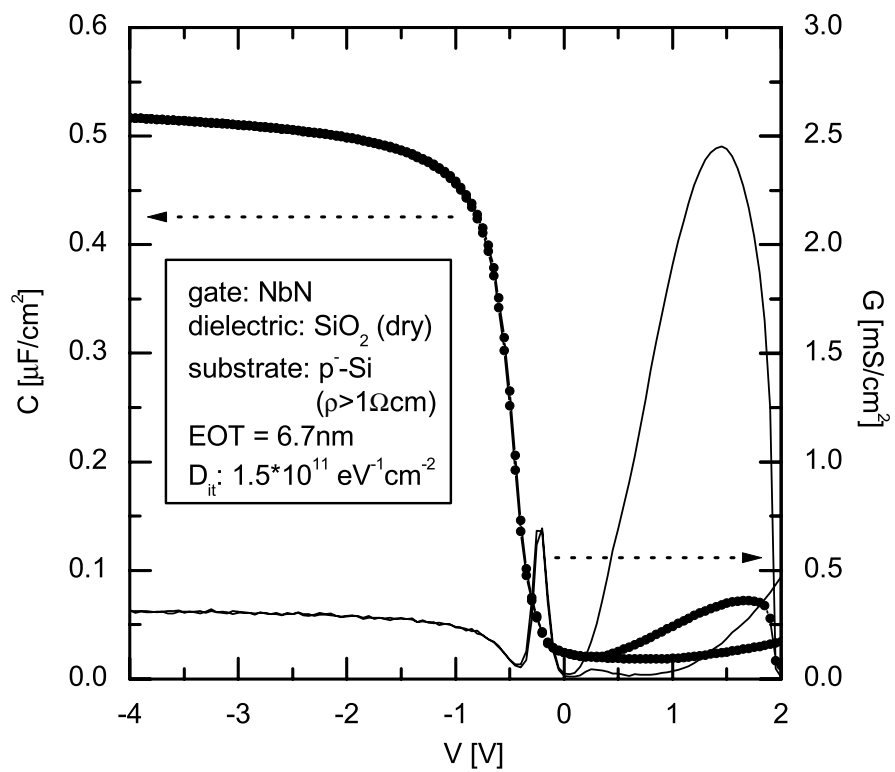


Abbildung 6.6: Hochfrequenz-C-V- und G-V-Messung (20kHz) an einer Probe mit NbN-Gatemetallisierung (Dielektrikum: SiO_2 -Trockenoxid).

In Abbildung 6.7 sind die Hochfrequenz-CV-Kurven (20kHz) von Nb, NbN und Al bei der Verwendung von Al_2O_3 als Dielektrikum dargestellt. Im Gegensatz zu Proben mit SiO_2 -Dielektrikum zeigen diese Proben eine Hysterese (kleiner als 80mV). Sie kann Ladungen im Dielektrikum zugeschrieben werden. Durch eine SiO_2 -Interfaceschicht zwischen Si-Substrat und Al_2O_3 -Dielektrikum, die sich während der Al_2O_3 -Abscheidung bildet und mit TEM beobachtet wurde [Wie05], ist die Grenzflächenzustandsdichte D_{it} dieser Proben kleiner $5 \cdot 10^{10} \text{ eV}^{-1}\text{cm}^{-2}$.

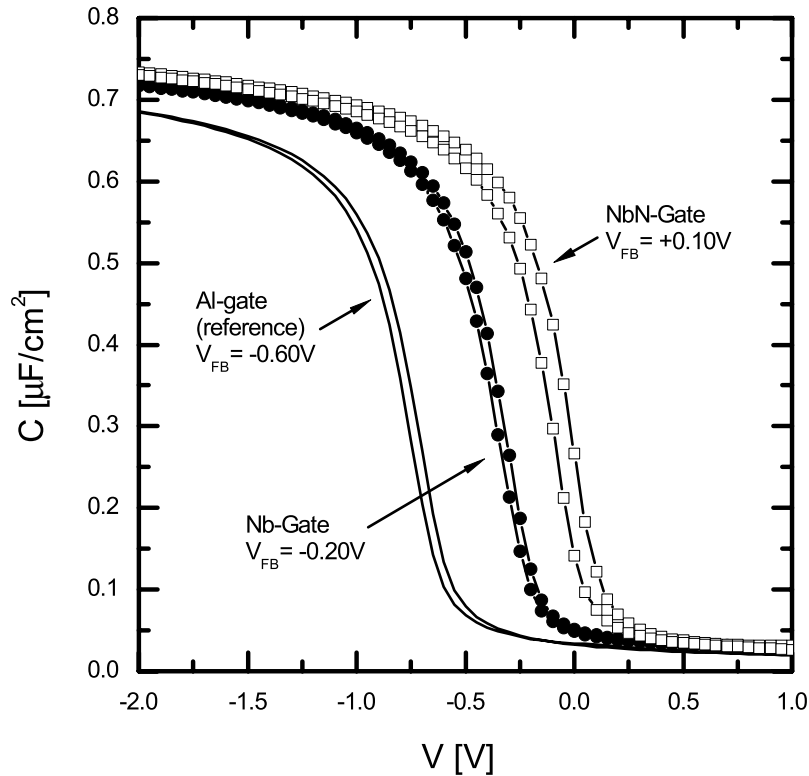


Abbildung 6.7: Hochfrequenz-C-V-Messungen (20kHz) an Proben mit Nb- und NbN-Gatemetallisierungen (Dielektrikum: CVD- Al_2O_3 ; $EOT=4.7\text{nm}$).

Die beobachteten Flachbandspannungen V_{FB} sind in Abbildung 6.8 zusammengefaßt. Bei allen Metallisierungen ist die Flachbandspannung bei Verwendung von Al_2O_3 gegenüber SiO_2 um 0.4V zu positiven Spannungen hin verschoben. Dies kann mit festen Ladungen im Dielektrikum durch den Einbau von Wasserstoff erklärt werden [Pea03].

Für Molybdän-Metallelektroden wurde ebenfalls beschrieben, daß die Austrittsarbeit vom verwendeten Dielektrikum abhängig ist [Lu00].

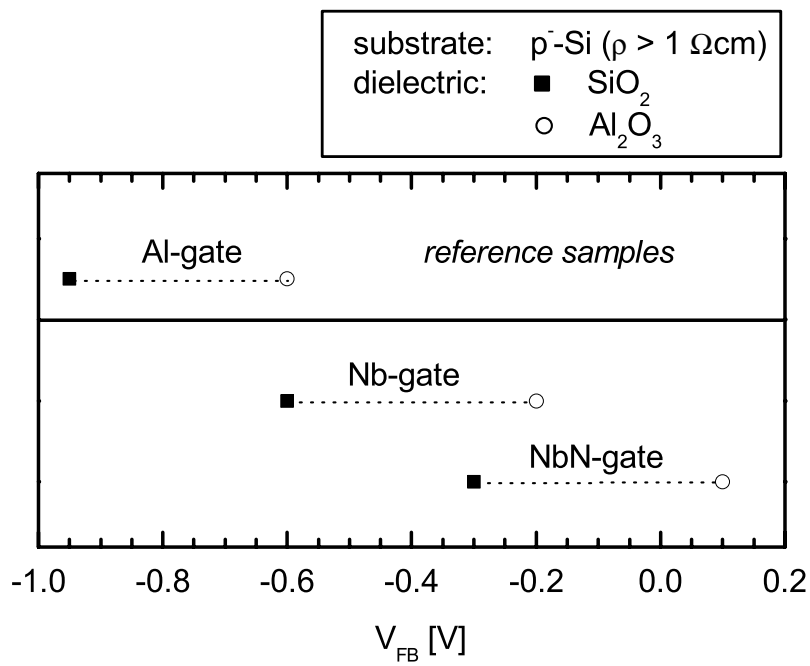


Abbildung 6.8: V_{FB} von Proben mit Nb- bzw. NbN-Gatemetallisierungen und SiO₂ bzw. Al₂O₃ Gate-Dielektrika. $d(\text{SiO}_2) = 5\text{nm}$, $EOT(\text{Al}_2\text{O}_3) = 4.7\text{nm}$.

6.4 Austrittsarbeit von Nb und NbN nach Tempern bei hohen Temperaturen

Die Flachbandspannung von MOS-Kondensatoren mit Metallelektroden ändert sich beim Tempern. In Abbildung 6.9 ist die Flachbandspannung für Proben mit Nb- und NbN-Gates dargestellt, indem auf der x-Achse die Werte vor Tempern und auf der y-Achse die Werte nach Tempern abgelesen werden können. Während Tempern bei 700°C (60s) die Flachbandspannung der Gatestacks leicht um 0.1V absenkt, erhöht Tempern bei 900°C (15s) die Flachbandspannung für Nb- und NbN-Gates gleichermaßen um 0.25V im Vergleich zur ungetemperten Probe. Tempern bei 1050°C (5s) führt für Nb und NbN zur gleichen Flachbandspannung: es erhöht die Flachbandspannung für Nb-Gates um 0.45V, für NbN-Gates aber nur um 0.25V.

Dieses Verhalten läßt darauf schließen, daß sich nach Tempern bei 1050°C sowohl bei Nb- als auch bei NbN-Gates eine gleichartige Interfaceschicht zwischen Elektrode und SiO₂-Dielektrikum ausgebildet hat.

Instabile Flachbandspannungen bzw. Austrittsarbeiten bei Temperprozessen wurden auch für andere Metallelektroden bei Verwendung von SiO₂-Dielektrika beobachtet ([Yu04c] und darin enthaltene Referenzen). Demgegenüber tritt bei Verwendung von HfO₂ als Gatedielektrikum keine bzw. kaum eine Veränderung der Flachbandspannung auf.

Dieser Effekt kann durch ein Pinning des Fermi-niveaus der Metallelektrode an Defektzuständen an der Grenzfläche Elektrode / Dielektrikum erklärt werden, die sich durch Bindungsstellen ausbilden. Sie treten vor allem dann auf, wenn in Elektrode und Dielektrikum nicht das gleiche Halbleiter- bzw. Metallatom vorkommt (wie beispielsweise bei den Gatestacks Poly-Si/SiO₂ und HfN/HfO₂). So wurden instabile Flachbandspannungen für Poly-Si/HfO₂ und Poly-Si/Al₂O₃ beobachtet ([Sam03], [Hob04]).

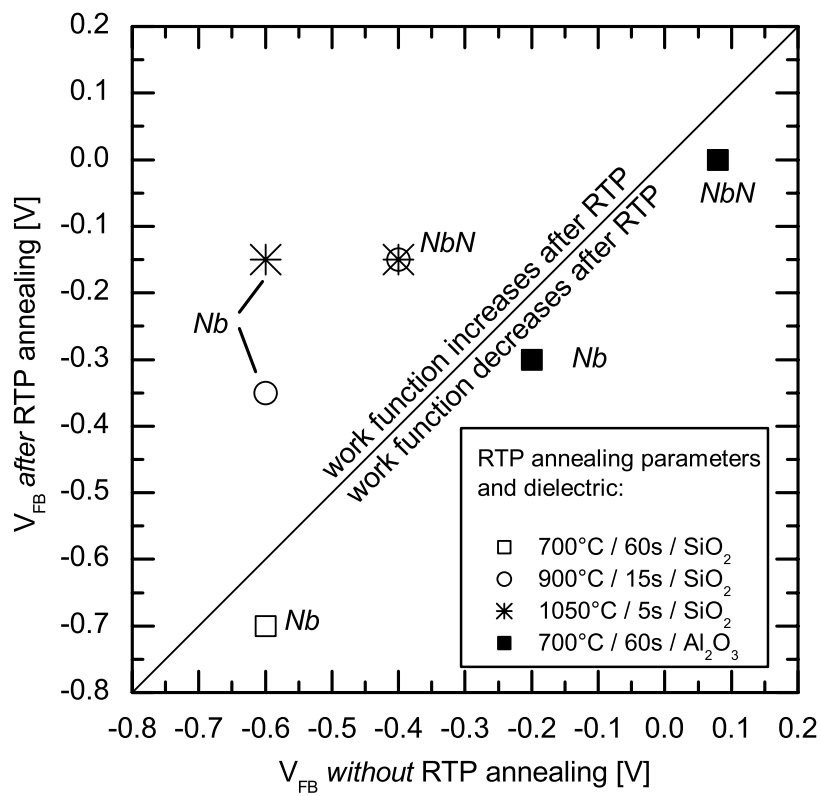


Abbildung 6.9: Einfluß verschiedener Temperprozesse mit RTP auf die Flachbandspannung V_{FB} .

6.5 Austrittsarbeit von TiN

TiN wurde bereits von verschiedenen Gruppen als Gatemetallisierung untersucht. Während bei Proben mit gesputterten TiN-Gates bei der Analyse des Fowler-Nordheim-Tunnelstroms eine Austrittsarbeit in der Nähe von Midgap gefunden wurde ($\phi = 4.6\text{eV}$; [Cla98]), kann man aus veröffentlichten C-V-Messungen Austrittsarbeiten von 4.0eV [Ker03] oder 4.8eV [Luj02] berechnen.

Proben, die im Rahmen dieser Arbeit hergestellt wurden, zeigen eine starke Abhängigkeit der Austrittsarbeit ϕ eines TiN-SiO₂ Gatestacks von den Abscheidebedingungen. Nach Tempern in Formiergas (450°C , 30 min.) können zwei verschiedene Werte beobachtet werden: $\phi \approx 4.5\text{eV}$ oder $\phi \approx 4.0\text{eV}$. Zusätzliches Tempern, das das thermische Budget erhöhte, zeigte, daß TiN mit $\phi \approx 4.5\text{eV}$ metastabil war und sich der Wert auf 4.0eV änderte (Abbildung 6.10). Weiteres Tempern veränderte ϕ nicht mehr.

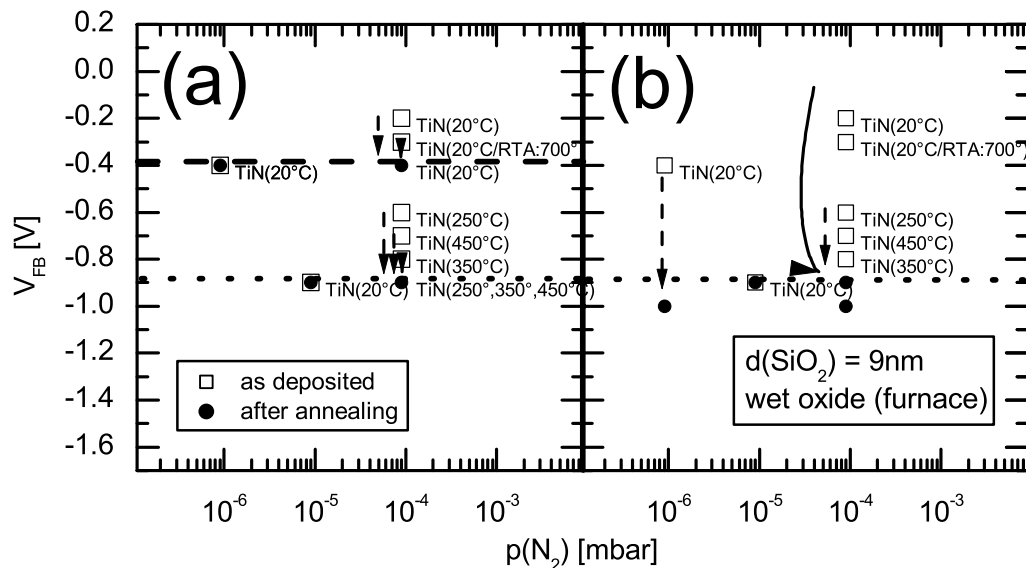


Abbildung 6.10: Flachbandspannungen von Proben mit TiN-Gatemetallisierungen, die bei verschiedenen Stickstoffdrücken und Substrattemperaturen hergestellt wurden. (a) Vor und nach Tempern in Formiergas ($450^\circ / 30\text{ min.}$); (b) vor und nach Tempern in Stickstoff ($450^\circ / 30\text{ min.}$; thermisches Budget gegenüber (a) leicht erhöht)

In Kombination mit Al₂O₃ hängen Flachbandspannung bzw. Austrittsarbeit von der Abscheidetemperatur ab (C-V-Messungen: Abbildung 6.11). Im Vergleich mit Proben, bei denen SiO₂ als Dielektrikum verwendet wurde, sind die Flachbandspannungen um etwa 0.7V zu positiven Spannungen hin verschoben, was (wie im Fall von Nb- bzw. NbN-Gates) Ladungen im Oxid zugeschrieben werden kann.

In Abbildung 6.12 sind die beobachteten Flachbandspannungen für TiN Metallelektroden mit SiO₂ und Al₂O₃ Dielektrika zusammengestellt.

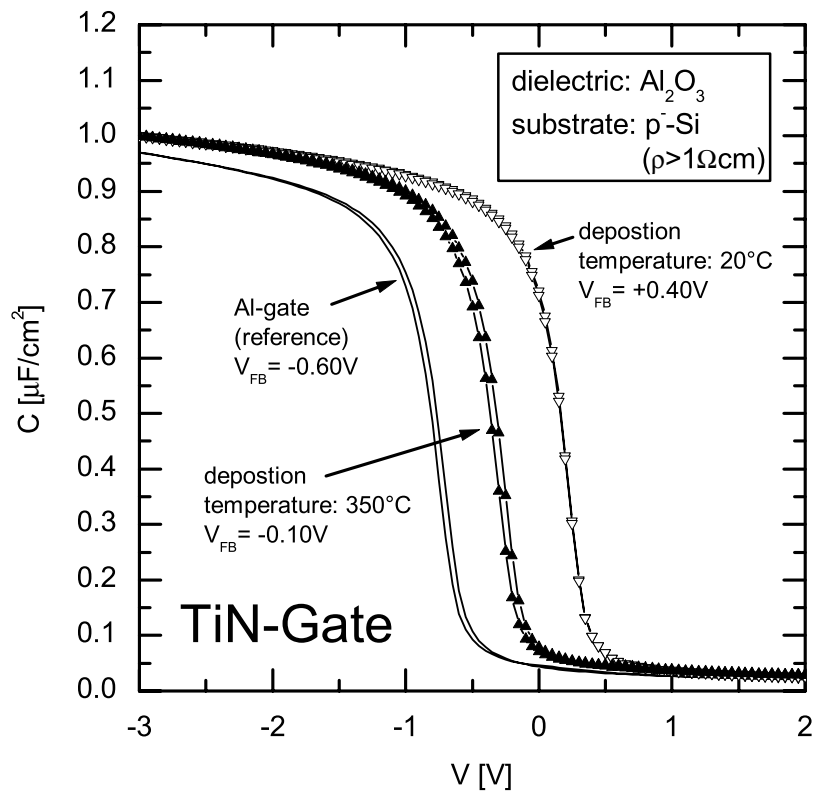


Abbildung 6.11: Hochfrequenz-C-V-Messungen (20kHz) an Proben mit TiN-Gatemetallisierung (Dielektrikum: CVD- Al_2O_3 mit $EOT=4.7\text{nm}$; verschiedene Abscheideparameter für TiN).

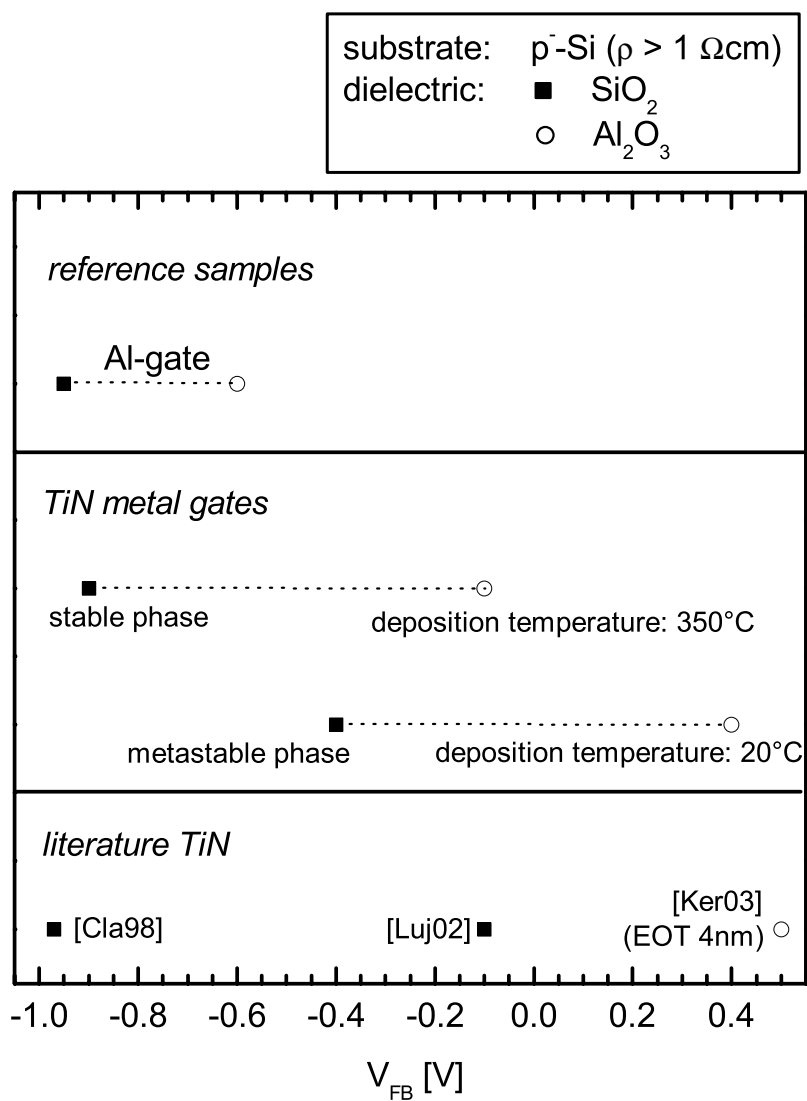


Abbildung 6.12: V_{FB} von Proben mit TiN-Gatemetallisierung und SiO_2 bzw. Al_2O_3 Gate-Dielektrika. $d(\text{SiO}_2) = 5\text{nm}$, $EOT(\text{Al}_2\text{O}_3) = 4.7\text{nm}$. Die Referenzproben haben Al-Gates.

Kapitel 7

Charakterisierung von Defekten in Gateoxiden

7.1 Mikroskopische Ursache

Defekte in Gateoxiden oder an der Grenzfläche Dielektrikum/Halbleiter entstehen durch nicht abgesättigte Bindungen. Nach dem Pauli-Prinzip können solche Elektronenorbitale bis zu zwei Elektronen aufnehmen. Deshalb kann das Defektatom geladen oder ungeladen sein, es kann eine Ladung gespeichert werden (*trapping*), oder es kann darüber ein Ladungstransport stattfinden (*trap assisted tunneling*).

Eine Möglichkeit der Entstehung von Defekten ist der unerwünschte Einbau von Fremd-
atomen bei der Herstellung des Dielektrikums. Dies kann bei den innerhalb dieser Arbeit
untersuchten Proben durch eine saubere Prozeßführung ausgeschlossen werden. Außerdem
können Metallatome aus der Gateelektrode ins Dielektrikum diffundieren (vgl. Kapitel
10).

Eine weitere Möglichkeit liegt im Aufbrechen bereits vorhandener Bindungen durch Strah-
lung oder Plasma in Prozeßschritten, die auf die Herstellung des Gate-Dielektrikums fol-
gen.

Für das Dielektrikum Siliziumdioxid (SiO_2) werden zwei Mechanismen zur Entstehung
von Defekten diskutiert: Das Aufbrechen von Si-Si-Bindungen und das Aufbrechen von
Si-H-Bindungen.

Aufbrechen von Si-Si-Bindungen

Si-Si-Bindung innerhalb eines SiO₂-Dielektrikums entstehen, wenn ein thermisch gewachsenes Oxid einem weiteren Tempersschritt in Inertgas mit T>1000°C ausgesetzt wird [War94]. Dabei reagiert nicht nur überschüssiger Sauerstoff ab, sondern es findet zusätzlich eine Diffusion von Sauerstoffatomen aus dem SiO₂ auf Zwischengitterplätze innerhalb des Siliziums statt, bis die Löslichkeitsgrenze von Sauerstoff in Silizium erreicht ist (Abbildung 7.1). Es bleiben schwache Si-Si-Bindungen zurück.

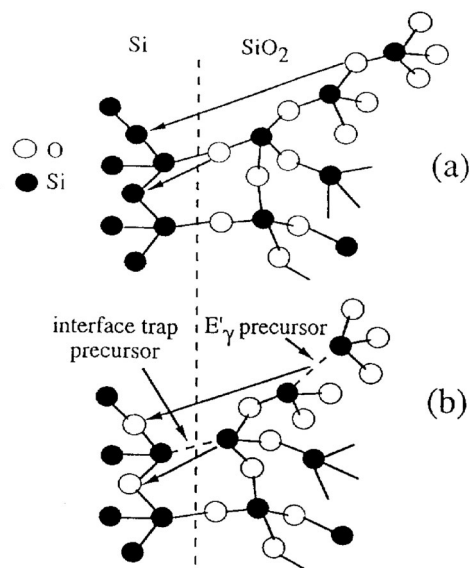


Abbildung 7.1: Darstellung der Si/SiO₂ Grenzfläche (a) während des Oxidwachstums und (b) nach einem zuztlichen Tempersschritt in Inertgas bei T>1000°C [War94].

Aufbrechen von Si-H-Bindungen

Si-Dangling-Bonds können durch Wasserstoff abgesättigt und passiviert sein. Dies ist insbesondere in Feuchtoxiden der Fall. Durch Strahlung können Protonen an anderer Stelle der Probe (beispielsweise Substrat oder Elektrode) freigesetzt werden, die dann durch die Probe diffundieren und an der Si-SiO₂-Grenzfläche folgendermaßen reagieren (vgl. Abbildung 7.2; [Ras01]):



Hierbei bezeichnet D^+ einen positiv geladenen Silizium-Dangling-Bond, der durch das diffundierende Proton depassiviert wurde.

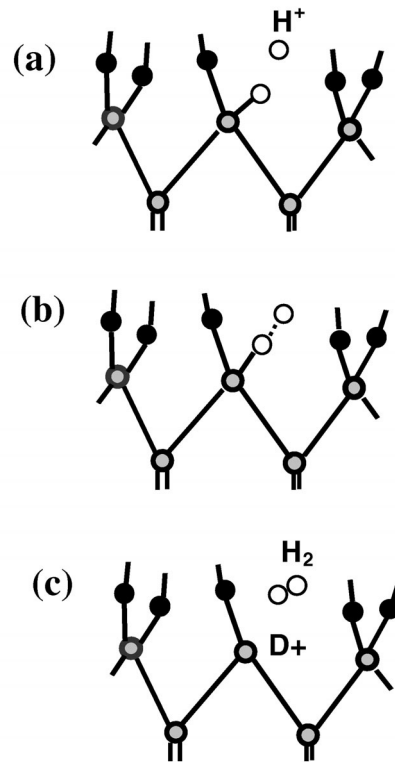


Abbildung 7.2: Reaktion eines Protons (H^+) und einer $\text{Si} - \text{H}$ -Bindung an der Grenzfläche Si/SiO₂: Ein (a) ankommendes Proton bindet (b) an die Si-H-Bindung. Es entsteht (c) ein H₂-Molekül und ein positiv geladener Silizium-Dangling-Bond-Defekt D^+ (Si ist grau, O schwarz und H weiß dargestellt; [Ras01]).

7.2 Gateoxiddefekte, die beim Oxidwachstum entstehen

In Abbildung 7.3 ist die Stromdichte J gegenüber dem elektrischen Feld E_{Ox} für eine Probe aufgetragen, in deren Oxid sich bereits während des Oxidwachstums Defekte gebildet haben (Berechnung von E_{Ox} : Gleichung (5.8)). Bei der ersten Messung an der Probe werden diese Defekte geladen [Mat00]. Dies führt bei weiteren Messungen zu einer Verschiebung der Kurve. Außerdem ist bei folgenden Messungen eine Vergrößerung des Ladestroms der Border Traps zu beobachten.

Werden dagegen mehrere C-V-Messungen hintereinander ausgeführt, können bei den C-V-Kurven keine Veränderungen beobachtet werden.

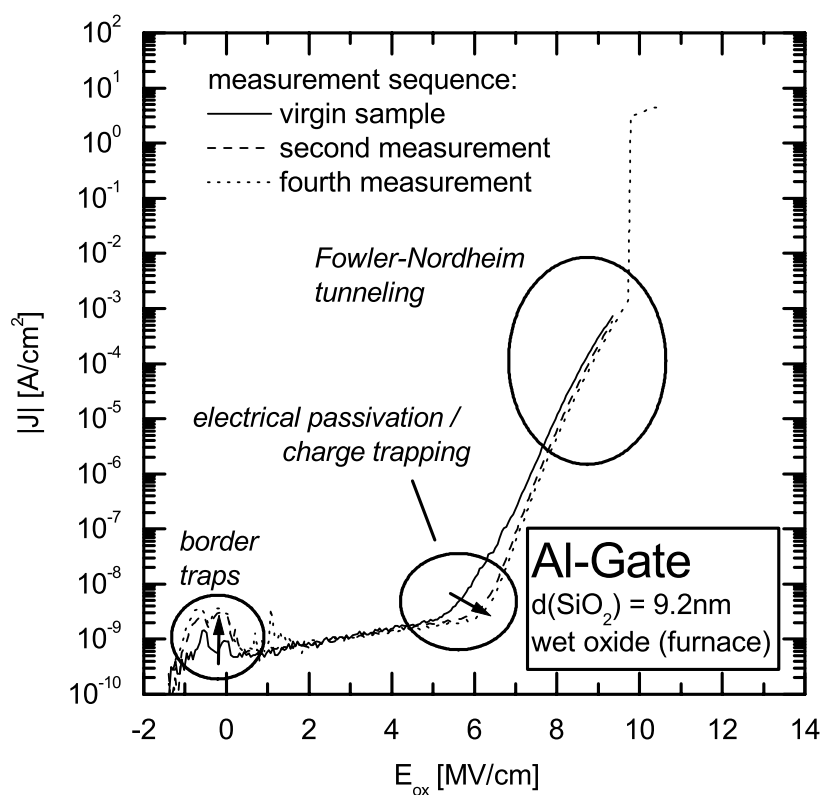


Abbildung 7.3: E-J-Charakteristiken einer Probe, in deren Gateoxid sich bereits während des Oxidwachstums Defekte gebildet haben.

7.3 Defekte in SiO₂-Gatedielektrika durch Prozeßschritte, die dem Oxidwachstum folgen

7.3.1 Defekte durch Remote-Plasma

Mit einer Remote-Plasma-Quelle können Radikale eines Gases erzeugt werden, ohne die Probe selbst direkt einem Plasma auszusetzen. Diese Radikale können eingesetzt werden, um atomar dünne Passivierungsschichten auf Gate-Oxiden herzustellen. Welchen Einfluß diese Radikale auf die elektrischen Eigenschaften eines Gate-Oxides haben, wurde anhand von Stickstoff-Radikalen untersucht. Es läßt sich beobachten, daß der Ladestrom der Border Traps bei einer solchen Probe ansteigt (vgl. Abb. 7.4).

Dagegen konnte kein Einfluß auf C-V-Messungen beobachtet werden.

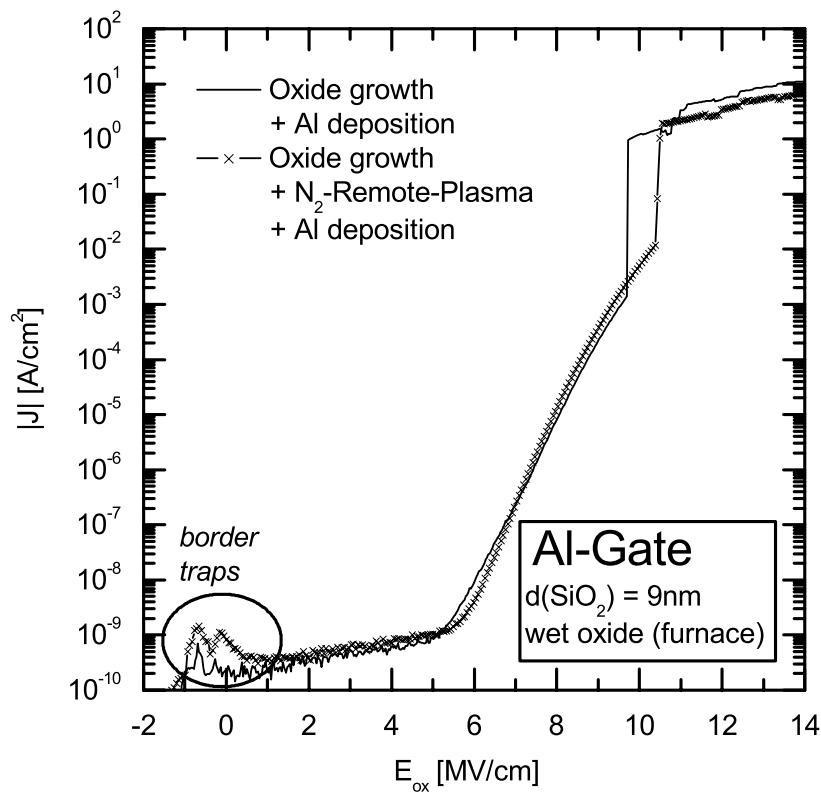


Abbildung 7.4: E-J-Charakteristiken zweier Proben, von denen eine zwischen Oxidwachstum und Gate-metallisierung einem Stickstoff-Remote-Plasma ausgesetzt wurde.

7.3.2 Defekte durch Strahlung

Wie in Kapitel 3.1.3 bereits beschrieben wurde, entstehen bei Einsatz eines Elektronenstrahlverdampfers Röntgenstrahlen. Um deren Einfluß auf die elektrischen Eigenschaften eines Gate-Oxides zu untersuchen, wurden MOS-Kondensatoren (Dielektrikum: 10 nm SiO₂-Feuchtoxid; Gate: Aluminium) durch die Gateelektrode hindurch bestrahlt. Als Röntgenquelle diente die K_α-Strahlung einer Aluminiumkathode (Energie: 1.44keV; durch das Aluminiumgate wird die Strahlung nicht absorbiert, da die Absorptionskante des Aluminiums energetisch niedriger liegt).

In der E-J-Charakteristik läßt sich eine Erhöhung des Ladestroms der Border Traps beobachten (Abb. 7.5).

Die C-V-Messungen an einer unbestrahlten und einer bestrahlten Probe sind in Abb. 7.6 aufgetragen. Die Röntgenbestrahlung führt zu einer Verschiebung der Flachbandspannung von -1V auf etwa -2V, dem Auftreten einer Hysterese und der Erhöhung des D_{it}-Wertes von 3 · 10¹¹ auf 3 · 10¹² eV⁻¹cm⁻².

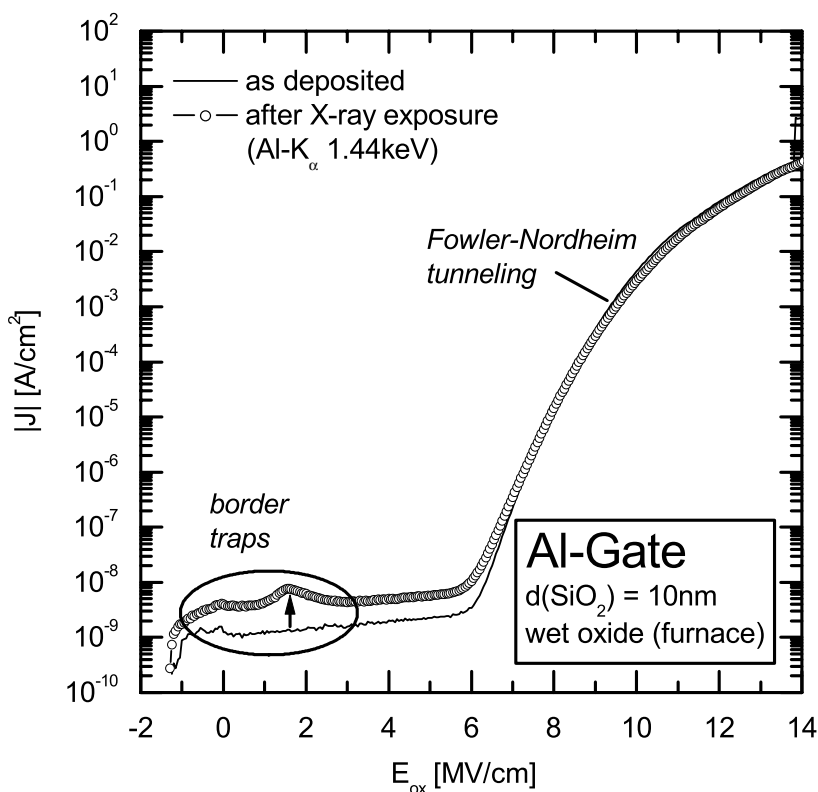


Abbildung 7.5: E-J-Charakteristiken einer unbestrahlten Probe und einer Probe, die Röntgenstrahlung ausgesetzt war.

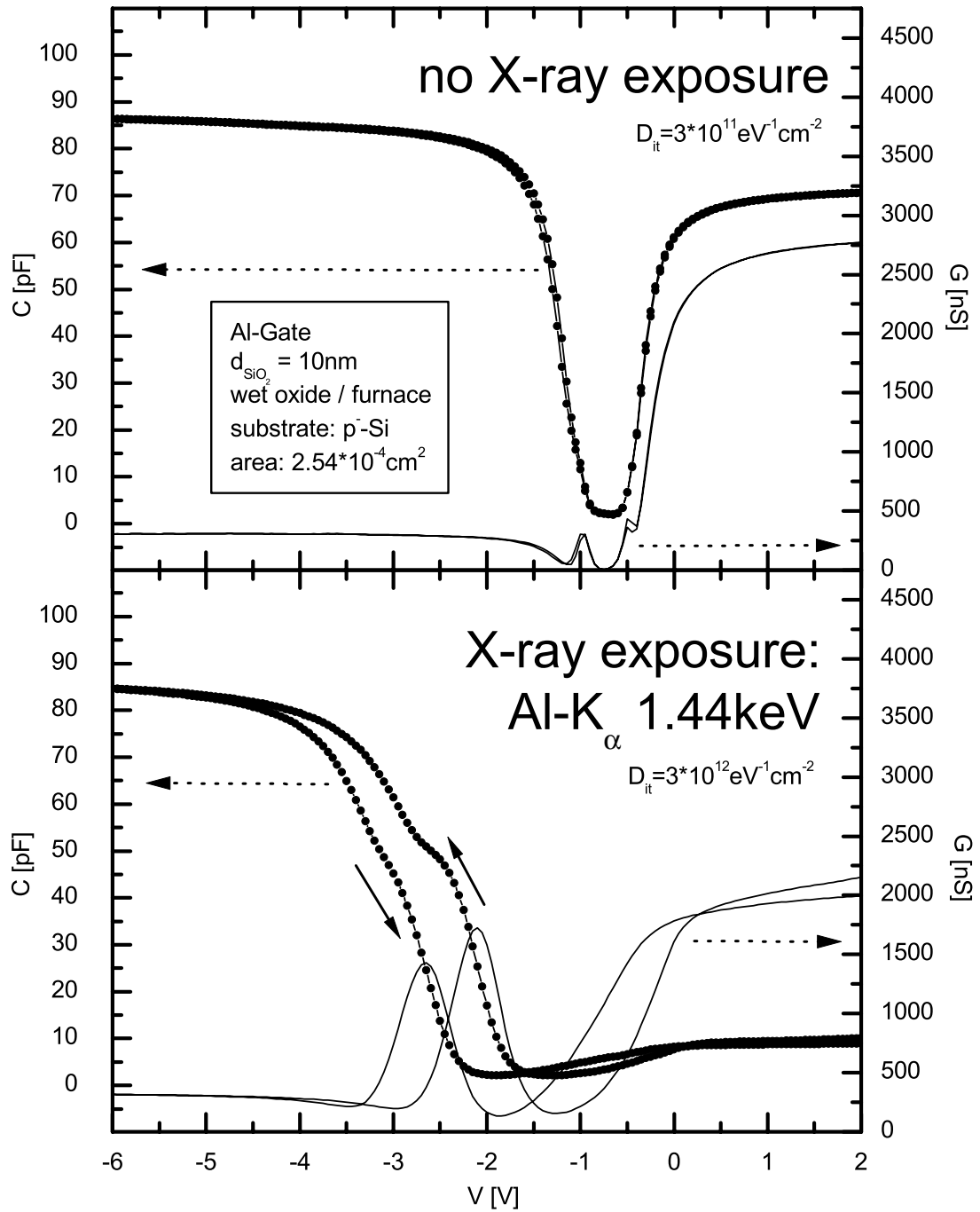


Abbildung 7.6: C-V- und G-V-Verhalten einer unbestrahlten Probe und einer Probe, die Röntgenstrahlung ausgesetzt war.

7.3.3 Einfluß von Formiergastempn auf die elektrischen Eigenschaften des Gate-Oxids

Zur Verbesserung der Grenzflächenzustandsdichte wurde ein Teil der Proben 30 Minuten lang in einem Rohrofen bei 450°C in Formiergas getempert. Bei RTP-Oxiden mit thermisch aufgedampften Aluminium-Gates sind weder vor noch nach Tempn Border Traps vorhanden (Ladeströme können nicht beobachtet werden, Abb. 7.7). Feuchtoxi- de mit Aluminiumgate werden durch das Tempn in Formiergas zerstört, wohingegen sich bei Trockenoxiden die Steigung im Graphen im Bereich des Fowler-Nordheim-Stroms ändert (Änderung der Barrierenhöhe oder der effektiven Elektronenmasse im Oxid).

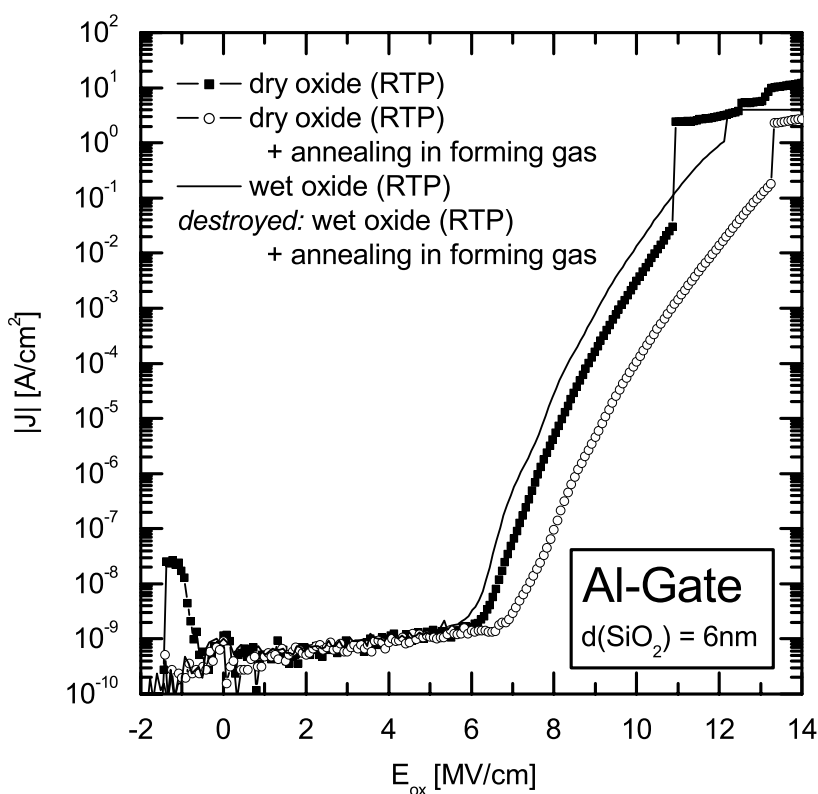


Abbildung 7.7: E-J-Charakteristiken von Proben mit Aluminium-Gates und SiO₂-Dielektrika (Feucht- bzw. Trockenoxide). Die Proben mit Feuchtoxid wurden beim Formiergastempn (450°C/30 Minuten) zerstört.

Abbildung 7.8 zeigt, wie der Ladestrom von Border Traps durch das Formiergastempnen in einer Probe mit NbN-Gatemetallisierung abgesenkt wird.

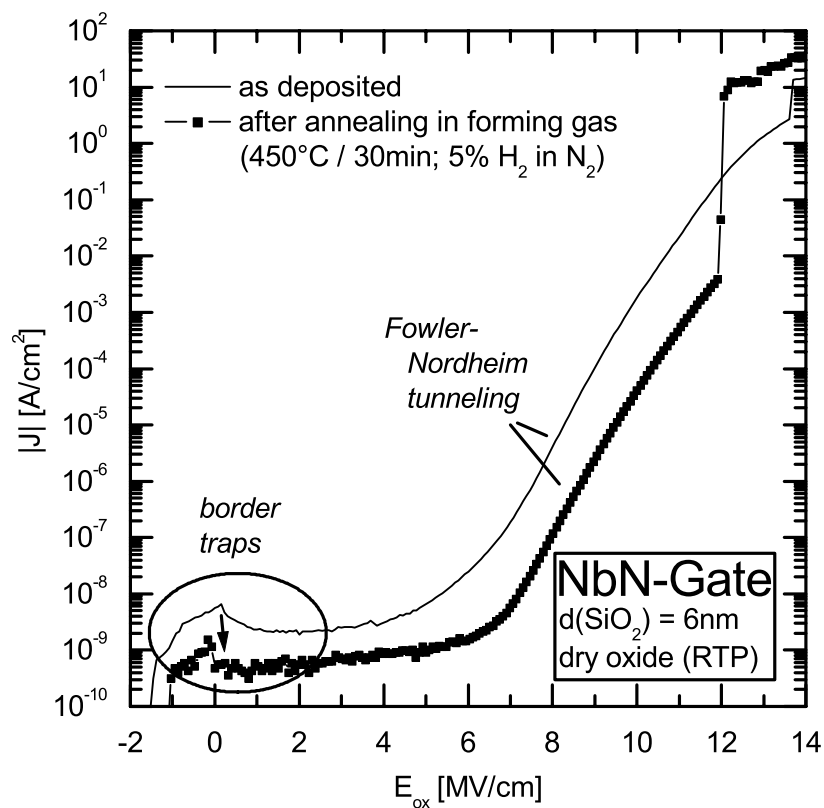


Abbildung 7.8: E-J-Charakteristik einer Probe mit NbN-Gate-Metallisierung vor und nach Formiergastempnen (450°/30 Minuten).

Kapitel 8

Einflüsse von Prozeßschritten auf die Grenzfläche Dielektrikum / Siliziumsubstrat

Die Grenzflächenzustandsdichte eines MOS-Kondensators hängt nicht allein von der Herstellung des Gate-Oxids ab. Sie kann durch jeden der folgenden Prozeßschritte beeinflusst werden. Um dies zu untersuchen, wurden MOS-Kondensatoren auf Quasi-Locos-Wafern hergestellt. Als Dielektrika wurden SiO₂-Feucht- bzw. Trockenoxide verwendet. Die intrinsische Grenzflächenzustandsdichte wurde auf Begleitwafern mit thermisch aufgedampften Aluminiumelektroden gemessen.

8.1 Wafertemperatur bei Abscheidung der Gateelektrode

Der Einfluß der Wafertemperatur bei der Abscheidung der Metallelektrode wurde mit TiN-Elektroden untersucht (Abb. 8.1). TiN wurde durch Verdampfen von Ti mit einem Elektronenstrahlverdampfer in Stickstoffatmosphäre abgeschieden (Kapitel 4.4). Eine Vergleichsprobe wurde durch reaktives Sputtern von Ti in einem Stickstoff-Argon-Gemisch hergestellt.

Abscheidung bei Raumtemperatur erhöht die Grenzflächenzustandsdichte von $4 \cdot 10^{11}$ auf $2 \cdot 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$ sowohl beim Sputtern als auch beim Elektronenstrahlverdampfen (siehe Kapitel 7.3.2 zum Einfluß von Strahlung).

Die niedrigere Grenzflächenzustandsdichte von $2 - 5 \cdot 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ bei höheren Abscheidetemperaturen (untersucht wurden 250°, 350° und 450°C) ist Folge der Wasserstoffdiffusion während der Gateabscheidung bei diesen Temperaturen. Dies wurde mit TOF-SIMS¹ nachgewiesen. In Abbildung 8.2 sind die Spektren für eine Probe, die bei 20°C abgeschieden wurde, dargestellt. Zum Nachweis des SiO₂-Dielektrikums wurde als Sekundärion das SiO-Molekül verwendet. Wie im Graphen erkennbar ist, verlaufen die Zählraten von H und SiO innerhalb des Dielektrikums unabhängig voneinander.

¹TOF-SIMS: time-of-flight secondary ion mass spectroscopy

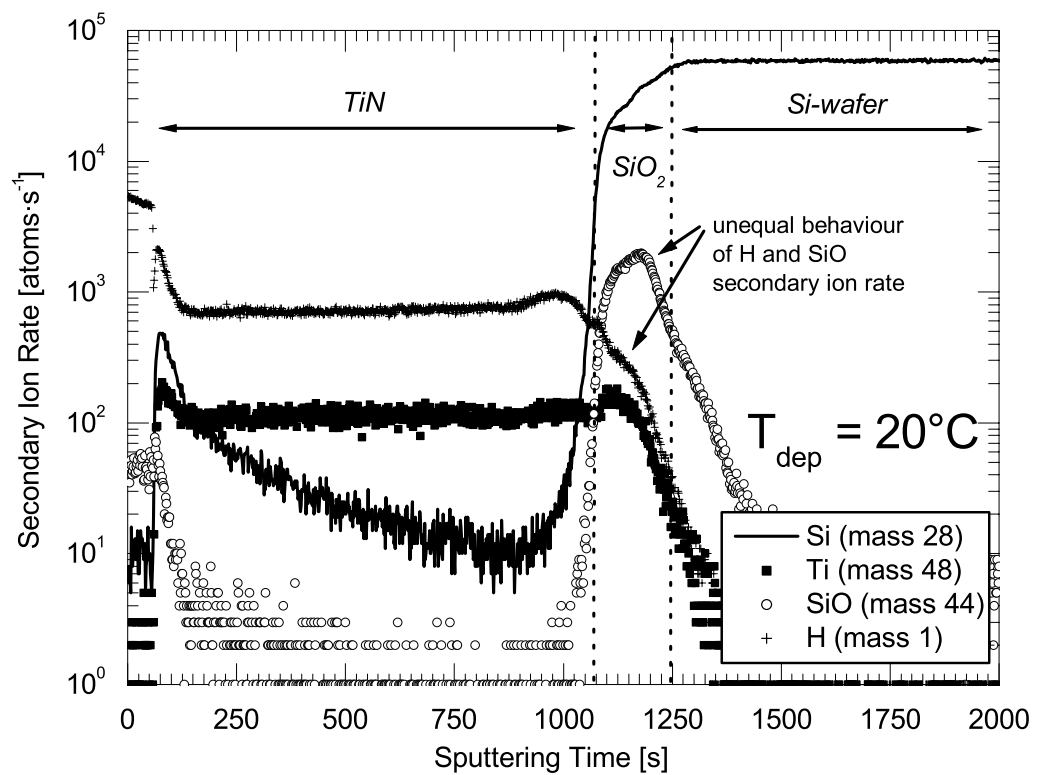


Abbildung 8.2: TOF-SIMS-Spektren eines MOS-Kondensators mit TiN-Metallelektrode (Abscheidetemperatur 20°C). Die Zählraten von Wasserstoff- und SiO-Sekundärionen verlaufen innerhalb des SiO₂-Dielektrikums unabhängig voneinander. Die Gateoxiddicke betrug 10nm.

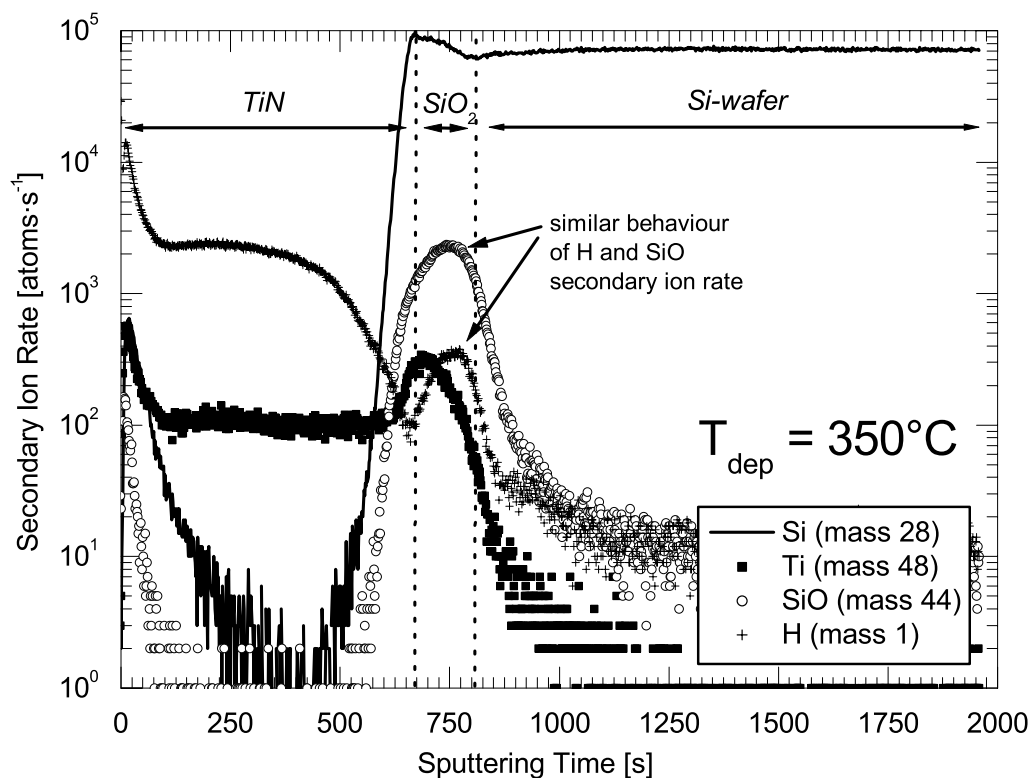


Abbildung 8.3: TOF-SIMS-Spektren eines MOS-Kondensators mit TiN-Metallelektrode (Abscheidetemperatur 350°C). Die Zählraten von Wasserstoff- und SiO-Sekundärionen verlaufen innerhalb des SiO₂-Dielektrikums parallel. Die Gateoxiddicke betrug 10nm.

8.2 Tempern bei mittleren Temperaturen

Wie Versuche mit Poly-Silizium-Elektroden gezeigt haben, ist zum Absenken der Grenzflächenzustandsdichte D_{it} beim Tempern eine Aluminiummetallisierung als Katalysator notwendig (Abbildung 8.4), die zusätzlich als Kontaktmetallisierung auf die Metallelektrode aufgedampft wird. Durch sie wird D_{it} im Fall von Poly-Silizium-Gates (hergestellt mit MBE) von $2 \cdot 10^{12}$ auf $1.5 \cdot 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$ während des Formiergastemprens (Rohröfen, 450°C , 30 min.) abgesenkt (Prozeß (a) in Abbildung 8.4). Aluminium ist als Katalysator notwendig, um molekularen Wasserstoff zu spalten [Dun89]. Verzichtet man auf die Aluminiummetallisierung, hat Formiergastempren keinen Einfluß auf D_{it} (Prozeß (b)). Erst ein weiterer Tempersschritt mit nachträglich aufgebrachtener Al-Metallisierung senkt D_{it} ebenfalls auf $1.5 \cdot 10^{10} \text{ eV}^{-1} \text{ cm}^{-2}$. Andere Metallisierungen wie beispielsweise TiN/Ti zeigen keinen signifikanten Einfluß auf D_{it} während des Temprens (Prozeß (c)). Sie können, wie im vorgestellten Beispiel, sogar als Diffusionsbarriere für Wasserstoff wirken, wenn für einen weiteren Tempersschritt eine Al-Metallisierung aufgebracht wird.

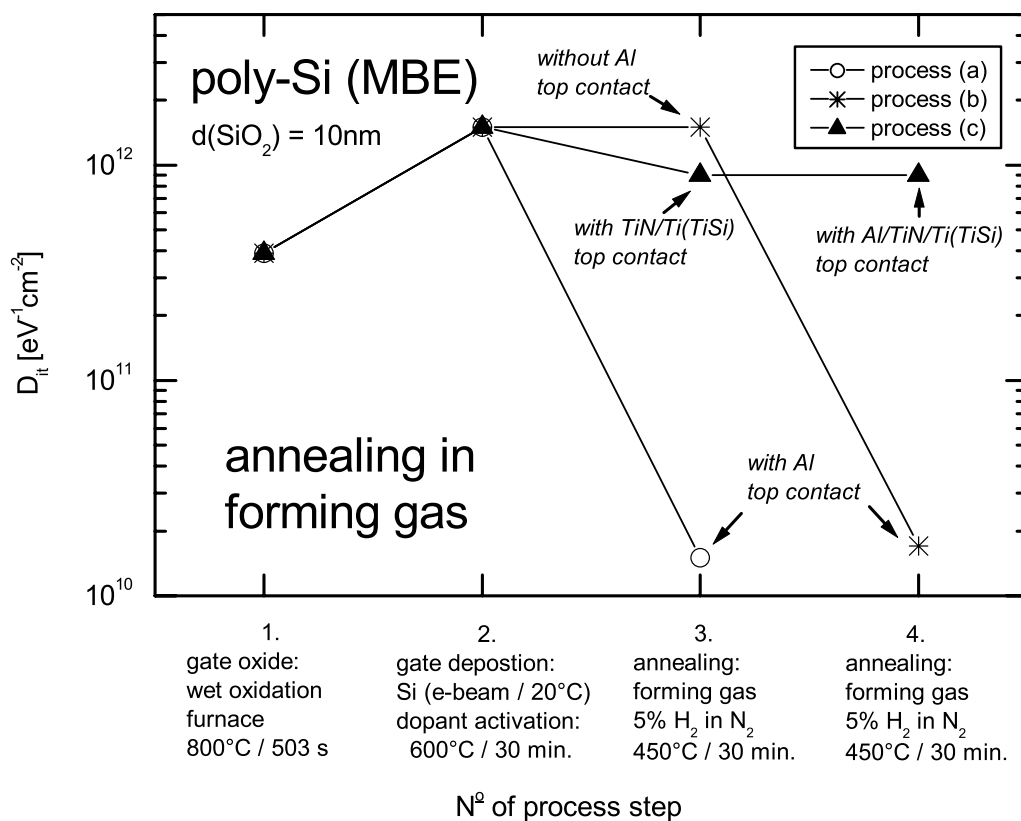


Abbildung 8.4: Nachweis der Notwendigkeit einer Aluminiummetallisierung als Katalysator für die Spaltung von Wasserstoffmolekülen beim Formiergastempren am Beispiel von MOS-Kondensatoren mit Poly-Silizium-Gates.

Verwendet man beim Tempern im Rohrofen anstelle Formiergas Stickstoff, wird die Grenzflächenzustandsdichte D_{it} ebenfalls abgesenkt: bei einer Abscheidetemperatur von 20°C von $2 \cdot 10^{12}$ auf $3 \cdot 10^{11}$ $\text{eV}^{-1} \text{cm}^{-2}$ für TiN-Metallelektroden mit Aluminiummetallisierung (Abbildung 8.5). D_{it} sinkt etwas geringer als beim Tempern in Formiergas. In diesem Fall ist die katalytische Spaltung von Wasser an Aluminium die Quelle für atomaren Wasserstoff, der zur Absättigung der *dangling-bond*-Defekte an der Grenzfläche Siliziumsubstrat / SiO_2 -Dielektrikum benötigt wird [Nic82].

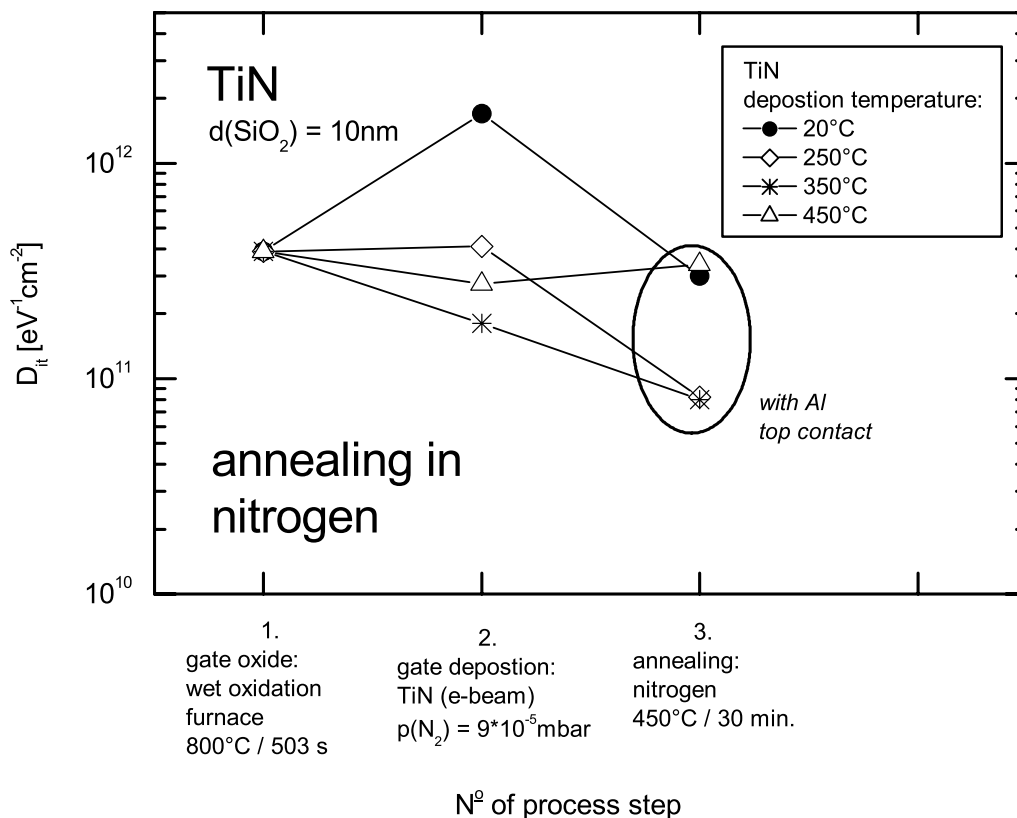


Abbildung 8.5: Bei Temperprozessen im Rohrofen zeigen Proben mit Aluminiummetallisierung ähnliches Verhalten bezüglich D_{it} bei der Verwendung von Formiergas und Stickstoff (vgl. Abbildung 8.1).

Bezüglich des Einflusses von Abscheidetemperatur und Formiergastempn auf die Grenzflächenzustandsdichte D_{it} verhalten sich Proben, deren SiO_2 -Dielektrikum durch Feucht- bzw. Trockenoxidation hergestellt wurde, ähnlich (Unterschiede im elektrischen Verhalten werden in Kapitel 10 diskutiert). Vor der Gateabscheidung ist D_{it} der Trockenoxide mit $8 \cdot 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ doppelt so hoch wie D_{it} der Feuchtoxide. Abscheidung der Metallelektrode bei Raumtemperatur, wie es am Beispiel von NbN in Abbildung 8.6 dargestellt wird und für TiN bereits diskutiert wurde, führt zu einem D_{it} -Wert von $1.3 \cdot 10^{12} \text{ eV}^{-1} \text{ cm}^{-2}$. Abscheidung bei höheren Temperaturen senkt D_{it} ab; beispielsweise führt die Abscheidung der NbN-Gateelektrode bei 350°C zu einer Halbierung von D_{it} sowohl beim Feucht- als auch beim Trockenoxid. Anschließendes Formiergastempn mit Aluminiummetallisierung reduziert D_{it} auf $1 - 2 \cdot 10^{11} \text{ eV}^{-1} \text{ cm}^{-2}$ bei allen untersuchten Proben.

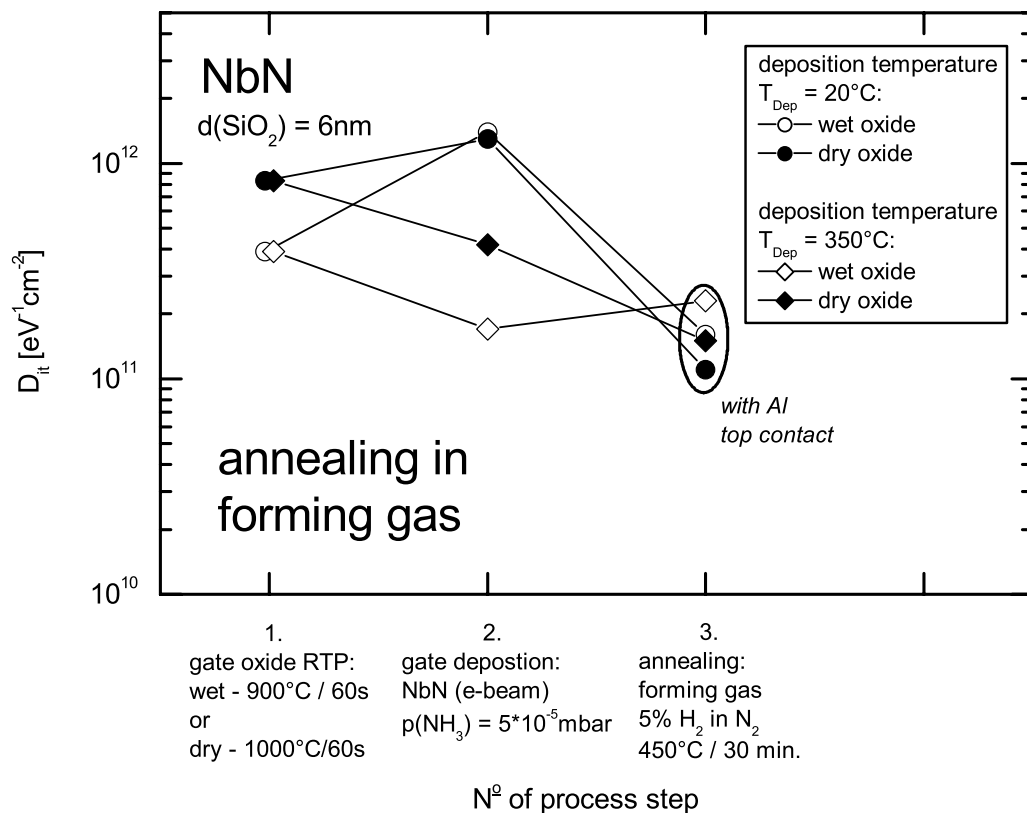


Abbildung 8.6: Verhalten von Proben mit gleichen Metallelektroden am Beispiel von NbN in Kombination mit verschiedenen Gateoxidation (Feucht- und Trockenoxidation).

8.3 RTP-Tempn bei hohen Temperaturen

Neben Formiergastempn mit zusätzlicher Aluminiummetallisierung kann auch RTP-Tempn des Gatestacks ohne Aluminiummetallisierung die Grenzflächenzustandsdichte D_{it} absenken. Wie in Abbildung 8.7 dargestellt, reichen für einen deutlichen Effekt 900°C (15s) noch nicht aus, wohingegen durch Tempn bei etwa 1050°C (5s) D_{it} auf die Hälfte (NbN-Gate) bzw. ein Zehntel (Nb-Gate) abgesenkt werden konnte. Das Temperaturprofil, dem die Proben hierbei in Stickstoffatmosphäre ausgesetzt wurden, ist in Abbildung 8.8 dargestellt. Die etwas unterschiedlichen Auswirkungen des Tempns erklären sich durch die leicht unterschiedliche thermische Belastung der Proben, die sich trotz Verwendung des gleichen RTP-Programms ergab. Anschließendes Formiergastempn senkt D_{it} weiter ab. Die Probe mit Nb-Gate und Feuchtoxid als Dielektrikum wurde hierbei zerstört.

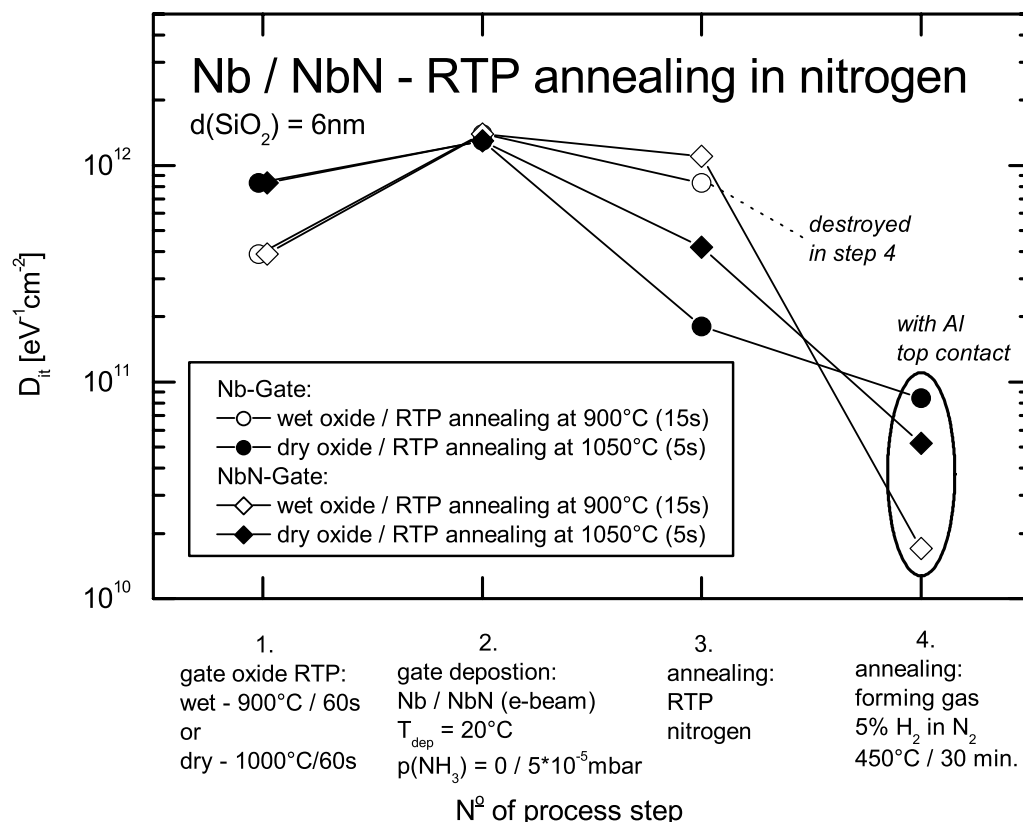


Abbildung 8.7: RTP-Tempn bei 1050°C senkt D_{it} ebenfalls ab, wohingegen bei 900°C noch kein deutlicher Einfluß erkennbar ist.

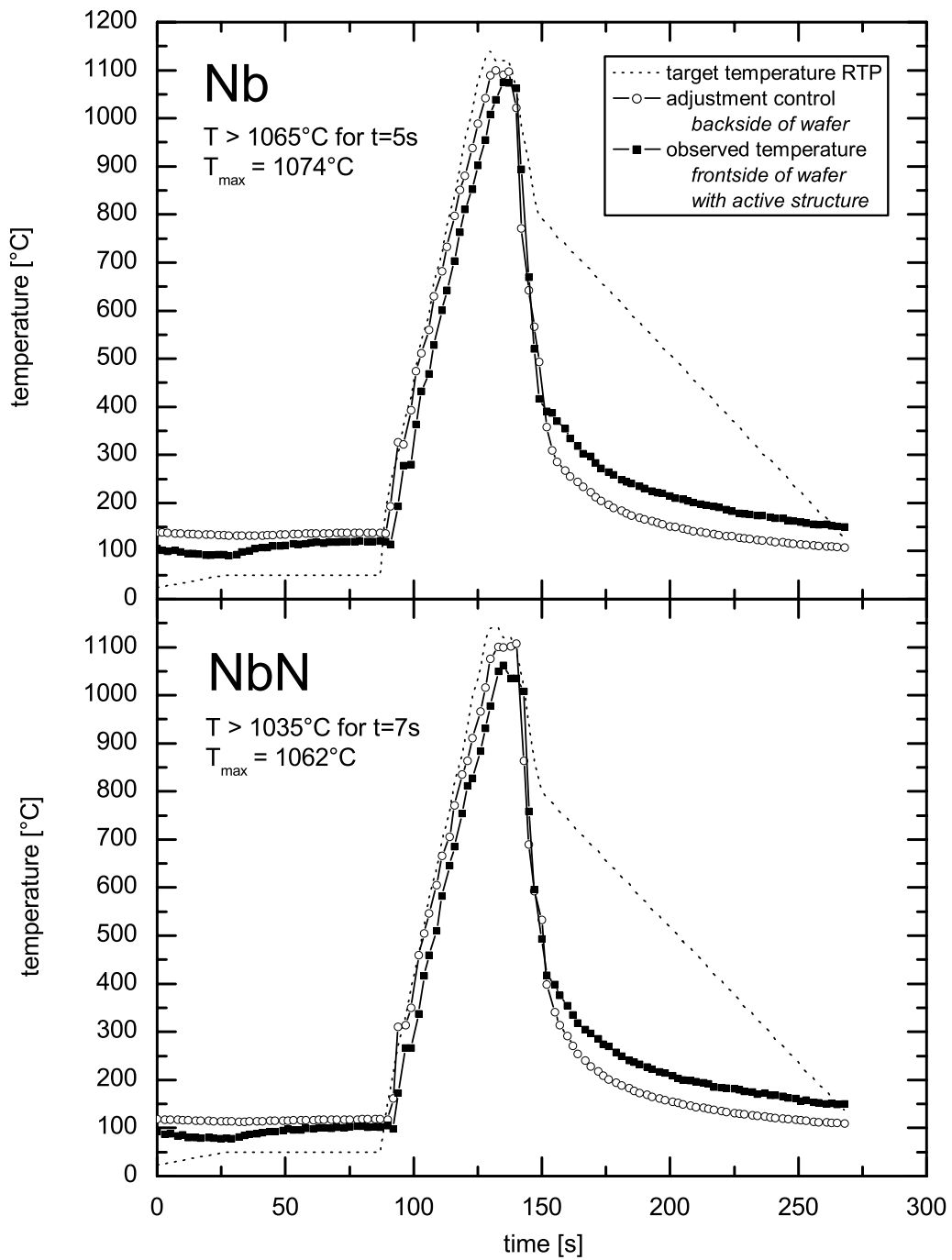


Abbildung 8.8: Temperaturprofile beim Tempnen mit 1050°C im ATV-RTP-System unter Stickstoff. Die Scheibe wird einseitig von hinten mit Halogenlampen erwärmt. Auf der Rückseite befindet sich das Thermoelement für die Temperaturregelung. Auf der Vorderseite mit dem MOS-Schichtstapel ergibt sich deshalb eine etwas geringere Temperatur, die mit einem separaten Temperaturfühler gemessen werden kann. Die Erwärmung erfolgt beim verwendeten Programm mit einer Rate von $25^{\circ}/\text{s}$; die Abkühlung erfolgt durch Ausschalten der Lampen.

Kapitel 9

MOS–Feldeffekttransistoren

9.1 Charakteristische Größen eines MOS-Transistors

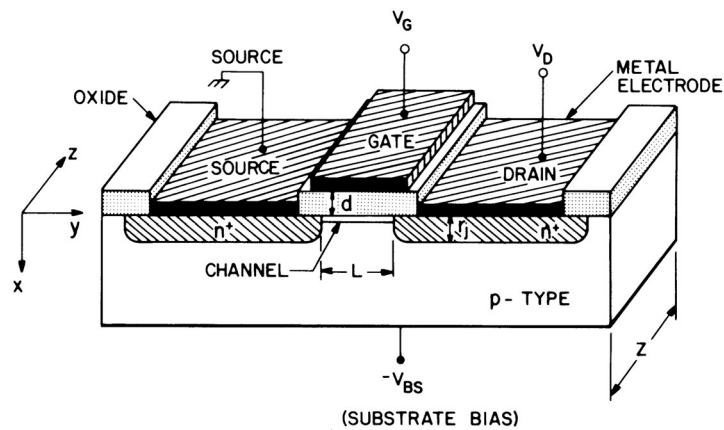


Abbildung 9.1: Schematische Darstellung eines MOS Feldeffekttransistors [Sze81].

Der MOS–Feldeffekttransistor (Abbildung 9.1) ist ein Bauelement mit vier Anschlüssen: Substrat, Source, Drain und Gate. Der Zusammenhang zwischen der Gatespannung V_G , der Drainspannung V_D und dem Drainstrom I_D wird, wenn Source und Substrat mit Masse verbunden sind, für einen n-Kanal Transistor durch folgende Gleichung beschrieben:

$$I_D = \frac{W}{L} \mu_n C_{is} \left\{ \left(V_G - 2\psi_B - \frac{V_D}{2} \right) V_D - \frac{2}{3} \frac{\sqrt{2\epsilon_0 \epsilon_{Si} q N_A}}{C_{is}} \left[(2\psi_B + V_D)^{\frac{3}{2}} - (2\psi_B)^{\frac{3}{2}} \right] \right\} \quad (9.1)$$

L bzw. W bezeichnen Kanallänge bzw. -weite, μ_n die Beweglichkeit der Elektronen, C_{is} die Kapazität des Gatedielektrikums, q die Elementarladung, N_A die Dotierung im Kanalbereich, und $q\psi_B$ die Energiedifferenz zwischen Fermienergie W_F und intrinsischem Niveau W_i .

Eine analoge Formel lässt sich für p-Kanal Transistoren aufstellen; in ihr müssen die Dotierungen geändert, die Spannungen umgepolt und Elektronen durch Löcher ersetzt werden.

Unter der Annahme eines wesentlich größeren elektrischen Feldes senkrecht zum Kanal im Vergleich zum Feld entlang des Kanals ($V_D \ll 2\psi_B$; *Gradual Channel Approximation*) und Vernachlässigung des Diffusionsstroms vereinfacht sich Gleichung (9.1) zu

$$I_D = \frac{W}{L} \mu_n C_{is} \left[(V_G - V_T) V_D - \frac{V_D^2}{2} \right] \quad (9.2)$$

Die Einsatzspannung V_T errechnet sich aus Gleichung (2.1) für einen Transistor ohne Kanalimplantation ($Q_I = 0$) mit

$$Q_D = q \cdot (-N_A) \cdot x_D \quad (9.3)$$

und der Depletionweite x_D

$$x_D = \sqrt{\frac{2\varepsilon_0\varepsilon_{Si} \cdot 2\psi_B}{q \cdot N_D}} \quad (9.4)$$

zu

$$V_T^{PMOS} = V_{FB} + 2\psi_B + \frac{\sqrt{2\varepsilon_0\varepsilon_{Si}qN_A2\psi_B}}{C_{is}} \quad (9.5)$$

Für einen NMOS-Transistor muß „ $-N_A$ “ durch „ $+N_D$ “ ersetzt werden und man erhält

$$V_T^{NMOS} = V_{FB} + 2\psi_B - \frac{\sqrt{2\varepsilon_0\varepsilon_{Si}qN_D2\psi_B}}{C_{is}} \quad (9.6)$$

Für sehr kleine Einsatzspannungen ist der quadratische Term vernachlässigbar und es ergibt sich ein linearer Zusammenhang zwischen Drainstrom und -spannung.

In diesem Bereich gilt:

$$I_D(V_D, V_G) = \frac{W}{L} \mu_n C_{is} (V_G - V_T) V_D \quad (9.7)$$

Bei höheren Drainspannungen wird der Kanal durch Ausbildung einer Raumladungszone bei Drain abgeschnürt (*pinch off*). Dieser pinch-off-Punkt wandert mit zunehmender Drainspannung V_D in Richtung Source. Der Drainstrom I_D bleibt nun konstant, da er nur von der Anzahl der Elektronen abhängt, die den Kanal am pinch-off-Punkt verlassen (die Spannung am pinch-off-Punkt bleibt konstant). Zur korrekten Lösung von Gleichung (9.1) muß nun zusätzlich der Diffusionsstrom berücksichtigt werden. Vereinfachend kann man auch aus Gleichung (9.2) den Maximalwert bestimmen; dieser bleibt dann bei steigender Drainspannung konstant.

In diesem Bereich gilt für den Drainstrom $I_{D,sat}$:

$$I_{D,sat}(V_G) = \frac{W}{L} \mu_n C_{is} \frac{(V_G - V_T)^2}{2} \quad (9.8)$$

9.2 Integration von NbN und La_2O_3 in MOS-Transistoren

Um prinzipiell die Integrierbarkeit von Metallelektroden und neuartigen Dielektrika zu demonstrieren, wurden laterale Transistoren mit Niobnitrid-Elektrode und La_2O_3 -Dielektrikum hergestellt. Vor der Abscheidung des Dielektrikums mit MBD (vgl. Kapitel 4.3) wurde auf dem Wafer thermisch eine Siliziumnitridschicht aufgewachsen, die reoxidiert wurde [Lud05]. Die äquivalente Oxiddicke EOT des Gatestacks und die Grenzflächenzustandsdichte D_{it} wurden auf einem Begleitwafer (Quasi-LOCOS-Wafer) bestimmt (C-V- und G-V-Messung siehe Abbildung 9.2). EOT betrug 3.0nm und $D_{it} = 4 \cdot 10^{11} \text{ eV}^{-1}\text{cm}^{-2}$. Als Vergleichsproben wurden Transistoren mit einem 2.3nm dicken thermischen Gateoxid und Poly-Silizium-Gateelektrode untersucht, die in Formiergas (Rohröfen, 450°C, 30 min.) getempert wurden. Bei ihnen muß berücksichtigt werden, daß sich EOT dieses Gatestacks durch die Depletion innerhalb der Poly-Silizium-Elektrode vergrößert.

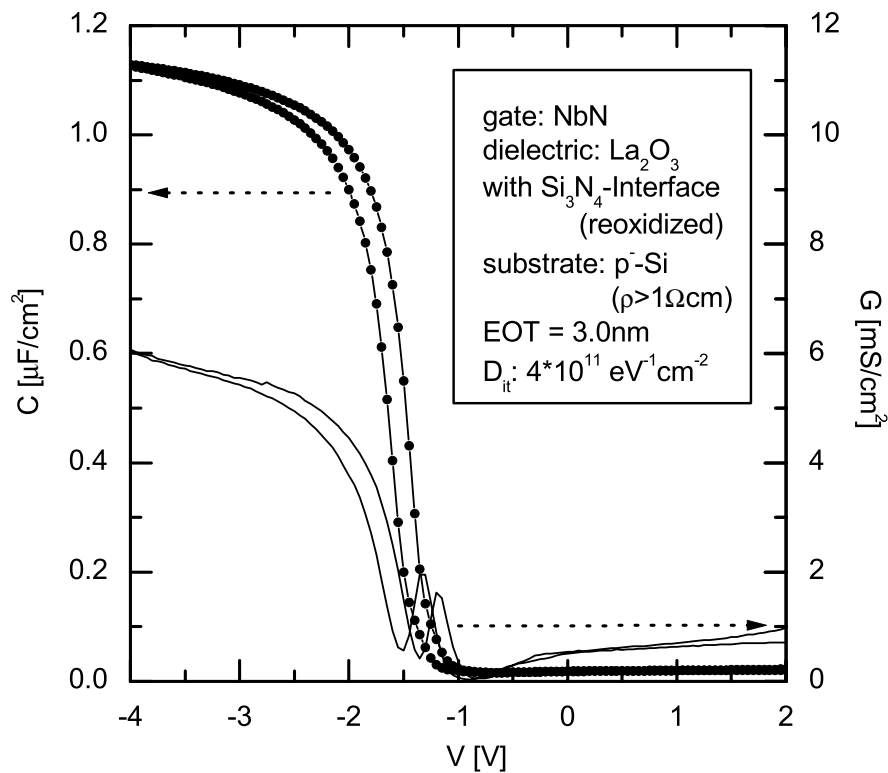


Abbildung 9.2: Hochfrequenz-C-V- und G-V-Messung (20kHz) an einer Probe mit dem Gatestack NbN- La_2O_3 .

Die Abbildungen 9.3 und 9.4 zeigen Transfer- und Ausgangskennlinienfelder beider Transistoren. In beiden Fällen ist $\frac{W}{L} = 2$. Die Einsatzspannung beträgt anfangs für beide Transistoren etwa 0.45V (Bestimmung durch Extrapolation des linearen Bereichs auf die Spannungsachse in linearer Darstellung entsprechend [Hor97]). Sie verändert sich beim NbN-La₂O₃-Transistor auf 1.45V ab der zweiten Messung (Abbildung 9.4; $V_D = 100\text{mV}$, 150mV ...) durch das Laden von Störstellen innerhalb des Gateoxids und an der Grenzfläche Substrat-Dielektrikum, die durch Strahlenschäden (Kapitel 7.3.2) bzw. einen nicht optimierten Ablauf bei der Prozessierung der Wafer entstanden sind. Die Beweglichkeit der Transistoren beträgt $\mu_{eff,max} = 30\text{cm}^2/\text{V}$ für den Gatestack NbN-La₂O₃ und $\mu_{eff,max} = 195\text{cm}^2/\text{V}$ für den Gatestack Poly-Silizium-SiO₂.

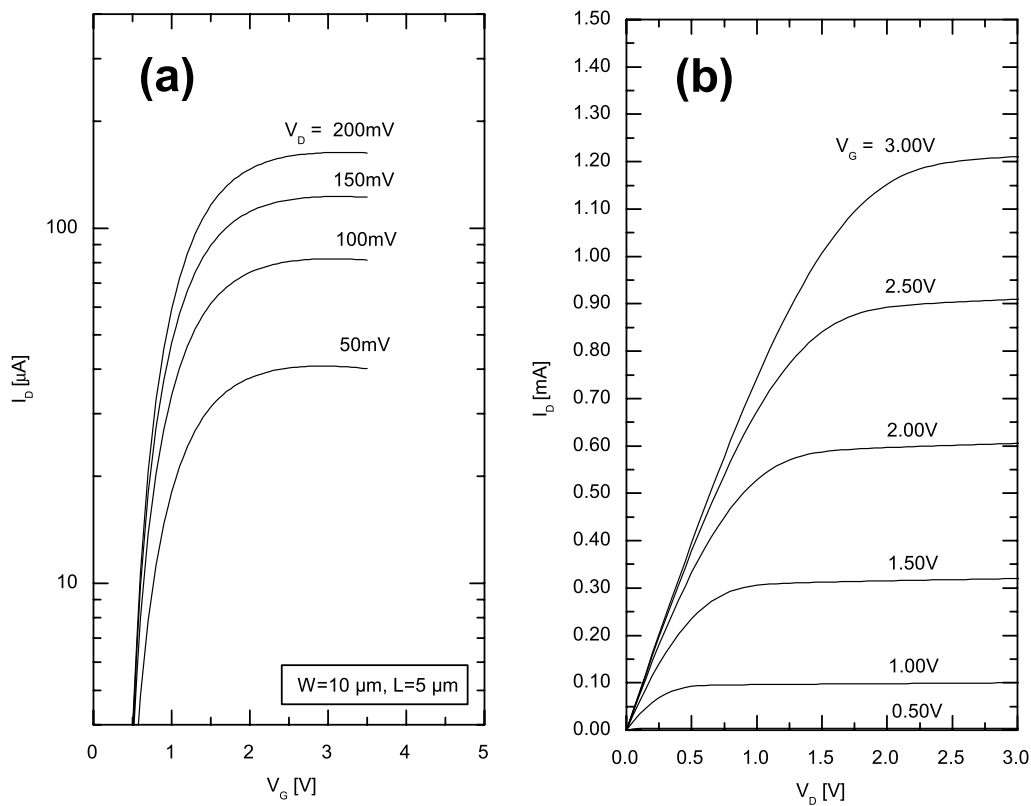


Abbildung 9.3: (a) Transferkennlinie und (b) Ausgangskennlinie eines Transistors mit SiO₂ Dielektrikum und Poly-Silizium-Elektrode.

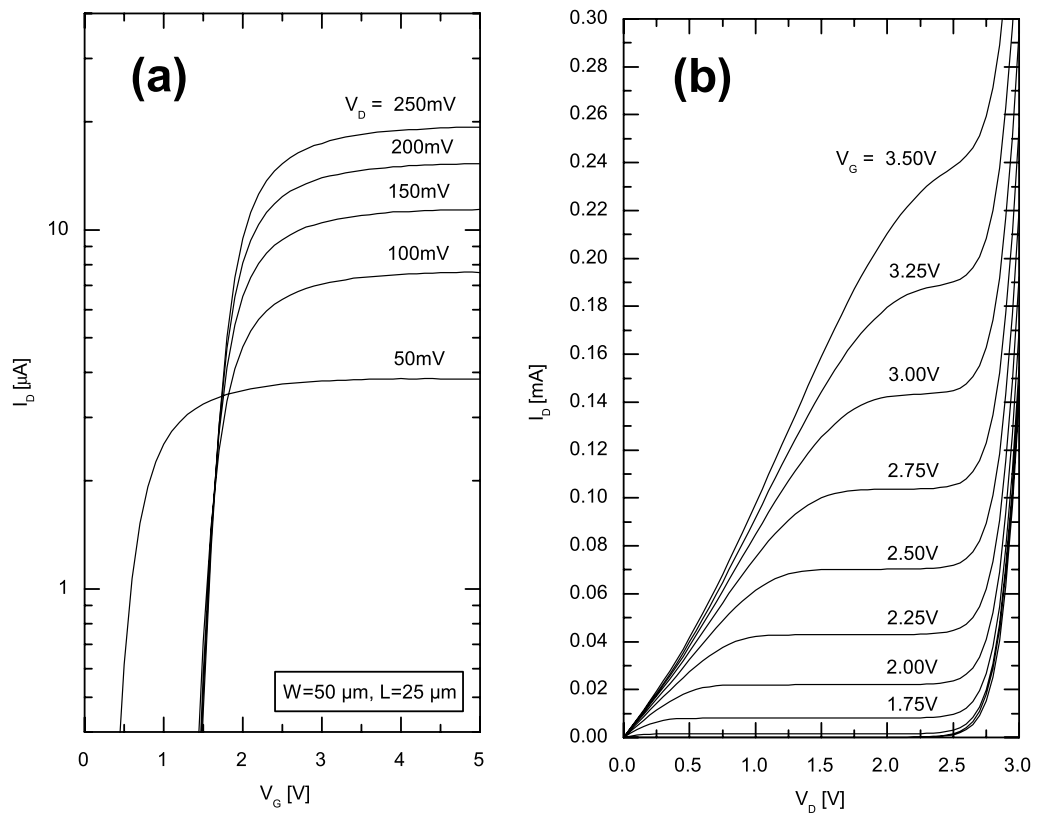


Abbildung 9.4: (a) Transferkennlinie und (b) Ausgangskennlinie eines Transistors mit La_2O_3 Dielektrikum und NbN Elektrode.

Kapitel 10

Temperaturstabilität von Nb- und NbN-Metallelektroden

Während der Prozessierung werden die Wafer verschiedensten Prozessen mit unterschiedlich großer thermischer Belastung ausgesetzt. Wichtig ist, daß die elektrischen Eigenschaften der Gate-Stacks nicht verschlechtert werden. Von besonderem Interesse ist hierbei, daß die Grenzfläche zwischen Elektrode und Dielektrikum stabil bleibt und keine Diffusion zwischen beiden Schichten stattfindet.

Betrachtet man vereinfacht den eindimensionalen Fall, gilt bei Diffusionsprozessen für den Teilchenfluß F nach dem Gesetz von Fick:

$$F(x, t, T) = -D(T) \cdot \frac{\partial c(x, t)}{\partial x} \quad (10.1)$$

Hierbei ist c die ortsabhängige Konzentration des Elements, dessen Diffusion untersucht wird, und D der Diffusionskoeffizient.

Bei Dielektrika, die für Gateoxide verwendet werden, handelt es sich um amorphe Festkörper. Hierfür ist D nicht richtungsabhängig. Analog kubischen Kristallen läßt sich die Temperaturabhängigkeit des Diffusionskoeffizienten durch eine Arrhenius-Gleichung beschreiben [Reg02]:

$$D(T) = D_0 \cdot e^{-\frac{W_A}{k_B T}} \quad (10.2)$$

wobei W_A die Aktivierungsenergie für die Positionsänderung eines diffundierenden Atoms innerhalb der betrachteten Schicht, k_B die Boltzmannkonstante, T die Temperatur und D_0 eine Materialkonstante ist.

Löst man die Diffusionsgleichung (10.1) für das vorliegende Randwertproblem (scharfe Abgrenzung zwischen Elektrode und Dielektrikum; Diffusion von Metallatomen aus der Elektrode ins Dielektrikum) und verwendet als Randbedingung, daß die Konzentration

des Metalls an der Grenzfläche Metall / Dielektrikum immer der maximalen Löslichkeit c_0 entspricht ($c(x = 0, t, T) = c_0 = \text{const.}$), so ergibt sich für die Konzentration [Eis05]

$$c(x, t, T) = \text{erfc} \left(\frac{x}{2\sqrt{D(T) \cdot t}} \right) \quad (10.3)$$

Bei erfc handelt es sich um das 1. Gaußsche Fehlerintegral:

$$\text{erfc}(z) = 1 - \frac{1}{\sqrt{\pi}} \int_0^z e^{-\frac{1}{2}\zeta^2} d\zeta \quad (10.4)$$

$2\sqrt{D \cdot t}$ wird als Diffusionslänge bezeichnet und ist eine charakteristische Größe, die den unterschiedlichen Einfluß von Zeit und Temperatur auf Diffusionsprozesse beschreibt.

$$2\sqrt{D(T) \cdot t} = 2\sqrt{D_0 \cdot e^{-\frac{W_A}{k_B T}} \cdot t} \quad (10.5)$$

In vielen Fällen sind W_A und D_0 nicht bekannt. Deshalb wird häufig nur das thermische Budget $\langle W_{th} \rangle$ betrachtet [Dit97], bei dem allerdings die exponentielle Abhängigkeit der Diffusionsprozesse von der Temperatur vernachlässigt wird. Unter dem thermischen Budget versteht man die thermische Energie, die ein Wafer während der Prozessierung ausgesetzt ist:

$$\langle W_{th} \rangle = k_B \int T(t) dt \quad (10.6)$$

Durch die Diffusion von Atomen aus der Elektrode ins Gateoxid können innerhalb des Dielektrikums Störstellen (*traps*) entstehen. Weitere mögliche Auswirkungen sind: Umdotierung des Substrates unterhalb des Oxids (Beispiel: Umdotierung durch Diffusion von Bor aus Poly-Silizium-Elektroden durch das Oxid hindurch), bzw. komplette Zerstörung des Gate-Stacks (Beispiel: Spiking von Aluminium).

Im Gegensatz dazu zeigen Defekte in Gateoxiden, die durch Strahlung entstehen, ein anderes Verhalten bei Temperprozessen (vgl. Kapitel 7.3.2).

In der heutigen Technologie kommen Prozesse zum Einsatz, die die Wafer auf zwei unterschiedliche Arten thermisch belasten:

- Durch sehr hohe Temperaturen bei kurzer Prozeßzeit: Dies ist beispielsweise beim Ausheilen von Implantationsschäden der Fall. Gängige Parameter sind Temperaturen um 1050°C , denen die Wafer einige Sekunden lang in einem RTP-System ausgesetzt werden.
- Durch mittlere Temperaturen (etwa $200 - 800^\circ\text{C}$), denen die Wafer dafür aber einen längeren Zeitraum von mehreren Minuten bis Stunden ausgesetzt werden. Beispiel hierfür sind Temperprozesse zum Nachverdichten von TiN-Barrierschichten, die bei Temperaturen um 600° und Prozeßzeiten von etwa einer halben Stunde ablaufen.

Im folgenden wird nun die Temperaturstabilität von Gate Stacks mit Metallelektroden am Beispiel von Niob- und Niobnitrid-Gates untersucht. Dazu werden zwei Temperprozesse verwendet, wobei im ersten Prozeß die thermische Belastung durch die lange Prozeßzeit und im zweiten Prozeß durch die hohe Temperatur entsteht:

1. Tempern bei moderaten Temperaturen mit langer Prozeßzeit: Die Proben wurden in Formiergas (5% H₂ in N₂) in einem Rohrofen (Batch-Prozeß) 30 Minuten lang bei 450°C getempert. Die Aufheizzeit des Ofens betrug 60 min., wobei eine maximale Heizrate von 0.15°/s erreicht wurde.
2. Tempern bei hohen Temperaturen mit kurzer Prozeßzeit: Die Proben wurden in Stickstoff in einem RTP-System (Einscheibenprozeß) 5s lang bei 1050°C getempert. Die Rate während des Aufheizens betrug 25°/s.

10.1 Gatestackintegrität bei langen Prozeßzeiten und mittleren Temperaturen

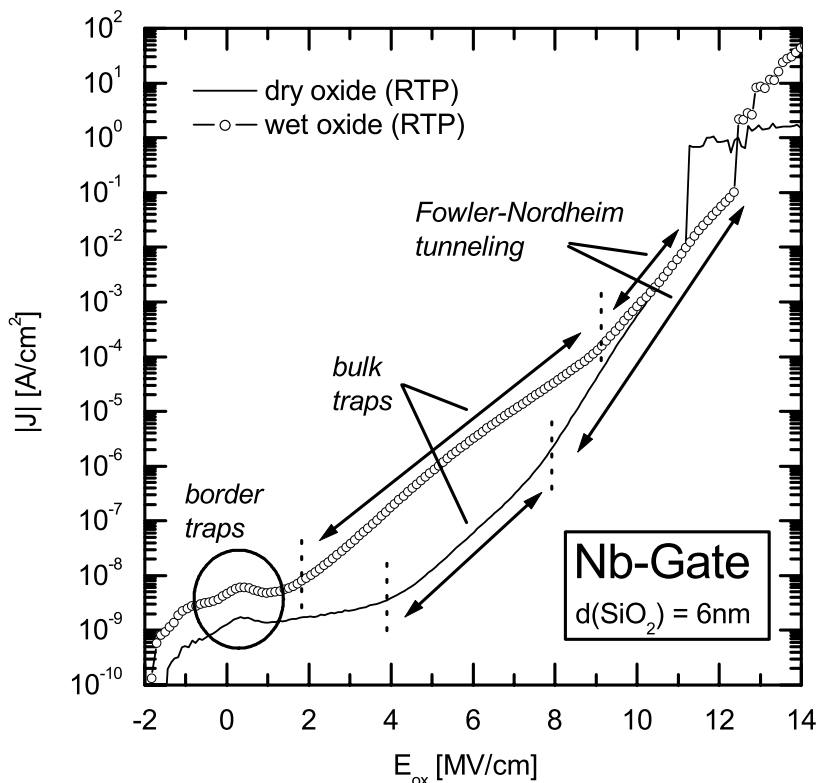


Abbildung 10.1: E-J-Charakteristiken von Proben mit Niob-Gatemetallisierungen und SiO₂ Trocken- bzw. Feuchtoxid ($d_{\text{SiO}_2} = 6\text{nm}$).

Im Unterschied zu SiO₂-Trockenoxiden kommen in Feuchtoxiden besonders viele Si-H-Bindungen vor, weil Wasserstoff bereits während des Oxidwachstums dangling-bond-Defekte absättigen kann. Diffusionsprozesse können über Bindungsplätze von Atomen einer Schicht oder über Interstitials ablaufen. Diffusionsprozesse über Bindungsplätze sind in Feuchtoxiden leichter als in Trockenoxiden möglich, weil die Si-H-Bindungen die schwächsten Bindungen innerhalb des Dielektrikums sind.

In Abbildung 10.1 sind die E-J-Charakteristiken von MOS-Kondensatoren mit Niob-Gatemetallisierung dargestellt. Die Gateabscheidung fand bei einer Wafertemperatur von etwa 25°C statt. Als Dielektrika wurden Feucht- und Trockenoxide verwendet. Bei beiden Dielektrika ist die Stromdichte bereits vor Einsetzen des Fowler-Nordheim-Tunnelstroms erhöht (für Trockenoxide unterhalb 8 MV/cm , für Feuchtoxide unterhalb 10 MV/cm). Dieser zusätzliche Strom, der für Feuchtoxide um einen Faktor zehn höher liegt als für Trockenoxide, entsteht durch Tunnelströme über Trap-Zustände im Oxid, die von Nb-Atomen gebildet werden.

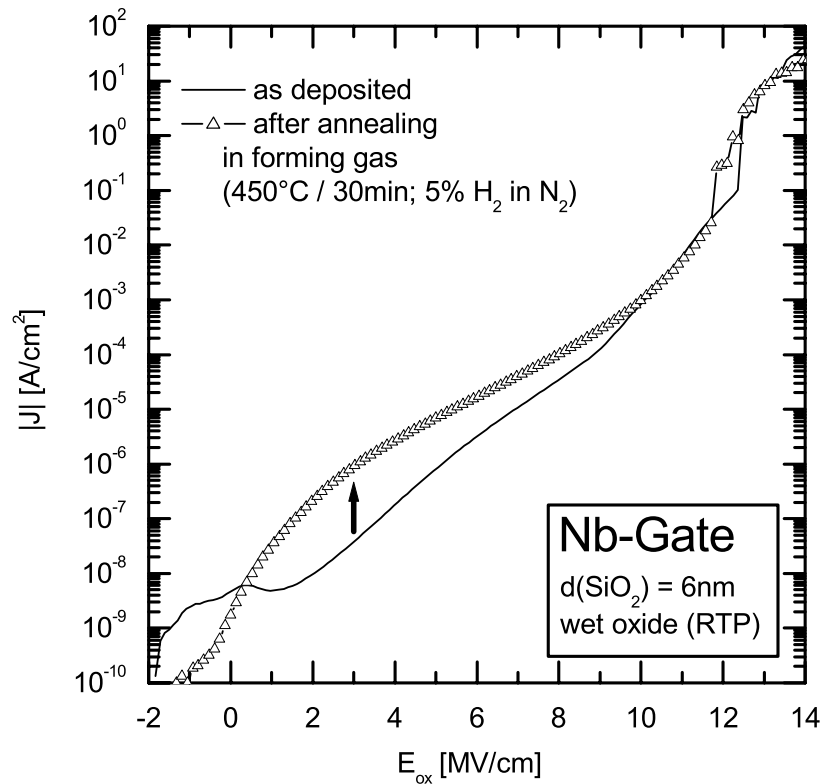


Abbildung 10.2: E-J-Charakteristiken von Proben mit Niob-Gatemetallisierungen und SiO₂-Feuchtoxid ($d_{\text{SiO}_2} = 6\text{nm}$).

Nach Tempern in Formiergas (450°C / 30 min.) vergrößert sich dieser Strom bei Verwendung von Feuchtoxiden (bei elektrischen Feldern E_{ox} von 1 - 10 MV/cm; Abb. 10.2). Er bleibt weitgehend unverändert bei der Verwendung von Trockenoxiden (für E_{ox} von 2 - 8 MV/cm; Abb. 10.3). Der Ladestrom der Border Traps bei $E_{ox} \approx 0$ MV/cm wird in beiden Fällen abgesenkt.

Abbildung 10.4 zeigt E-J-Charakteristiken von MOS-Kondensatoren mit NbN-Gatemetallisierungen. Die Gateabscheidung fand bei 25°C statt. Analog den Experimenten mit Nb-Gates (Abbildungen 10.1 - 10.2) wurden auch hier Feucht- und Trockenoxide als Dielektrika verwendet. Im Gegensatz zu Nb-Gates haben bei NbN-Gates beide Oxidarten vergleichbare E-J-Charakteristiken. Es können außer dem Fowler-Nordheim-Tunnelstrom keine zusätzlichen Tunnelströme über Defektzustände beobachtet werden. Tempern in Formiergas (450°C / 30 min.) führt bei beiden Oxidarten zu einem Absinken des Ladestroms der Border Traps bei $E_{ox} \approx 0$ MV/cm, wie es für Proben bekannt ist, die Strahlenschäden haben (vgl. Kapitel 7.3.2). Außerdem ändert sich die Steigung der Graphen in Fowler-Nordheim-Tunnelstrom, wie es bereits für Proben mit Aluminiumgates und SiO₂-Trockenoxid beobachtet wurde (vgl. Abbildung 7.7 in Kapitel 7.3.3). Während Proben mit Aluminium-Gates und SiO₂-Feuchtoxid beim Formiergastempen (450°C / 30 min.) zerstört werden, verhalten sich NbN-Gates auf Feucht- und Trockenoxid gleichartig.

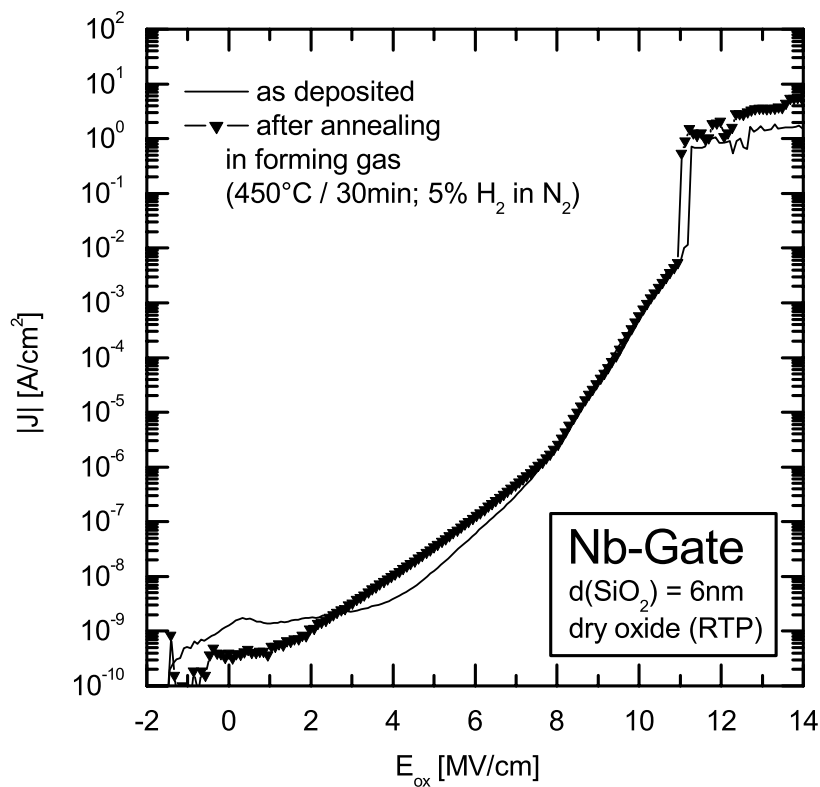


Abbildung 10.3: E-J-Charakteristiken von Proben mit Niob-Gatemetallisierungen und SiO₂-Trockenoxid ($d_{SiO_2} = 6\text{nm}$).

Zusammenfassung:

- NbN-Gates sind in Kombination mit SiO₂-Feuchtoxiden und SiO₂-Trockenoxiden während Formiergastempnern (450°C / 30 min.) stabil. Im Gegensatz zu Nb-Gates können keine Tunnelströme über trap-Zustände beobachtet werden. Es findet also keine Diffusion von Nb-Ionen aus den NbN-Gateelektroden in die untersuchten Gateoxide statt.
- SiO₂-Trockenoxide erweisen sich im Vergleich zu Feuchtoxiden als stabiler gegenüber der Diffusion von Metallionen, da während des Formiergastempners der Gate-Stack
 - bei Verwendung von Al-Gates nicht zerstört wird;
 - bei Verwendung von Nb-Gates die elektrischen Eigenschaften nicht verschlechtert werden.

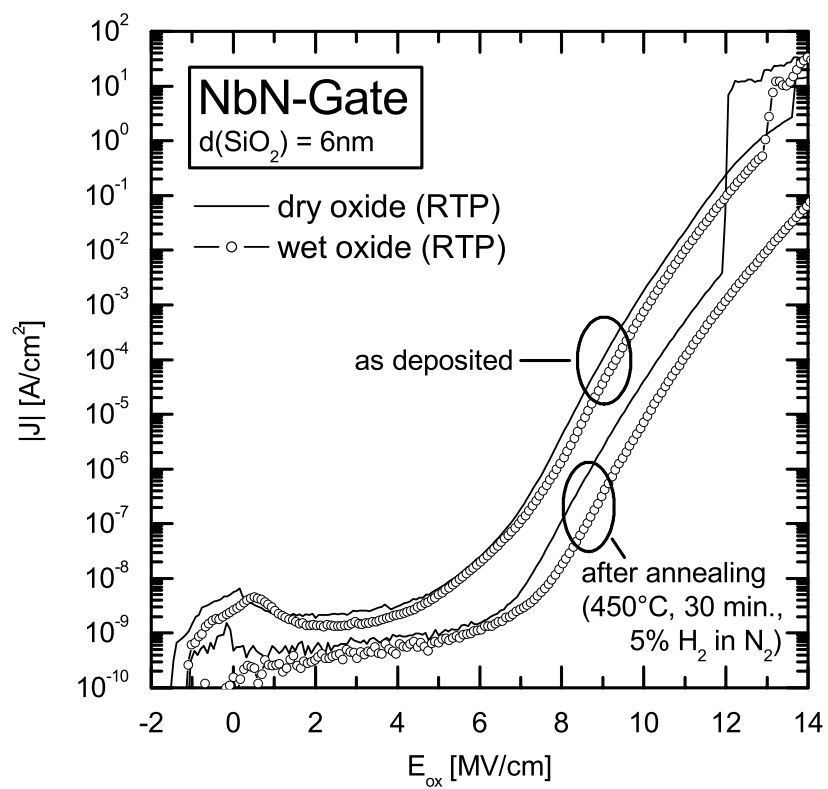


Abbildung 10.4: E-J-Charakteristiken von Proben mit Niobnitrid-Gatemetallisierungen ($d_{\text{SiO}_2} = 6\text{nm}$).

10.2 Gatestackintegrität beim RTP-Tempnern (1050°C / 5s)

MOS-Kondensatoren mit SiO₂-Trockenoxid und Nb- bzw. NbN-Gatemetallisierung wurden in einer RTP-Anlage 5s lang bei 1050°C getempert. Das Temperaturprofil ist in Abbildung 8.8 dargestellt. Anschließend wurden die Proben zusätzlich noch in Formiergas (450°C / 30 min.) getempert.

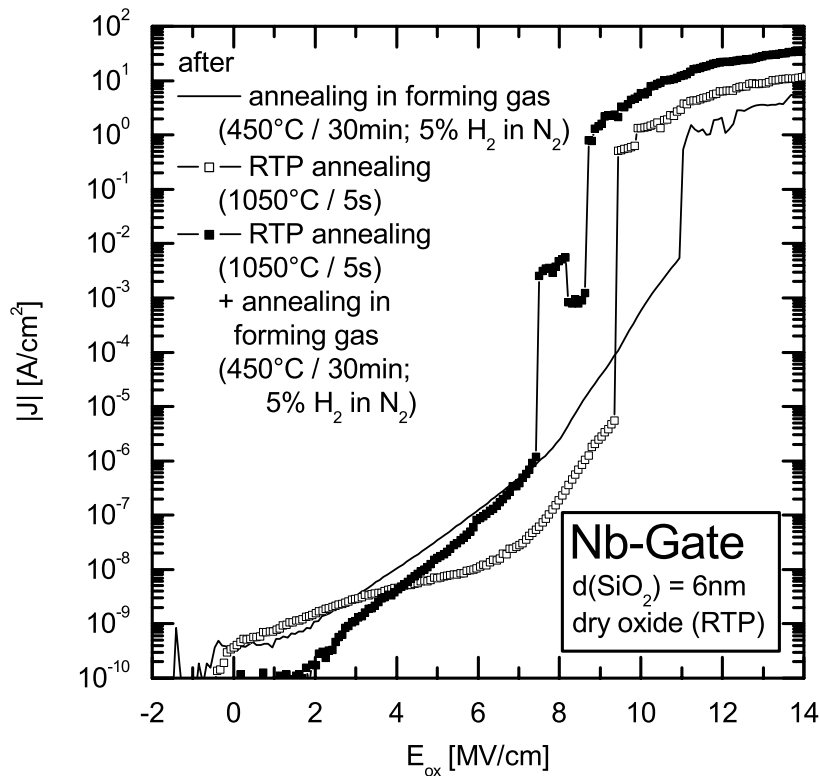


Abbildung 10.5: E-J-Charakteristiken von Proben mit Niob-Gatemetallisierungen ($d_{SiO_2} = 6\text{nm}$) nach verschiedenen Temperprozessen (450°C / 30 min., 1050°C / 5s, 1050°C / 5s + 450°C / 30 min.).

Abbildung 10.5 zeigt die E-J-Charakteristiken der Proben mit Nb-Gates im Vergleich mit einer Probe, die ausschließlich in Formiergas bei 450°C (30 min.) getempert wurde. Da in diesem Fall die Kurven stark streuen, wurden typische Beispiele ausgewählt. Alle untersuchten Temperprozesse führen zu einer Absenkung des Ladestroms der Border Traps bei $E_{ox} \approx 0$ MV/cm. Bei der Probe, die ausschließlich RTP getempert wurde, setzt der Fowler-Nordheim-Tunnelstrom erst bei höheren elektrischen Feldern ein.

Eine Kombination von RTP-Tempnern und Formiergastempnern führt dazu, daß die Stromdichte zwischen $E_{ox} = 0 - 2$ MV/cm unter die Auflösungsgrenze des Meßplatzes sinkt. Zwischen $E_{ox} = 2 - 7$ MV/cm läßt sich ein zusätzlicher Tunnelstrom beobachten, der über Trap-Zustände erfolgt. Auffällig ist, daß die Proben bereits bei geringen Stromdichten von 10^{-5} bis 10^{-6} A/cm² durchbrechen.

Im Gegensatz zu Formiergastempnern von Proben mit Nb-Elektroden und SiO₂-Feuchtoxid

(vgl. vorheriges Kapitel) lösen alle betrachteten Temperprozesse keine weitere Diffusion von Nb-Atomen ins SiO_2 -Trockenoxid aus. Die Defektzustände, die durch den zusätzlichen Tunnelstrom sichtbar werden, werden also bereits während der Metallabscheidung gebildet.

Nb-Atome können nach der Metallabscheidung nicht mehr ins Trockenoxid diffundieren. Entweder ist die maximale Löslichkeit erreicht, oder die Bildung einer Interfaceschicht (Nioboxid) verhindert die weitere Diffusion. Mit der Bildung einer NbO_x -Interfaceschicht läßt sich die experimentelle Beobachtung erklären, daß Proben sowohl mit Nb- als auch mit NbN-Gateelektroden nach RTP-Tempn die gleiche Flachbandverschiebung zeigen (vgl. Kapitel 6.4).

Im Gegensatz dazu lassen sich bei Proben mit NbN-Gatemetallisierung keine *trap assisted* Tunnelströme beobachten (Abb. 10.6). RTP-Tempn bei 1050°C (5s) mit zusätzlichem Formiergastempn ($450^{\circ}\text{C} / 30\text{ min.}$) senkt die Stromdichte für $E_{ox} < 6\text{ MV/cm}$ unter die Auflösungsgrenze des verwendeten Meßaufbaus.

Das elektrische Verhalten dieser Proben ist ideal.

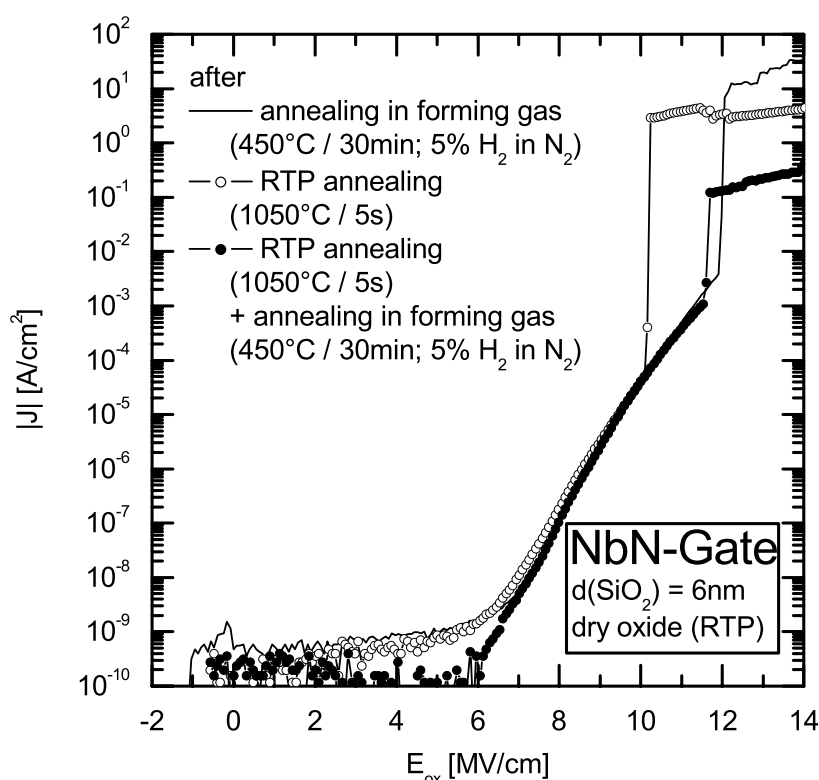
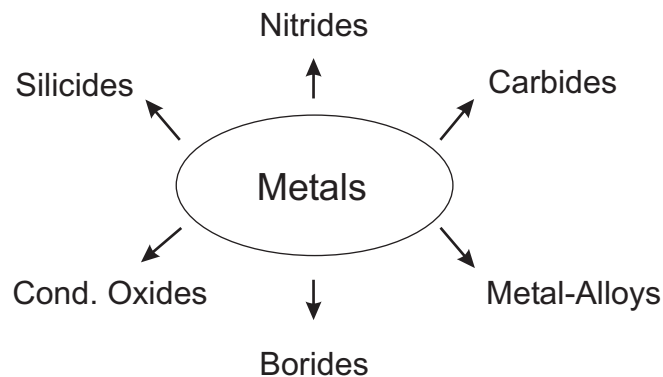


Abbildung 10.6: E-J-Charakteristiken von Proben mit Niobnitrid-Gatemetallisierungen ($d_{\text{SiO}_2} = 6\text{ nm}$) nach verschiedenen Temperprozessen ($450^{\circ}\text{C} / 30\text{ min.}$, $1050^{\circ}\text{C} / 5\text{s}$, $1050^{\circ}\text{C} / 5\text{s} + 450^{\circ}\text{C} / 30\text{ min.}$).

Kapitel 11

Ausblick

Niobnitrid ist ein interessantes Material für den Einsatz als Metallelektrode, insbesondere, wenn der Gatestack während der Prozessierung hohen Temperaturen ausgesetzt wird. Letztlich wird der industrielle Einsatz davon abhängen, ob Niobnitrid mit dem high- κ Dielektrikum der zukünftigen Technologiegenerationen kompatibel sein wird. Obwohl bereits seit mehreren Jahren viele high- κ Dielektrika und insbesondere Hafniumoxid und Hafniumsilikate intensiv von allen Halbleiterherstellern untersucht wurden, ist ein Durchbruch hier noch nicht in Sicht. Außerdem ist noch unklar, ob eine der großen Stärken von Niobnitrid - die Stabilität bei hohen Temperaturen - in zukünftigen Prozeßabläufen überhaupt wichtig sein wird, oder ob neuartige Technologien wie beispielsweise SiGe das thermische Budget soweit herabsetzen werden, daß auch thermisch instabile Verbindungen wie NiSi eingesetzt werden können.



Allerdings ist das Potential von Niobnitrid bei weitem noch nicht ausgereizt. So wäre es etwa möglich, Niobnitrid nur als sehr dünne Zwischenschicht zwischen Dielektrikum und Niob oder einen weiteren Metall herzustellen. Auch die Legierung von Niobnitrid mit anderen hochschmelzenden Metallen sollte angedacht werden, weil sich damit die Austrittsarbeit beeinflussen lassen sollte. Desweiteren könnte die Herstellung von ternären oder quarternären Verbindungen, bei denen Teile des Stickstoffs durch Bor oder Kohlenstoff ersetzt werden, viele weitere neue Möglichkeiten eröffnen, um für verschiedene Einsatzgebiete die jeweils optimalen Metallelektroden zu finden.

Literaturverzeichnis

- [Abe99] Y. Abe, T. Oishi, K. Shiozawa, Y. Tokuda, S. Satoh, *Simulation Study on Comparison Between Metal Gate and Polysilicon Gate for Sub-Quarter-Micron MOS-FET's*, IEEE Electr. Dev. Lett. **20**, 632 (1999)
- [Alf02] Alfa Aesar, Johnson Matthey, *Forschungschemikalien, Metalle und Materialien*, Katalog (2002)
- [All05] S. Allegret, G. Rolland, E. Guidotti, H. Yamasaki, P. Holliger, F. Pierre, F. Martin, *Structural and electrical properties of CVD-WN_x thin films deposited on High-K materials*, in: Proc. Electrochem. Soc. 2005 - 05, Advanced Gate Stack, Source/Drain, and Channel Engineering for Si-Based CMOS: New Materials, Processes, and Equipment, editors: E. P. Gusev, L. J. Chen, D.-L. Kwong, P. J. Timans, F. Roozeboom, M. C. Öztürk, H. Iwai, pp. 324-330 (2005)
- [Als05] H. N. Alshareef, K. Choi, H. C. Wen, H. R. Harris, H. Luan, P. Lysaght, P. Majhi, B.-H. Lee, *Gate Work Function Modification Using Ultra-Thin Metal Interlayers*, in: Proc. Electrochem. Soc. 2005 - 05, Advanced Gate Stack, Source/Drain, and Channel Engineering for Si-Based CMOS: New Materials, Processes, and Equipment, editors: E. P. Gusev, L. J. Chen, D.-L. Kwong, P. J. Timans, F. Roozeboom, M. C. Öztürk, H. Iwai, pp. 198-206 (2005)
- [Bar61] J. Bardeen, *Tunneling from a many-particle point of view*, Phys. Rev. Lett. **6**, 57 (1961)
- [Bre83] J. R. Brews, *Rapid interface parameterization using a single MOS conductance curve*, Solid-State Electron. **26**, 711 (1983)
- [Bra96] B. Brar, G. D. Wilk, A. C. Seabaugh, *Direct extraction of the electron tunneling effective mass in ultrathin SiO₂*, Appl. Phys. Lett. **69**, 2728 (1996)
- [Buc99] D. A. Buchanan, *Scaling the gate dielectric: Materials, integration, and reliability*, IBM J. Res. Develop. **43**, 245 (1999)
- [Che01] B. Cheng, B. Maiti, S. Samavedam, J. Grant, B. Taylor, P. Tobin, J. Mogab, *Metal Gates for Advanced Sub-80-nm SOI CMOS Technology*, Proc. 2001 IEEE Int. SOI Conf. 91 (2001)
- [Cla98] B. Claffin, M. Binger, G. Lucovsky, *Interface studies of tungsten nitride and titanium nitride composite metal gate electrodes with thin dielectric layer*, J. Vac. Sci. Technol. A **16**, 1757 (1998)

- [Cle02] R. Clerc, A. Spinelli, G. Ghibaudo, G. Pananakakis, *Theory of direct tunneling current in metal-oxide-semiconductor structures*, J. Appl. Phys. **91**, 1400 (2002)
- [Dep94] M. Depas, R. L. van Meirhaeghe, W. H. Laflere, F. Cardon, *Electrical Characteristics of Al/SiO₂/n-Si Tunnel Diodes with an Oxide Layer Grown by Rapid Thermal Oxidation*, Solid-State Electron. **37**, 433 (1994)
- [Dit97] R. Ditchfield, E. G. Seebauer, *Rapid Thermal Processing: Fixing Problems with the Concept of Thermal Budget*, J. Electrochem. Soc. **144**, 1842 (1997)
- [Dun89] G. J. Dunn, *Effect of an Al Overlay on Interface States in Poly-Si Gate MOS Capacitors*, IEEE Elect. Dev. Lett. **10**, 333 (1989)
- [Eas70] D. E. Eastman, *Photoelectric Work Functions of Transition, Rare Earth, and Noble Metals*, Phys. Rev. B **2**, 1 (1970)
- [Ebe03] K. Eberl, *MBE Komponenten, Products 2003* (Katalog, 2003) bzw. <http://www.mbe-kompo.de/>
- [Eis05] I. Eisele, *Grundlagen der Silizium-Halbleitertechnologie*, Institut für Physik, Universität der Bundeswehr München (2005)
- [Fix93] R. Fix, R. G. Gordon, D. M. Hoffmann, *Chemical Vapor Deposition of Vanadium, Niobium, and Tantalum Nitride Thin Films*, Chem. Mater. **5**, 614 (1993)
- [Fle92] D. M. Fleetwood, "Border Traps" in MOS Devices, IEEE Trans. Nuc. Sci. **39**, 269 (1992)
- [Fra02] D. J. Frank, *Power-constrained CMOS scaling limits*, IBM J. Res. Develop. **46**, 235 (2002)
- [Flü57] S. Flügge, *Handbuch der Physik / Encyclopedia of Physics*, Band **30**, Springer – Berlin / Göttingen / Heidelberg (1957)
- [Fun87] H. Funakubo, N. Kieda, N. Mizutani, M. Kato, *Preparation of Niobium Nitride Films by CVD*, J. Ceram. Soc. Jpn. 95, **55** (1987)
- [Gao04] W. Gao, J. F. Conley, Y. Ono, *NbO as gate electrode for n-channel metal-oxide-semiconductor field-effect-transistors*, Appl. Phys. Lett. **84**, 4666 (2004)
- [Goe66] A. Goetzberger, *Ideal MOS Curves for Silicon*, The Bell System Technical Journal **45**, 1097 (1966)
- [Hey03] M. Heyns, S. Beckx, H. Bender et al., *Scaling of high-k dielectrics towards sub-1nm EOT*, Int. Symp. VLSI Technol. (2003)
- [Hil88] L. Hiltunen, M. Leskelä, M. Mäkelä, L. Niinistö, E. Nykänen, P. Soininen, *Nitrides of Titanium, Niobium, Tantalum and Molybdenum Grown as Thin Films by the Atomic Layer Epitaxy Method*, Thin Sol. Films **166**, 149 (1988)
- [Hir94] M. Hiroshima, T. Yasaka, S. Miyazaki, M. Hirose, *Electron Tunneling through Ultrathin Gate Oxide Formed on Hydrogen-Terminated Si(100) Surfaces*, Jpn. J. Appl. Phys. **33**, 395 (1994)

-
- [Hob04] C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. S. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hegde, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H.-H. Tseng, S. G. H. Anderson, B. E. White, P. J. Tobin, *Fermi Level Pinning at the Polysilicon/Metal Oxide Interface – Part I/II*, IEEE Trans. Elec. Dev. **51**, 971/978, (2004)
- [Hor97] T. Hori, *Gate Dielectrics and MOS ULSIs*, Springer series in electronics and photonics **34**, Springer Verlag, Berlin (1997)
- [Hu85] G. J. Hu, R. H. Bruce, *Design Tradeoffs Between Surface and Buried-Channel FET's*, IEEE Trans. Elec. Dev. **32**, 584 (1985)
- [Jos99] E. Josse, T. Skotnicki, *Polysilicon gate with depletion - or - metallic gate with burried channel: what evil worse?*, IEEE Intern. Electr. Dev. Meeting (IEDM) 1999
- [Jup00] M. Juppo, M. Ritala, M. Leskelä, *Use of 1,1-Dimethylhydrazine in the Atomic Layer Deposition of Transition Metal Nitride Thin Films*, J. Electrochem. Soc. **147**, 3377 (2000)
- [Kan04] C. S. Kang, H. J. Cho, R. Choi, Y.-H. Kim, C. Y. Kang, S. J. Rhee, C. Choi, M. S. Akbar, J. C. Lee, *The Electrical and Material Characterization of Hafnium Oxynitride Gate Dielectrics With TaN-Gate Electrode*, IEEE Trans. Elec. Dev. **51**, 220 (2004)
- [Ker03] A. Kerber, E. Cartier, R. Degraeve, Ph. Roussel, L. Pantisano, T. Kauerauf, G. Groeseneken, H. E. Maes, U. Schwalke, *Charge Trapping and Dielectric Reliability of SiO₂-Al₂O₃ Gate Stacks With TiN Electrodes*, IEEE Trans. Electr. Dev. **50**, 1261 (2003)
- [Kha00] Khairurrijal, W. Mizubayashi, S. Miyazaki, M. Hirose, *Analytic model of direct tunnel current through ultrathin gate oxides*, J. Appl. Phys. **87**, 3000 (2000)
- [Kim03] H. Kim, *Atomic layer deposition of metal and nitride thin films: Current research efforts and applications for semiconductor device processing*, J. Vac. Sci. Technol. B **21**, 2231 (2003)
- [Lak88] V. Lakshmana, A. S. Vengurlekar, *Logarithmic detrapping response for holes injected into SiO₂ and the influence of thermal activation and electric fields*, J. Appl. Phys. **63**, 4548 (1988)
- [Lee01] W.-C. Lee, C. Hu, *Modeling CMOS Tunneling Currents Through Ultrathin Gate Oxide Due to Conduction- and Valence-Band Electron and Hole Tunneling*, IEEE Trans. Electr. Dev. **48**, 1366 (2001)
- [Lin02] R. Lin, Q. Lu, P. Ranade, T.-J. King, C. Hu, *An Adjustable Work Function Technology Using Mo Gate for CMOS Devices*, IEEE Elect. Dev. Let. **23**, 49 (2002)
-

- [Liu01] X. Liu, J. R. Babcock, M. A. Lane, J. A. Belot, A. W. Ott, M. V. Metz, C. R. Kannewurf, R. P. H. Chang, T. J. Marks, *Plasma-Assisted MOCVD Growth of Superconducting NbN Thin Films Using Nb Dialkylamide and Nb Alkylimide Precursors*, Chem. Vap. Deposition **7**, 25 (2001)
- [Lu00] Q. Lu, R. Lin, P. Ranade, Y. C. Yeo, X. Meng, H. Takeuchi, T.-J. King, C. Hu, H. Luan, S. Lee, W. Bai, C.-H. Lee, D.-L. Kwong, X. Guo, X. Wang, T.-P. Ma, *Molybdenum Metal Gate MOS Technology for Post-SiO₂ Gate Dielectrics*, IEEE Intern. Electr. Dev. Meeting (IEDM) 2000
- [Lud05] A. Ludsteck, *Optimierung von Gate-Dielektrika für die MOS Technologie*, Dissertation, Institut für Physik, Universität der Bundeswehr (2005)
- [Luj02] G. S. Lujan, T. Schram, L. Pantisano, J. C. Hooker, S. Kubicek, E. Rohr, J. Schuhmacher, O. Kilpelä, H. Sprey, S. De Gendt, K. De Meyer, *Impact of AL-CVD and PVD Titanium Nitride Deposition on Metal Gate Capacitors*, Proc. ESSDERC, Firenze, Italy, 583 (2002)
- [Mai99] B. Maiti, P. J. Tobin, *Metal Gates for Advanced CMOS Technology*, SPIE conf. Microelec. Dev. Technol. III, Santa Clara, CA (1999)
- [Mat00] H. J. Mattausch, H. Baumgärtner, R. Allinger, M. Kerber, H. Braun, *Electrical/Thermal Properties of Nonplanar Polyoxides and the Consequent Effects for EEPROM Cell Operation*, IEEE Trans. Electr. Dev. **47**, 1251 (2000)
- [Mic77] H. B. Michaelson, *The work function of the elements and its periodicity*, J. Appl. Phys. **48**, 4729 (1977)
- [Nic82] E. H. Nicollian, J. R. Brews, *MOS (Metal Oxide Semiconductor) Physics and Technology*, John Wiley & Sons, New York (1982)
- [Pea03] P. W. Peacock, J. Robertson, *Behavior of hydrogen in high dielectric constant oxide gate insulators*, Appl. Phys. Lett. **83**, 2025 (2003)
- [Pie96] H. O. Pierson, *Handbook of refractory carbides and nitrides*, Noyes Publications, Westwood NJ, USA (1996)
- [Ran01] P. Ranade, H. Takeuchi, T.-J. King, C. Hu, *Work Function Engineering of Molybdenum Gate Electrodes by Nitrogen Implantation*, Electrochem. and Solid-State Lett. **4**, G85 (2001)
- [Ran02] P. Ranade, Y.-K. Choi, D. Ha, A. Agarwal, M. Ameen, T.-J. King, *Tunable Work Function Molybdenum Gate Technology for FDSOI-CMOS*, Tech. Dig. of Int. Electr. Dev. Meet. 2002, 363 (IEDM 2002)
- [Ras01] S. N. Rashkeev, D. M. Fleetwood, R. D. Schrimpf, S. T. Pantelides, *Defect Generation by Hydrogen at the Si-SiO₂ Interface*, Phys. Rev. Lett. **87**, 165506-1 (2001)
- [Reg99] L. F. Register, E. Rosenbaum, K. Yang, *Analytic model for direct tunneling current in polycrystalline silicon-gate metal-oxide-semiconductor devices*, Appl. Phys. Lett. **74**, 457 (1999)

-
- [Reg02] J. Regner, *An analytic approach to quantify the thermal budget in consideration of consecutive thermal process steps*, IEEE Intern. Conf. on Advanced Thermal Processing of Semiconductors - RTP 2002, 15 (2002)
- [Ros02] I. V. Roshchin, A. C. Abeyta, L. H. Greene, T. A. Tanzer, J. F. Dorsten, P. W. Bohn, S.-W. Han, P. F. Miceli, J. F. Klem, *Observation of the superconduction proximity effect in Nb/InAs and NbN_x/InAs by Raman scattering*, Phys. Rev. B **66**, 134530 (2002)
- [Sam03] S. B. Samavedam, L. B. La, P. J. Tobin, B. White, C. Hobbs, L. R. C. Fonseca, A. A. Demkov, J. Schaeffer, E. Luchowski, A. Marinez, M. Raymond, D. Triyoso, D. Roan, V. Dhandapani, R. Garcia, S. G. H. Anderson, K. Moore, H. H. Tseng, C. Capasso, O. Adetutu, D. C. Gilmer, W. J. Taylor, R. Hegde, J. Grant, *Fermi Level Pinning with Sub-monolayer MeOx and Metal Gates*, IEEE Intern. Electr. Dev. Meeting (IEDM) 2003
- [Sed03] S. Sedlmaier, *Vertikaler Tunnel-Feldeffekttransistor auf Silizium*, Dissertation, Institut für Physik, Universität der Bundeswehr (2003)
- [Sha01] H. Shang, M. H. White, K. W. Guarini, P. Solomon, E. Cartier, F. R. McFeely, J. J. Yurkas, W.-C. Lee, *Interface studies of tungsten metal-oxide-silicon capacitors*, Appl. Phys. Lett. **78**, 3139 (2001)
- [Shi01] H. Shimada, I. Ohshima, T. Ushiki, S. Sugawa, T. Ohmi, *Tantalum Nitride Metal Gate FD-SOI CMOS FETs Using Low Resistivity Self-Grown bcc-Tantalum Layer*, IEEE Electr. Dev. Let. **48**, 1619 (2001)
- [Skr92] H. L. Skriver, N. M. Rosengaard, *Surface energy and work function of elemental metals*, Phys. Rev. B **46**, 7157 (1992)
- [Smo41] R. Smoluchowski, *Anisotropy of the Electronic Work Function of Metals*, Phys. Rev. **60**, 661 (1941)
- [Spe04] M. Specht, M. Städele, S. Jakschik, U. Schröder, *Transport mechanisms in atomic-layer-deposited Al₂O₃ dielectrics*, Appl. Phys. Lett. **84**, 3076 (2004)
- [Suh02] Y.-S. Suh, G. P. Heuss, V. Misra, *Electrical characteristics of TaSi_xN_y/SiO₂/Si structures by Fowler-Nordheim current analysis*, Appl. Phys. Lett. **80**, 1403 (2002)
- [Sze81] S. M. Sze, *Physics of Semiconductor Devices*, John Wiley & Sons, New York (1981)
- [Tan96] P. Tanner, S. Dimitrijevic, Y.-T. Yeow, H. B. Harrison, *Measurement of Plasma Etch Damage by a New Slow Trap Profiling Technique*, IEEE Elect. Dev. Let. **17**, 515 (1996)
- [Tan99] T. Tanaka, K. Kawabata, A. Kitabatake, *Preparation of Co and CoN_x thin films by unbalanced radio frequency magnetron sputtering*, J. Vac. Sci. Technol. A **18**, 1649 (1999)
-

- [Tau97] Y. Taur, D. G. Buchanan, W. Chen, D. J. Frank, K. E. Ismail, S.-H. Lo, G. A. Sai-Halasz, R. G. Viswanathan, H.-J. C. Wann, S. J. Wind, H.-S. Wong, *CMOS Scaling into the Nanometer Regime*, Proceedings of the IEEE **85**, 486 (1997)
- [Tot71] L. E. Toth, *Transition Metal Carbides and Nitrides*, Academic Press, New York / London (1971)
- [Tsu03] B.-Y. Tsui, C.-F. Huang, *Investigation of Cu/TaN Metal Gate for Metal-Oxide-Silicon Devices*, J. Electrochem. Soc. **150**, G22 (2003)
- [War94] W. L. Warren, M. R. Shaneyfelt, D. M. Fleetwood, J. R. Schwank, P. S. Winokur, *Microscopic nature of border traps in MOS oxides*, IEEE Trans. Nuc. Sci. **41**, 1817 (1994)
- [Wer94] W. M. Werner, *The Work Function Difference of the MOS-System with Aluminium Field Plates and Polycrystalline Silicon Field Plates*, Solid State Elect. **17**, 769 (1974)
- [Wes03] J. Westlinder, T. Schram, L. Pantisano, E. Cartier, A. Kerber, G. S. Lujan, J. Olsson, S. Groeseneken, *On the Thermal Stability of Atomic Layer Deposited TiN as Gate Electrode in MOS Devices*, IEEE Elect. Dev. Let. **24**, 550 (2003)
- [Wie05] F. Wiest, V. Capodiecici, O. Blank, M. Gutsche, J. Schulze, I. Eisele, *Conformal Al₂O₃ Coating of High Aspect Ratio Structures using MOCVD*, zur Veröffentlichung angenommen bei: Thin Solid Films (2005)
- [Won02] H.-S. P. Wong, *Beyond the conventional transistor*, IBM J. Res. Develop. **46**, 133 (2002)
- [Yos95] T. Yoshida, D. Imafuku, J. L. Alay, S. Miyazaki, *Quantitative Analysis of Tunneling Current through Ultrathin Gate Oxides*, Jpn. J. Appl. Phys. **34**, L903 (1995)
- [Yu03] H. Y. Yu, H. F. Lim, J. H. Chen, M. F. Li, C. Zhu, C. H. Tung, A. Y. Du, W. D. Wang, D. Z. Chi, D.-L. Kwong, *Physical and Electrical Characteristics of HfN Gate Electrode for Advanced MOS Devices*, IEEE Electr. Dev. Let. **24**, 230 (2003)
- [Yu04a] H. Yu, M.-F. Li, D.-L. Kwong, *Thermally Robust HfN Metal as a Promising Gate Electrode for Advanced MOS Device Applications*, IEEE Trans. Electr. Dev. **51**, 609 (2004)
- [Yu04b] H. Y. Yu, J. F. Kang, C. Ren, J. D. Chen, Y. T. Hou, C. Shen, M. F. Li, D. S. H. Chan, K. L. Bera, C. H. Tung, D.-L. Kwong, *Robust high-quality HfN-HfO₂ gate stack for advanced MOS device applications*, IEEE Electr. Dev. Let. **25**, 70 (2004)
- [Yu04c] H. Y. Yu, C. Ren, Y.-C. Yeo, J. F. Knag, X. P. Wang, H. H. H. Ma, M.-F. Li, D. S. H. Chan, D.-L. Kwong, *Fermi Pinning-Induced Thermal Instability of Metal-Gate Work Functions*, IEEE Electr. Dev. Let. **25**, 337 (2004)

Publikationen

Metal Gate Elektroden

- *Nb and NbN Gate Metallizations for Gate Stacks with High-k Dielectrics*,
M. Schmidt, A. Ludsteck, F. Wiest, J. Schulze, I. Eisele
in: Proc. Electrochem. Soc. 2005 - 05, Advanced Gate Stack, Source/Drain, and
Channel Engineering for Si-Based CMOS: New Materials, Processes, and Equipment,
editors: E. P. Gusev, L. J. Chen, D.-L. Kwong, P. J. Timans, F. Roozeboom, M. C.
Öztürk, H. Iwai, pp. 311-318 (2005)
207th Meeting of the Electrochemical Society in Quebec City, Canada (2005)
- *Gate Stack Integrity with Niobium and Niobium Nitride Metal Gates*
M. Schmidt, A. Ludsteck, T. Stimpel-Lindner, F. Wiest, I. Eisele
zur Veröffentlichung eingereicht bei: ESSDERC 2005

Vertikale Bauelemente

- *P-channel Vertical Tunnel Field-Effect Transistors Down to Sub-50 nm Channel Length*
K. K. Bhuiwarka, M. Born, M. Schindler, M. Schmidt, T. Sulima, I. Eisele
Int. Conf. Solid State Devices and Materials (SSDM), Kobe, Japan (2005)
- *Room Temperature Sub-Threshold-Swing Improvement by Impact Ionisation in a High Performance PDBFET*
M. Born, U. Abelein, K. Bhuiwarka, M. Schindler, M. Schmidt, A. Ludsteck, J. Schulze, I. Eisele
zur Veröffentlichung eingereicht bei: ESSDERC 2005
- *Sub-50nm High Performance PDBFET with Impact Ionisation*
M. Born, U. Abelein, K. Bhuiwarka, M. Schindler, M. Schmidt, A. Ludsteck, J. Schulze, I. Eisele
Proceedings of the Fourth International Conference Silicon Epitaxy and Heterostructures ICSI-4, Awaji Island, Hyogo, Japan (2005)

- *Gate-controlled resonant interband tunneling in silicon*
S. Sedlmaier, Krishna K. Bhuwalka, A. Ludsteck, M. Schmidt, J. Schulze, W. Hansch, and I. Eisele
Appl. Phys. Lett. **85**, 1707 (2004)
- *Multiple delta doping for improved driftzone design for lateral silicon power MOS-FETs*
C. Tolksdorf, A. Ludsteck, M. Schmidt, S. Sedlmaier, J. Schulze, I. Eisele, G. Deboy
Dev. Res. Conf. 2003, pp. 59

Erbiumlumineszenz

- *Photoluminescence of Er^{3+} -implanted amorphous hydrogenated silicon suboxides*
A. Janotta, M. Schmidt, R. Janssen, M. Stutzmann, Ch. Buchal
Phys. Rev. B **68**, 165207 (2003)
- *Er^{3+} luminescence in $a-SiO_x:H$*
A. Janotta, M. Schmidt, R. Janssen, Ch. Buchal, M. Stutzmann
J. Non-Cryst. Solids **299-302**, 688 (2002)

Siliziumsuboxide

- *Doping and its efficiency in $a-SiO_x:H$*
A. Janotta, R. Janssen, M. Schmidt, T. Graf, M. Stutzmann, L. Görgens, A. Bergmaier, G. Dollinger, C. Hammerl, S. Schreiber, B. Stritzker
Phys. Rev. B **69**, 115206 (2004)
- *Light-induced modification of $a-SiO_x:H$. I: Metastability*
A. Janotta, Y. Dikce, S. Linder, M. Schmidt, R. Janssen, M. Stutzmann
J. Appl. Phys. **95**, 4046 (2004)
- *Light-induced modification of $a-SiO_x$ II: Laser crystallization*
A. Janotta, Y. Dikce, M. Schmidt, C. Eisele, M. Stutzmann, M. Luysberg, L. Houben
J. Appl. Phys. **95**, 4060 (2004)
- *Dependence of the doping efficiency on material composition in n -type $a-SiO_x:H$*
A. Janotta, R. Janssen, M. Schmidt, T. Graf, L. Görgens, C. Hammerl, S. Schreiber, G. Dollinger, A. Bergmaier, B. Stritzker, M. Stutzmann
J. Non-Cryst. Solids **299-302**, 579 (2002)
- *Optical and transport properties of magnetron-sputtered $a-Si:H$ films doped with erbium*
D. Dimova-Malinovska, R. Northcott, M. Nikolaeva, M. Sendova-Vassileva, A. Janotta, M. Schmidt, J. M. Marshall
J. Non-Cryst. Solids **299-302**, 683 (2002)

Danksagungen

An dieser Stelle möchte ich bei allen herzlich bedanken, die zum Gelingen dieser Arbeit beigetragen haben.

Mein besonderer Dank gilt Herrn **Prof. Dr. Ignaz Eisele**, der dieses Dissertationsthema vergeben und das Forschungsprojekt ermöglicht hat. Die einzigartige experimentelle Ausstattung seines Institutes, das er in jahrelanger Arbeit aufgebaut hat, ermöglichten es, daß mit seiner stetigen Betreuung und Begleitung durch viele hilfreiche Diskussionen interessante Ergebnisse über neuartige Materialien erzielt werden konnten.

Desweiteren Danke ich

Herrn **Prof. Dr. Hermann Baumgärtner**, dessen reichhaltiger Erfahrungsschatz in Bezug auf die elektrische Meßtechnik einen wichtigen Beitrag für die Charakterisierung der Proben lieferte;

unseren Industriepartnern von Infineon, **Herrn Gutsche**, **Herrn Schlüfer**, **Herrn Seidl** und **Herrn Tews**, die das Projekt finanziert haben. Sie haben in zahlreichen Projektbesprechungen den Fortgang der Arbeit begleitet und wichtige Anregungen gegeben;

Frau Grüner, die für ein gutes Arbeitsklima am Institut gesorgt hat, und **Karin Bächle**, deren fröhlich gepfiffene Lieder uns daran erinnern haben, daß es jenseits von UHV und HF auch noch eine andere Welt gibt;

Peter Ciecierski für alle Tips im Umgang mit der Verwaltung und mit Tomatenpflanzen, sowie seiner Frau, **Frau Ciecierski**, die durch die gewissenhafte Ausgabe und Rücknahme von Essensmarken (einschließlich des einmaligen Umtauschs) wesentlich zum Gelingen dieser Arbeit beigetragen hat;

Herbert Pollack, dessen politische Meinung für einen gewissen Ausgleich bei Diskussionen am Institut sorgen konnte;

Alexandra Ludsteck und **Florian Wiest**, die immer schnell und unkompliziert Dielektrika für die Proben hergestellt haben und damit einen entscheidenden Beitrag zum Erfolg dieser Arbeit geliefert haben;

Thomas Galonska, der die Meßplätze zur elektrischen Charakterisierung gepflegt, Lab-View Programme weiterentwickelt und eine ganze Reihe von Proben vermessen hat;

Jörg Schulze für das Korrekturlesen der Arbeit;

Andreas Rippler, der durch die RCA-Reinigung aller Wafer an jedem erfolgreichen Versuch beteiligt war, und **Torsten Sulima**, der Messungen mit dem TOF-SIMS in Vigo vermittelt hat;

Thorsten Knittel, dessen ein- und zweideutige Witze die Stimmung am Institut sehr aufgelockert haben;

Ernest Rutherford, der eine Meßmethode mit Rückstreuionen begründet hat;

Anton Bayerstadler, **Ulrich Abelein** und **Hptm. Aßmuth**, die ebenfalls Versuche an der MUM durchgeführt haben bzw. durchführen und im Laufe ihrer Arbeit viele hilfreiche Kniffe zum Betrieb der Anlage herausgefunden haben (beispielhaft ist das Auflegen der rechten Hand auf die Festplatte während des Bootens des alten PDP 11-Rechners durch Toni), sowie **Jan Bartelsen**, der ein neues Steuersystem für die MUM entwickelt und programmiert hat;

Markus Burgmair für die Erklärung der High-Quality UHV-MBE (genannt Oldie) und des Plasmaätzers;

Carolyn Tolksdorf, die für diese Arbeit einige Male Siliziumschichten mit MBE herstellt hat, und **Vanessa Capodici**, die sich am Institut mit MBD beschäftigt hat;

Peter Sitter, der mit seinem feinmechanischen Können wichtige Ersatzteile angefertigt hat, **Walter Funke** für seine vakuumdichten Schweißnähte, und **Michael Meyer**, der bei den spontan-unregelmäßig, aber doch immer wieder auftretenden Problemchen und Problemen bei Technik, Gas- und Wasserversorgung der Geräte im Reinraum immer mit Rat und Tat zur Stelle war;

Stefan Sedlmaier für viele Tips zu Linienprozessen, und **Tanja Stimpel-Lindner**, die nicht nur an der Erforschung der Strahlenschäden beteiligt war, sondern auch regelmäßig Ersatzteile aus ihrem reichhaltigen Fundus zur Verfügung gestellt hat;

Oliver Senfleben für die Idee mit dem „Ketzersau“-Sparschein, das sich durch die Strafgebühren für die reichhaltigen kollegenbezogenen Äußerungen bald füllen und dem Institut noch viele Feiern finanzieren wird;

sowie **Oliver Blank**, der mit den von ihm entwickelten Simulationsmethoden Strom-Spannungs-Messungen untersucht hat.

Markus Schindler, Mathias Born, Thomas Zilbauer, Lothar Höllt, Markus Reinl, Christian Wolff, Sandra Seidel, Wahyu Widanarto, Christoph Senft, Martin Schlosser und Dorota Egger wünsche ich experimentelles Geschick und viel Erfolg bei der Forschung am Institut für Physik;

Krishna Bhuwalka, Kwanchai Anothainart und Gunter Freitag, die das Institut bereits verlassen haben oder am Ende ihrer Arbeit in Neubiberg stehen, wünsche ich gutes Gelingen bei den nächsten Schritten im beruflichen Leben.

Besonders hervorheben möchte ich die Hilfsbereitschaft und das fachkundige Expertenwissen von **Dr. rer. mum. Hans Messarosch**, ohne den niemals erfolgreiche Versuche mit Metallelektroden stattgefunden hätten.



